

フルブリッジレス PFC 回路と LLC 回路における EMI 低減法

大岩 紀行* 片山 翔吾
小堀 康功 桑名 杏奈 小林 春夫 (群馬大学)

EMI Noise Reduction Method for Full-Bridgeless PFC and LLC Circuit

Noriyuki Oiwa*, Shogo Katayama, Yasunori Kobori, Anna Kuwana, Haruo Kobayashi (Gunma University)

Abstract

This paper describes some improvement methods of efficiency and EMI for the LLC power supply circuit, which is composed of PFC power supply circuit and LLC converter. For efficiency improvement, the diodes in the bridge circuit are replaced with MOSFETs, and their associated conduction loss is reduced. For EMI reduction, noise spectrum spread technique is used in LLC converter, together with an output ripple reduction method. Simulations have verified the proposed methods.

キーワード : AC-DC コンバータ, PFC 電源回路, ダイオードブリッジ, LLC 共振電源, EMI 低減
(AC-DC converter, PFC power supply circuit, Diode bridge, LLC converter, EMI reduction)

1. はじめに

電化製品を稼働させるには、送電された商用電源 (AC) を直流 (DC) へ変換して給電しなければならない。¹⁾ 近年工場設備やサーバーなどでは省電力化の需要が高まっており、LLC 電源回路が注目されている。これは力率改善 (PFC) 電源回路と LLC 共振回路を組み合わせる構成される。

本稿では PFC 回路では効率を改善し、LLC 共振回路では電磁波妨害 (EMI) について取り組んだ内容を報告する。PFC 回路ではダイオードブリッジに着目し、固定損失を生じるダイオードから MOSFET へ変更することで低損失化を検討し、シミュレーション検証 (SIMPLISIS 使用) を行った。LLC 共振回路ではクロック発振部の周波数変調による EMI 低減の検証を行った。

2. 概要

〈2.1〉 PFC 電源回路

電源回路は AC-DC 電源と DC-DC 電源に大別できる。これらの多くはスイッチング電源であり EMI ノイズが生じてしまうが、小型化でき効率が良いことから使用される。大電力アプリケーションでは高力率な AC-DC 電源が必須であり、通常昇圧形 PFC 電源回路が用いられる。通常昇圧電源にはスパイク電圧を生じるので、高調波が発生する原因となっている。²⁾ 回路中での高調波の発生は、自他回路に誤動作を誘発させる EMI となる。そのため EMI 対策を施せる PFC 電源は本問題への有効性が期待できる。

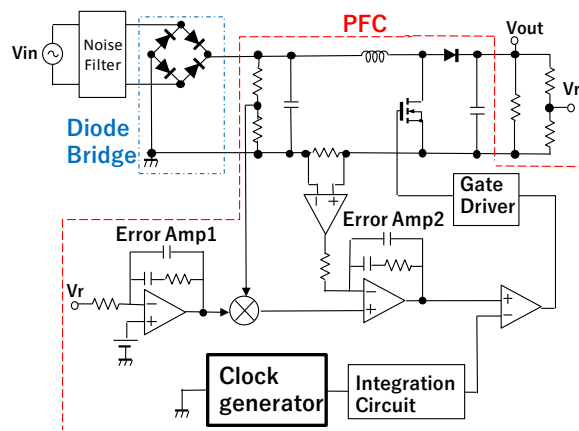


図 1 PFC 回路図

Fig. 1. PFC power supply circuit

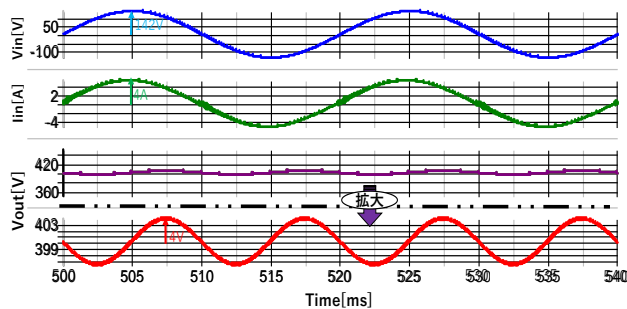


図 2 PFC 動作波形

Fig. 2. PFC circuit waveforms

またモータ駆動時やコンデンサ入力型 AC-DC 電源では電流の位相ずれや波形歪みにより力率は大きく低下する。力率の低下は、送電設備の大型化や送電時の電力損失を生じさせる。なお力率は次の式(1)で定義される。

$$\text{(力率の定義)} = \frac{\text{実効電力}}{\text{皮相電力}} = \frac{\int (\bar{V} * I) dt}{\bar{V} * \bar{I}} \quad (1)$$

〈2・2〉 PFC シミュレーション

図1にシミュレーションで使用した PFC 電源の回路図を、図2にその動作波形を示す。

入力パワー段には、交流電圧を全波整流するためにダイオードブリッジを用いる。変換された波形は入力値の絶対値波形であり、その後段は昇圧型電源の構成であるコンデンサ入力型のスイッチング回路である。³⁾

また制御部では出力をフィードバックした情報と全波整流波形を乗算した後、入力電流情報をエラーアンプに加える。この出力と SAW 波と比較し、PWM 信号を生成する。

図2のシミュレーション波形では、入力電流波形 I_{in} は出力電圧波形 V_{in} と相似であり、このときの力率は98%以上である。入力電圧 AC100V から出力 DC400V に昇圧させたが、一般的に出力電圧には入力周波数の2倍の正弦波リップルがのる。図2では10Vまでの2.5%までを許容した。このときの効率は76.4%となった。

〈2・3〉 ハーフブリッジレス PFC 回路

ダイオードブリッジを使用する図1の PFC 回路では、ダイオードによる電力損失が大きい。そこで図3に示すハーフブリッジレス PFC 回路が適用される。整流器中におけるローサイドのダイオードを MOSFET に代用する方式である。⁵⁾

また通常のダイオードブリッジを使用する際には、図1のようにスイッチング素子1個で昇圧型電源を構成している。しかし図2の構成では昇圧用スイッチング素子を2個使い、ダイオードと並列に設けている。商用電圧であることから半周期ごとに電流路が変更されるため、ダイオードブリッジに昇圧用スイッチ素子を兼用し、入力極性毎に昇圧スイッチを切換え動作させる。このため図4の sw1, sw2 のように、2つのスイッチング波形を入力する。

図3の回路シミュレーションの効率は94%となった。昇圧比によらず、動作できることをシミュレーション確認した。

3. 提案回路

〈3・1〉 フルブリッジレス PFC 回路

ハーフブリッジレス電源では、ハイサイドのダイオードの導通損失が大きいのでこのダイオードについて着目した。これは入力の交流波形を全波整流する役割を担っており、AC-DC 電源には不可欠な存在である。しかし使用の際には大きな導通損失が生じており、大電力を扱う際には効率低下の原因となる。この問題の改善のため、MOSFET を使用

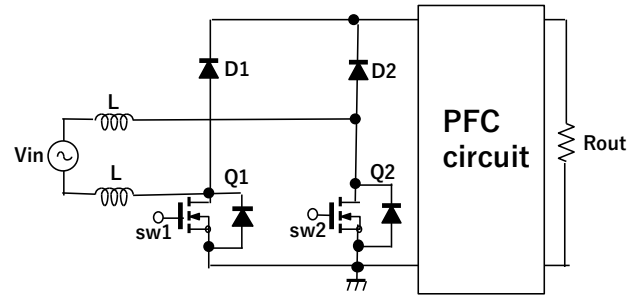


図3 ハーフブリッジレス PFC 回路図
Fig. 3. Half-Bridgeless PFC circuit

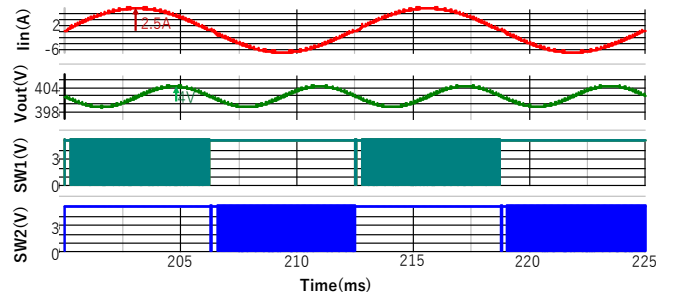


図4 ハーフブリッジレス PFC 動作波形
Fig. 4. Half-Bridgeless circuit waveforms

表1 PFC 回路シミュレーションパラメータ

Table 1 Simulation parameters in PFC circuit

Parameters	Simulation value
V_{in}	100 V _{rms} @50Hz
V_o	396 V
I_o	1.33 A
L	2.0 mH
C	330 μ H
Fck	100 kHz

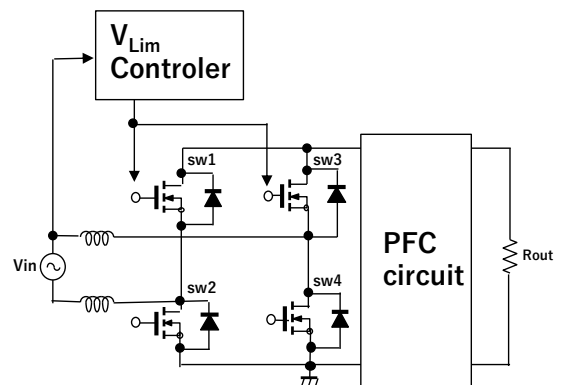


図5 フルブリッジレス PFC 回路図
Fig. 5. Full-Bridgeless PFC circuit

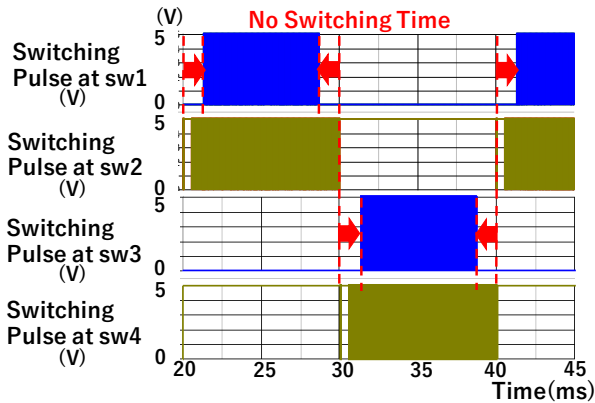


図 6 制限したスイッチング波形
Fig. 6. Switching waveforms with limiting

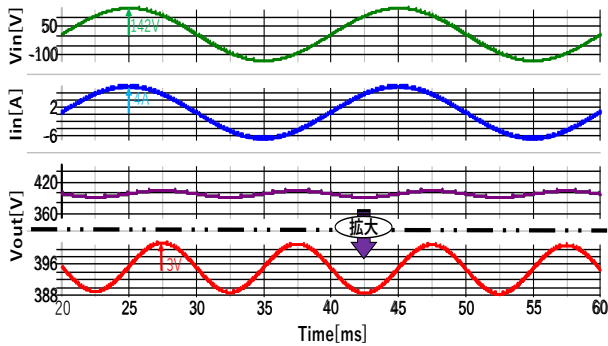


図 7 フルブリッジレス PFC 動作波形

することを検討した。

MOSFET は電源回路のスイッチング素子として広く使われている。導通電圧はPN接合ダイオードが0.7Vであるのに対し、N-MOSFETは0.2Vである。これを利用して図5のように昇圧構成を配慮した構成とした。入力周期ごとにローサイドとハイサイドへスイッチング波形が交互にくることで従来よりも導通抵抗を低減させることができる。しかし周期の切り替わりの瞬間に逆電流が生じて、大きな損失が出てしまうことが問題となる。これより本研究ではハイサイドのスイッチングに制限をかけた。

スイッチングの制限方法として、ハイサイド側のスイッチングの動作前後で動作しない時間を設ける。周期ごとの節目は入力電圧のゼロクロスタイミングで切り替わることから、入力電圧の絶対値が低い電圧範囲 V_{lim} では動作しないよう制限をかけた。 V_{lim} の値は調整できるが、図6では $V_{lim}=20V$ とした。本来ローサイドへのスイッチング波形と完全に同期させることが良いが、逆電流保護のため時間的に制限をかけた。なお本制御回路の追加による効率低下は、パワー段の電力損失に比べて極めて小さいので無視する。

〈3・2〉 シミュレーション結果

この構成でのシミュレーション結果は図7となり、図2

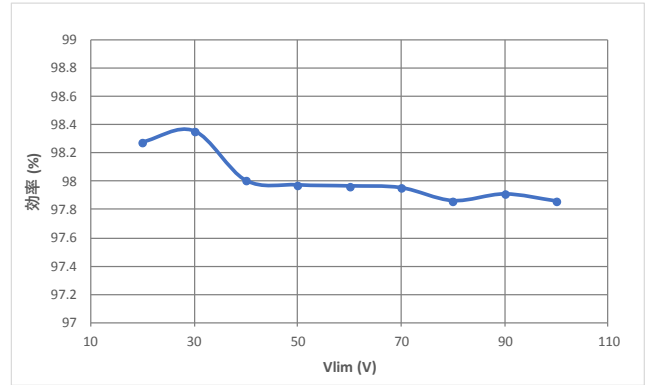


図 8 V_{lim} の変動による効率変化
Fig. 8. Relationship between V_{lim} and efficiency

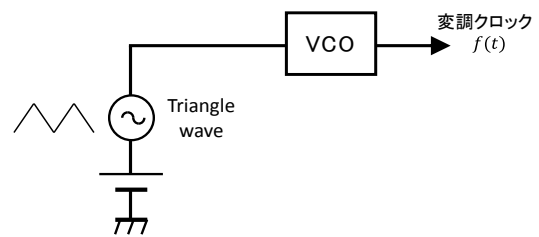


図 9 クロック変調発振器
Fig. 9. Spread spectrum clock generator

とほぼ同等の波形となり、効率は 98%になった。従来方式の効率 76.4%と比べ、22%近い効率改善である。

〈3・3〉 V_{lim} と効率変化

本回路は V_{lim} の値によってハイサイドスイッチングを制限し、正常動作させている。 V_{lim} の値を大きく設定するほど MOSFET の動作範囲は狭くなり、原理的にハーフブリッジに近づくため効率が低下する。図8に V_{lim} を変化した際の効率を示す。AC100Vの場合、 $V_{lim} > 30V$ では V_{lim} を大きくしていく程、僅かながら効率が減少していく。

〈3・4〉 PWMにおける EMI 低減

スイッチング電源では、使用する基本周波数にパワーが集中し、これが EMI の原因となっている。これは自他回路動作に影響を及ぼし、ノイズレベルの上限は規制されている。⁴⁾

EMI 低減の効果的な手法としてクロック信号の周波数変調、あるいは位相変調が用られる。本稿では、フルブリッジレス PFC のクロック信号に変調をかける。図1でのクロック信号発生器に、図9に示す周波数変調回路を導入する。これは電圧制御発振器 VCO (Voltage Controlled Oscillator) に特定の電圧を入力することで変調し、EMI の低減を図れる。式(1)のように基本周波数 f_c に変調周波数 f_o を与え、瞬時周波数 f のクロック信号を出力する。

$$f = f_c + f_o \dots\dots\dots(2)$$

f_c をリニアに変化させることで周波数変調を施した。

図10(a)は変調のない PWM のスペクトラムを示す。基本周波数が 100kHz であることから、100kHz ごとに大きなノ

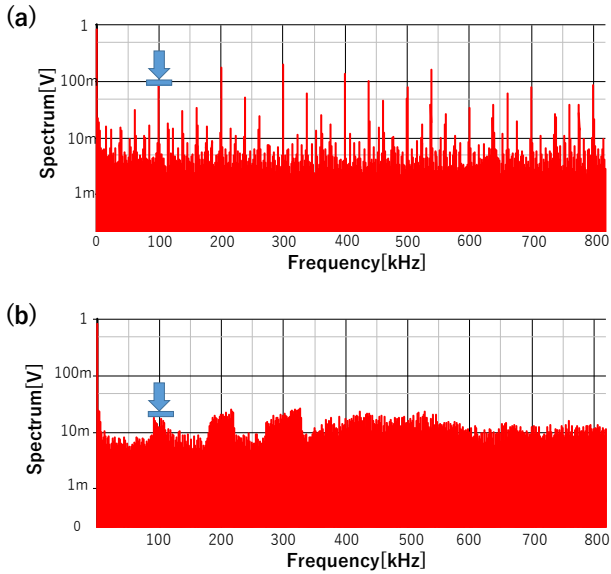


図 10 PFC における PWM スペクトラム解析
 (a) $f_o = 0.0\text{kHz}$, (b) $f_o = 10\text{kHz}$
 Fig. 10. PWM spectrum analysis with PFC
 $f_o = 0.0\text{kHz}$, (b) $f_o = 10\text{kHz}$

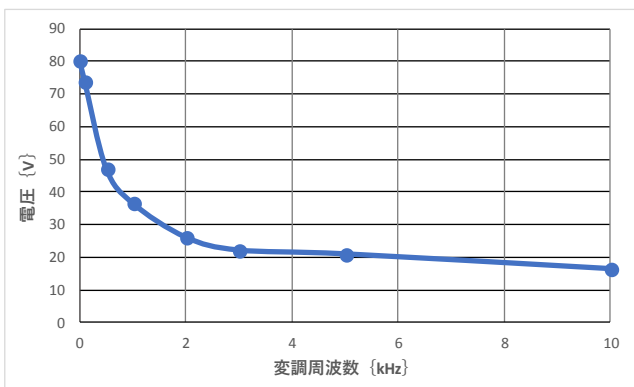


図 11 変調周波数とノイズの関係
 Fig. 11. Relationship between modulation frequency and noise

イズレベルが発生している。これに対し変調周波数 $f_o=10\text{kHz}$ を与えた際には図 10(b)のように 100kHz では 80mV から $16\text{mV} \sim 64\text{mV}$ 減少し 19.6dB 減につながった。

図 11 では、変調周波数 f_o に対するスペクトラムの大きさの変化を示している。変調周波数の増加によって指数関数的に減少している。また EMI 低減効果が徐々に薄れてくることから、変調周波数を 3kHz 前後までに設定すると、変調周波数の変化に対しスペクトラム減少効果が高いといえる。

4. LLC 共振回路

〈4.1〉 LLC 共振回路の概要

LLC 共振回路は絶縁型 DC-DC コンバータとして広く利用されている。これはトランスの漏れインダクタンスと励

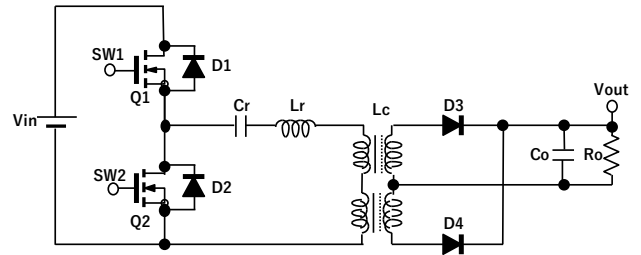


図 12 LLC 共振回路図
 Fig. 12. LLC converter

表 2 LLC 共振回路シミュレーションパラメータ
 Table 2 LLC converter simulation parameters

Parameters	Simulation value
V_{in}	280 V
V_o	12 V
I_o	1.0 A
Leakage L	$50\mu\text{H}$
Excitation L	$330\mu\text{H}$
Rate of transfer	100:7
Output C	$500\mu\text{F}$
Fck	90 kHz

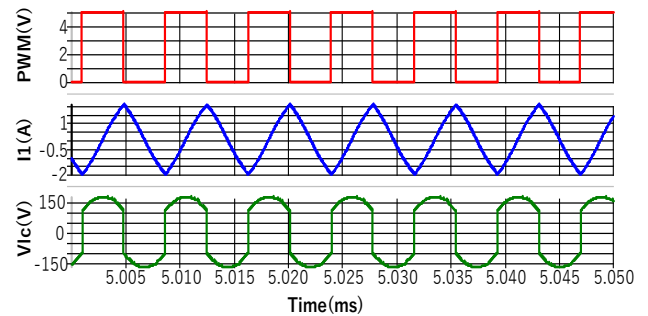


図 13 LLC 回路 1 次側動作波形
 Fig. 13. LLC circuit primary side waveforms

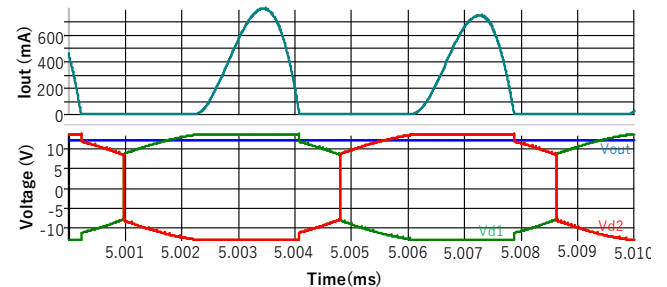


図 14 LLC 回路 2 次側動作波形
 Fig. 14. LLC circuit secondary side waveform

磁インダクタンス、コンデンサの共振を利用し動作する。部品点数が少なく 高効率電力変換が大きなメリットである。⁶⁾

しかし大電力を扱うことから発生させる EMI が他回路に影響を与えやすい。フルブリッジレス PFC 電源回路は高効率昇圧を可能にするため、制御回路では細かな動作をしている。このため PFC 電源の動作不良防止も含め、AC-DC 電源全体で EMI を低減するシステムを提案する。

〈4.2〉 LLC 共振回路動作

LLC 共振回路は図 12 の構成である。入力から給電された直流成分を、適切な出力に降圧する。2 つの MOSFET を用いたハーフブリッジ回路から負荷電流を調整する。これを 1 次側のインダクタとコンデンサの共振と巻き数比を利用して、2 次側に電圧変換する。一方、2 次側ではダイオードで全波整流し、出力コンデンサを用いて直流を出力する。

図 13、14 に LLC 共振回路の動作波形、表 2 にシミュレーションパラメータを示す。1 次側の励磁電圧は PWM のスイッチングに呼応するように特性が出ている。1 次の励磁電流も励磁電圧の正負に合わせ、特性が変化することから共振していることが確認できる。2 次側では伝送された電圧がサイクルにより 2 種類発生する。これを全波整流器にかけ出力へ送ることで、極性を同一にする。ダイオード電流は共振電圧が出力電圧を上回ったときに、共振周期に依存しスパイク状の電流を発生させる。

シミュレーションの結果、入力電圧 280V から出力電圧 12V へ大きく降圧できている。出力電圧の定常リプルは、4.5mV と小さい。

〈4.3〉 EMI 低減方法

LLC 共振回路でも制御部における EMI を低減すべく、PFC 回路で用いた周波数変調での低減手法を用いたい。しかしこれには問題があり、LLC 回路ではクロック周波数を拡散する変調周波数は制御ループ中で補正されるため、制御によって打ち消されてしまう。

そこで LLC 共振回路には PWM の時比率を変調する方式を検討した。本来 LLC 共振回路は時比率を 50% に固定して制御を行う。これは定電圧を出力するためである。時比率を変更した際の具体的な出力変化を調べると、図 15 のよう

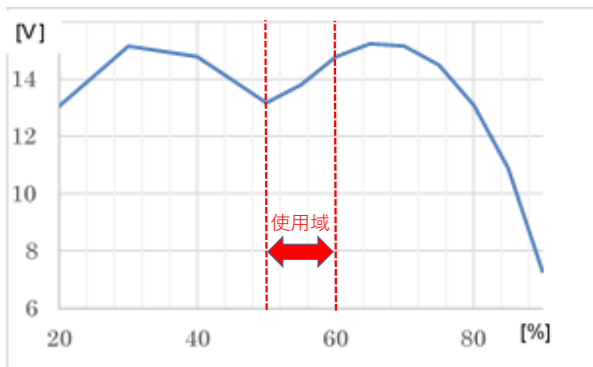


図 15 時比率と Vout の関係

Fig. 15. Relationship between duty vs Vout

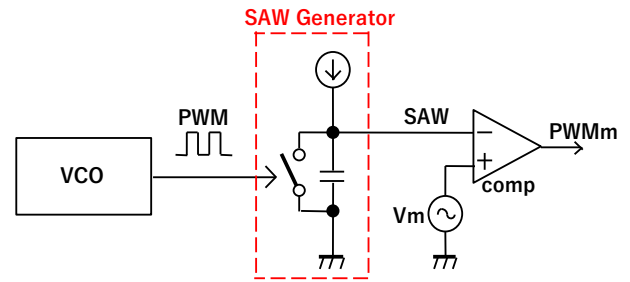


図 16 LLC 回路における EMI 低減回路

Fig. 16 EMI reduction system with LLC circuit

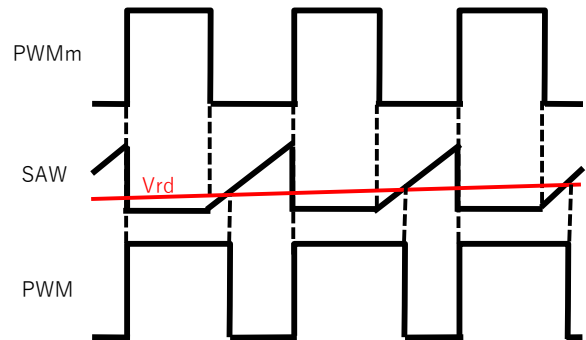


図 17 時比率変調方法

Fig. 17. Duty modulation method

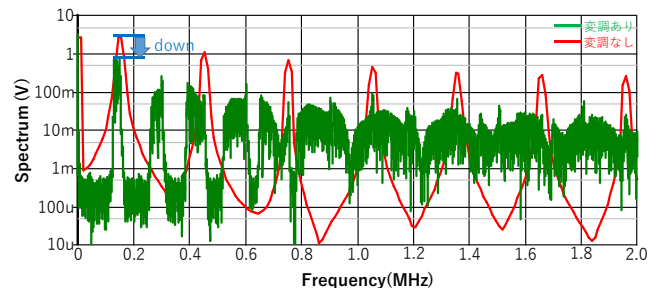


図 18 LLC における PWM スペクトラム比較

Fig. 18. EMI reduction with LLC

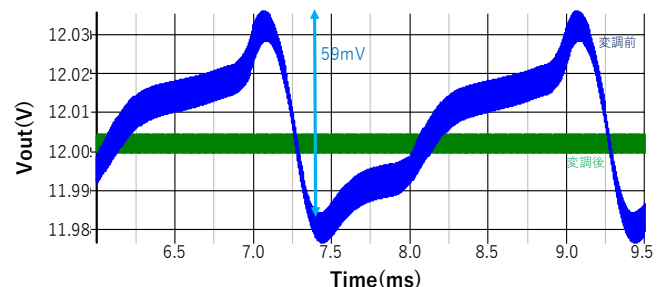


図 19 変調前後の出力電圧比較

Fig. 19. Output voltage comparison before and after used duty modulation

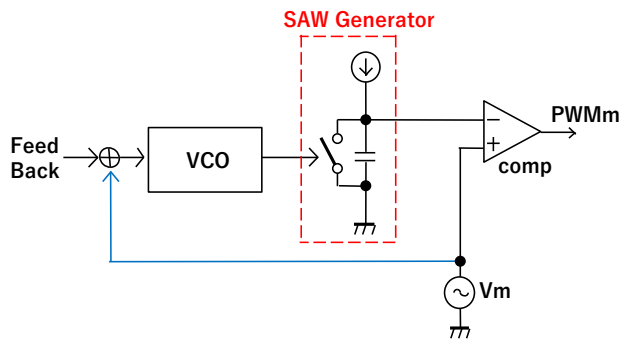


図 20 リプル改善回路

Fig. 20. Output ripple improvement circuit

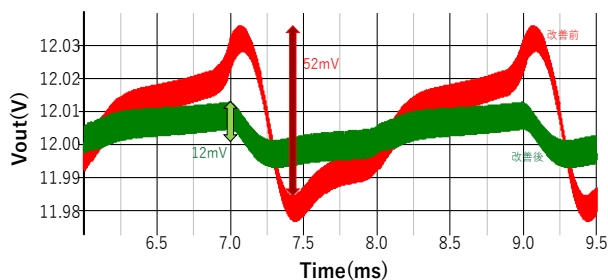


図 21 リプル改善シミュレーション

Fig. 21. Ripple improvement simulation

になった。時比率 50%を境としてほぼ対称的な結果となった。これを利用し、直流出力を維持しつつ変調を行う。

変調には図 16 の回路を用いた。本来の PWM 信号からスイッチとコンデンサを用いて SAW 波を生成する。これを図 17 のように生成された波形と変調信号 V_m を比較した。これより発生した信号を PWMm とする。PWMm は PWM とは異なる時比率に変更される。

〈4・4〉 LLC 共振回路における EMI 低減方法

時比率を変調したシミュレーションでは PWMm を生成する際に使用する変調信号を三角波とし、変調周波数 F_m を 500Hz、電圧 V_m を $1.2 \pm 1.0V$ になるように入力した。この結果、変調前後の PWM スペクトラムは図 18 となり、130kHz 地点において 3.15V から 710mV に約 13dB 低減された。

しかしこの変調の影響により、出力電圧は定常リップル 7.2mV の他に、変調リップル約 52mV が伴った。これは時比率変調を導入する以前の定常リップル 4.3mV より大幅な増加になっている。この EMI 低減に用いたクロック変調による変調リップルの増加を、問題の無いレベルに補正する必要がある。

〈4・5〉提案手法でのリップル改善

時比率変調は EMI 低減の効果を得られる一方、図 19 のように出力電圧リップルが増加する。本節ではリップル低減のため、図 20 の回路を用いた復調信号を入力する方式を提案する。変調信号を VCO に改めて入力することで、時比率のみ変化をさせたものより変動を抑えられる。前節のス

ペクトラム拡散で EMI を低減しつつ、出力リップルを低減させることができる。結果は図 21 となり、52mV から 12mV へ低減できることを示せた。

5. 結論

本稿では LLC 電源回路において効率向上と EMI 低減手法を提案した。PFC 回路ではダイオードブリッジを MOSFET で代用することで効率 98% まで向上し、クロック部に周波数変調を使用することで EMI を 19.6dB 減少することを示した。また LLC でも時比率変調を活用することで、出力リップルの上昇を抑えつつ EMI を 13dB 低減する方法を提案した。これらを SIMPLISIS を用いたシミュレーションで確認した。

文 献

- (1) H. Kobayashi, T. Nabehima, Handbook of Power Management Circuits, Pan Stanford Publishers (2016).
- (2) 村上和貴, 小堀康功, ケイ林, 高虹, 小野澤昌徳, 小林春夫, 高井伸和, 新津葵一 「PFC 回路と AC-DC 変換器」 電気学会 群馬栃木合同研究発表会 ETG-11-12 群馬 2012.2
- (3) Y. Kobori, L. Xing, G. Hong, T. Shishime, M. Ohshima, H. Kobayashi, N. Takai, K. Niitsu, "Novel AC-DC Direct Converter Design with PFC", International Conference on Power Electronics and Power Engineering, Phuket, Thailand (Dec. 2011).
- (4) 浅石恒洋, 小堀康功, 白石尚也, 須永祥希, 築地伸和, 高井伸和, 小林春夫 「疑似アナログ信号を用いたヒステリシス制御方式降圧型 DC-DC コンバータの EMI 低減の検討」 電気学会 群馬栃木合同研究発表会 ETG-16-29 群馬 2016.3
- (5) 増本聖 庄山正仁 「ブリッジレス PFC 回路の効率解析とスイッチングノイズ」 電気・情報関係学会九州支部連合大会 12-2P-09 2012.9.
- (6) 落合政司 (2015.3.25) 「スイッチング電源の原理と設計」 東京 オーム社