

温度に依存しない MOS 定電流源の動作と安定性解析

山本 颯馬*, Isam Ebisawa Kuswan, 阿部 優大, 井田 貴士, 柴崎 有祈子, 築地 伸和 (群馬大学)
鈴木 彰, 轟 祐吉, 柿木 利彦, 小野 信任, 三浦 一広 ((株) ジーダット)
桑名 杏奈, 小林 春夫 (群馬大学)

Operation and Stability Analysis of Temperature-Insensitive MOS Reference Current Source Circuit

Souma Yamamoto, Kuswan Isam Ebisawa, Yudai Abe, Takashi Ida, Yukiko Shibasaki, Nobukazu Tsukiji (Gunma University)
Akira Suzuki, Yukichi Todoroki, Toshihiko Kakinoki, Nobuto Ono, Kazuhiro Miura (JEDAT)
Anna Kuwana, Haruo Kobayashi (Gunma University)

Abstract

This paper explains the operation principle of our proposed temperature-insensitive MOS reference current source circuit analyzes its stability. This circuit uses self-bias circuit with feedback configuration, which may cause the circuit instability. Its stability condition has been derived based on feedback theory as well as simulation.

キーワード：基準電流源, CMOS アナログ回路, 温度特性, 安定性, フィードバック

(Reference Current Source, CMOS Analog Circuit, Temperature Characteristic, Stability, Feedback)

1. はじめに

現在、IoT が急速に進展する中で、電子機器の需要は増加しており、電子製品に対する信頼性の要求レベルが高まっている。電子回路における信頼性の問題は主に PVT (プロセス・電源電圧変動・温度) ばらつきによって生じる。本論文では、PVT ばらつきにおける温度に焦点をあて、筆者らが提案した温度に依存しない MOS 基準電流源回路の動作と、その回路の安定条件について、シミュレーションおよびフィードバック理論に基づいて解析する。

基準電流源は電子回路に対し常に一定の電流を出力するものであり、アナログ集積回路において重要な役割を果たす。提案した基準電流源はバンドギャップリファレンス回路に比べて、回路構成が簡単で回路面積が小さいという利点がある。⁽¹⁾⁻⁽⁴⁾

2. MOS FET の温度特性

MOS FET のドレイン電流(I_d)は、線形領域において

$$I_d = \frac{W}{L} \mu C_{ox} \left[(V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (1)$$

飽和領域において

$$I_d = \frac{W}{2L} \mu C_{ox} (V_{GS} - V_{th})^2 (1 - \lambda V_{DS}) \quad (2)$$

と表される (C_{ox} : 単位面積当たりのゲート酸化膜容量, V_{th} : 閾値, W : MOS FET のチャネル幅, L : MOS FET のチャネル長, μ : 移動度, λ : チャネル変調効果係数)。

式(1), (2)で移動度(μ)と閾値(V_{th})は温度特性を持つ。高温において格子振動が活発になるため、結果として移動度(μ)は温度 T に対して次のように変化する。

$$\mu = \mu_0 (T/T_0)^{-1.5} \quad (3)$$

($T_0 [K] = [^{\circ}C] + 273.15$: 絶対温度)

また、閾値は次のように与えられる。

$$V_{th} = \frac{\sqrt{2qN_A\epsilon_{Si}(2\phi_B)}}{C_{OX}} + 2\phi_B + V_{FB} \quad (4)$$

$$\frac{dV_{th}}{dT} = \frac{d\phi_B}{dT} \left(\frac{1}{C_{OX}} \sqrt{\frac{qN_A\epsilon_{Si}}{\phi_B}} + 2 \right) \quad (5)$$

ここで、 ϕ_B : 内蔵電位、 n_i : NMOSFET の真性キャリア密度である。 ϕ_B および、 n_i は次式で表される。

$$\phi_B = \frac{k_B T}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (6)$$

$$n_i = N \exp \left(-\frac{\epsilon_g}{2k_B T} \right)$$

式(5)に(6)を代入すると、

$$\frac{dV_{th}}{dT} = -1 \sim -3 \text{ [mV/}^\circ\text{C]} \quad (7)$$

となり、MOSFET が温度特性を持つことが分かる。

実際に図 1 の回路で表 1 の条件でシミュレーション (LTSPICE XVII) を行くと、図 2 の出力特性を得る。本論文では、MOSFET のモデルは参考文献(5)のものを使用している (ただし、閾値 V_{th} は 0.6V に変更している)。図 2 からわかるように、MOSFET には電流電圧特性 ($I_D - V_{GS}$ 特性) で温度特性を持たないポイント (V_p) が存在する。また温度特性を持たないポイント (V_p) に対してゲート電圧が低電圧側では低温時と比較し高温時にドレイン電流が多く流れ、一方、高電圧では低温時にドレイン電流が多く流れる。

検討した温度不感基準電流源は、このような MOSFET ドレイン電流の温度特性を積極的に利用し、高電圧側と低電圧側の温度による電流の増減をキャンセルさせる。(5)

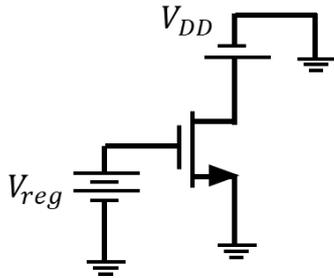


図 1 MOSFET 電流特性の確認用回路
Fig. 1. Circuit for MOS drain current characteristics measurement.

表 1 シミュレーション条件

Table1. Simulation conditions.

Parameter	Value
V_{reg}	0 ~ 1.8 V
V_{DD}	5.0 V
M_{NMOS}	W=20 um, L=2.0 um

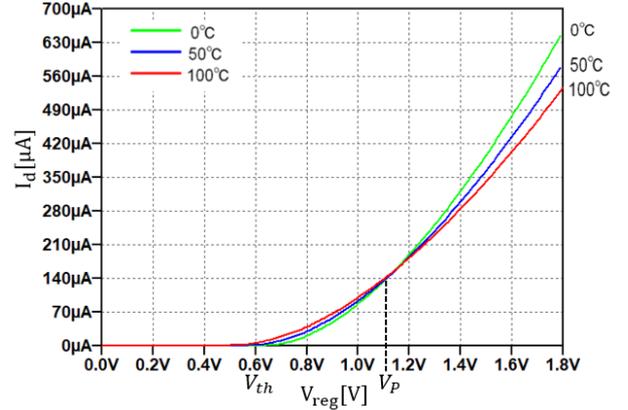


図 2 MOSFET の温度特性

Fig. 2. MOSFET temperature characteristics.

3. MOSFET のドレイン電流 I_D のドレイン電圧 V_{DS} 依存性

本論文で提案する基準電流源回路では、MOSFET は飽和領域 ($V_{DS} > V_{GS} - V_{th}$) での動作を前提としている。閾値電圧 V_{th} は図 2 に示すように 0.6V であるので、MOSFET を飽和領域で動作させるには、 $V_{DS} > V_{GS} - 0.6V$ となるように回路を設計する。

図 1 の回路で表 2 の条件で SPICE シミュレーションを行くと、図 3 の出力特性 ($I_D - V_{DS}$ 特性) を得る。図 3 において、点線より左側は非飽和領域であり、 I_D は V_{DS} に依存している。一方、点線より右側は飽和領域であり、 I_D は V_{DS} の依存は小さい。

表 2 シミュレーション条件

Table2. Simulation conditions.

Parameter	Value
Temperature	27 °C
V_{reg}	0.6 ~ 1.8 V
V_{DD}	0 ~ 5.0 V
M_{NMOS}	W=20 um, L=2.0 um

表 3 シミュレーション条件

Table 3. Simulation conditions.

Parameter	Value
V_{BIAS}	0.6 V
V_1, V_2	0 ~ 1.8 V
V_{DD}	5.0 V
M_1, M_2	$W=20 \text{ } \mu\text{m}, L=2.0 \text{ } \mu\text{m}$

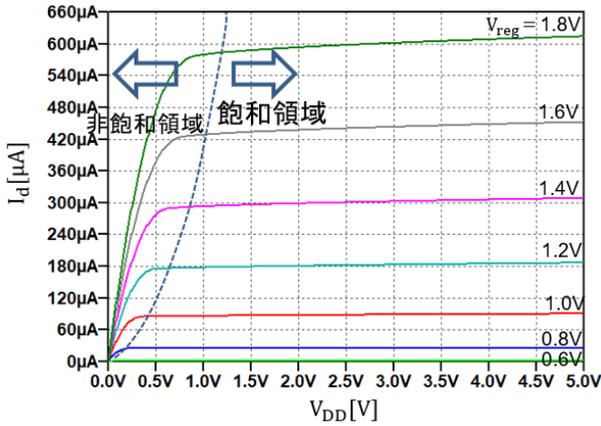


図 3 MOS FET の I_D - V_{DS} 特性

Fig. 3. MOS FET I_D - V_{DS} characteristics.

4. 温度に依存しない MOS 定電流源のコンセプトの提案

図 4 に提案する MOS 定電流源のコンセプトを示す。回路構成としては各 MOS のゲートに異なるバイアス電圧を与えることで、MOS FET の電流の立ち上がり位置を変化させ全体として出力電流の温度特性をキャンセルする。図 4 のように、 M_1 にバイアス電圧 V_{BIAS} を印加し、表 3 の条件でシミュレーションすると、 I_1 の出力電流 (I_D - V_{GS} 特性) は図 5 となり、 I_2 の出力電流 (I_D - V_{GS} 特性) は図 6 となる。図 7 は出力電流 (I_{OUT}) であり、2 節で述べたように図 2 における V_p を境に低電圧側と高電圧側で温度によるドレイン電流の優位性が反転することを利用し、MOS FET の温度特性をキャンセルすることができる。

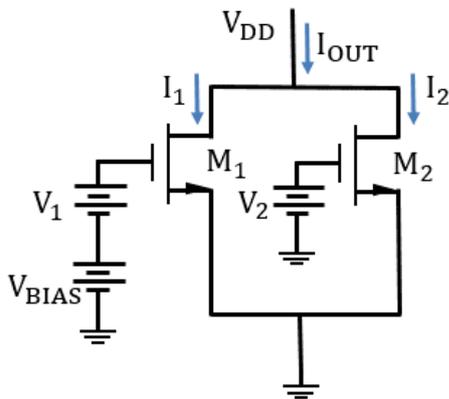


図 4 提案基準電流源回路のコンセプト

Fig. 4. Proposed reference current source circuit concept.

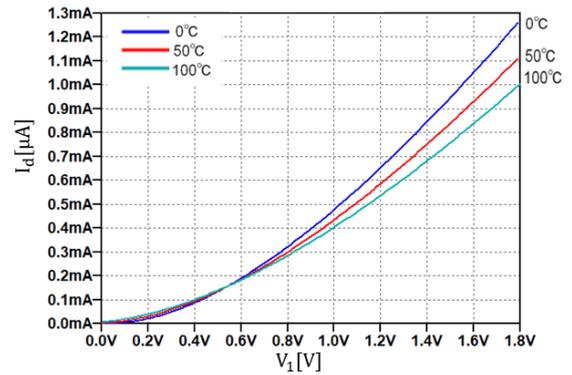


図 5 M_1 の I_D - V_{GS} 特性

Fig. 5. I_D - V_{GS} characteristics of M_1 .

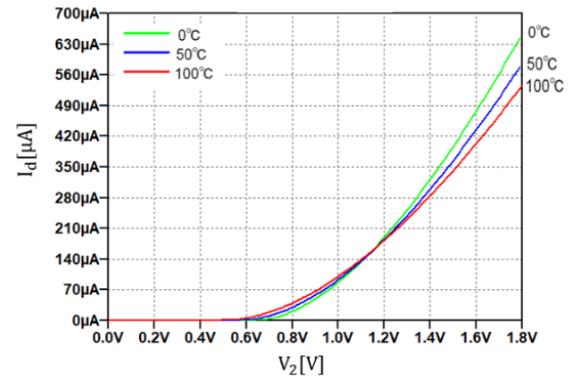


図 6 M_2 の I_D - V_{GS} 特性

Fig. 6. I_D - V_{GS} characteristics of M_2 .

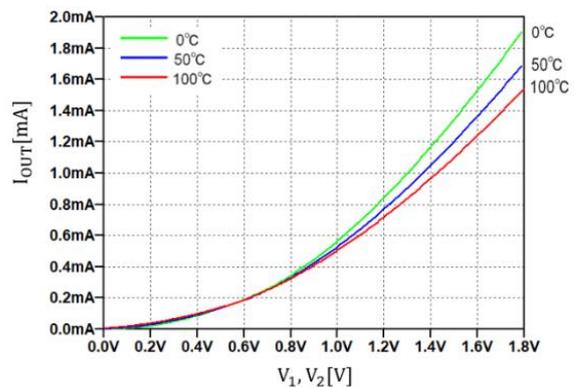


図 7 出力電流 I_{OUT}

Fig. 7. Output current I_{OUT} .

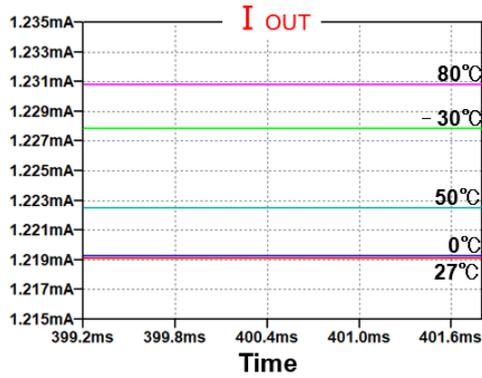


図 10 提案回路の出力電流 I_{OUT}

Fig. 10. Output current I_{OUT} of the proposed circuit.

図 11 より、 M_{N2} と M_{N4} にかかるドレイン電圧は3V 以上であり、 M_{N2} にかかるゲート電圧は1V 以下、 M_{N4} にかかるゲート電圧は2V 以下である。また、 M_{N1} と M_{N3} にかかるドレイン電圧は4.8V 以上であり、 M_{N1} にかかるゲート電圧は2V 以下、 M_{N3} にかかるゲート電圧はドレイン電圧と同じである。以上のことから、いずれの NMOS においても $V_{DS} > V_{GS} - V_{th}$ となっている (V_{th} : 閾値 0.6V)。したがって、各 NMOS が飽和領域で動作していることが確認できる。

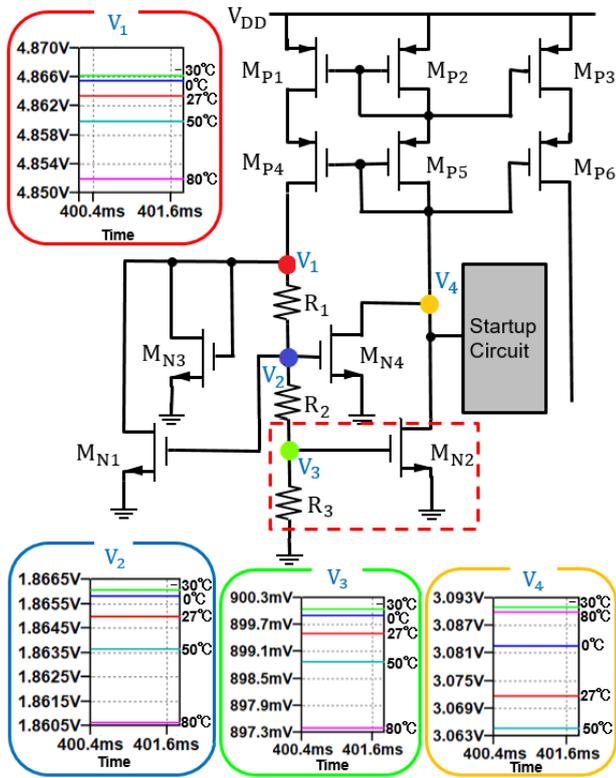


図 11 各ノードの電圧値

Fig. 11. Voltage value of each node.

次に、図 8 の V_3 に注目し、自己バイアス回路の安定性の条件を調べるために、図 11 の回路の点線で囲まれたように閉ループを切断して図 12 の回路に変更して DC 解析シミュレーション (V_{BIAS} : 0V ~ 1.3V) を行い、 V_{BIAS} と V_3 の差 ($V_{BIAS} - V_3$) をグラフ化した (図 13)。これより、 V_{BIAS} と V_3 の大きさは 2 回逆転していることが分かる。例えば -30°C のときに注目すると、 V_{BIAS} が 0.83V から 0.9V の範囲では、 V_3 が V_{BIAS} (M_{N2} のゲート電圧) よりも高くなっている。これを図 8 の回路で考えると、 V_3 が M_{N2} のゲート電圧を上げる作用をすることになる。一方、図 13 において、 V_{BIAS} が 0.9V 以上の範囲では、 V_3 が V_{BIAS} (M_{N2} のゲート電圧) よりも低くなっているため、図 8 の回路において考えると、 V_3 が M_{N2} のゲート電圧を下げる作用をすることになる。これらのことは、もし図 8 の回路において V_3 の値にノイズなどによる変動があったとしても、その変動により V_3 が 0.83V を下回らなければ、時間経過によりやがて V_3 が 0.9V に安定することを表す。

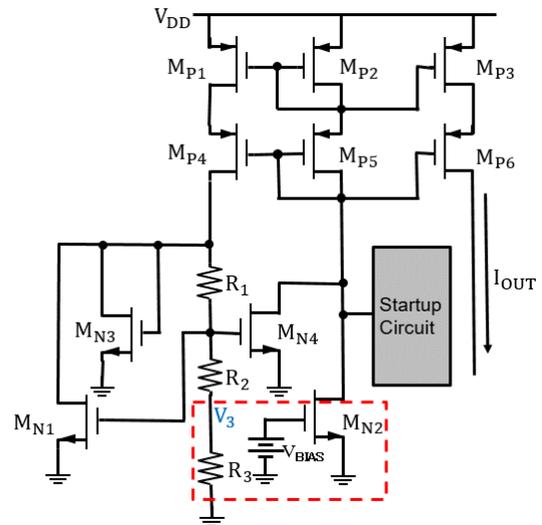


図 12 バイアス電圧の生成

Fig. 12. Bias voltage generation.

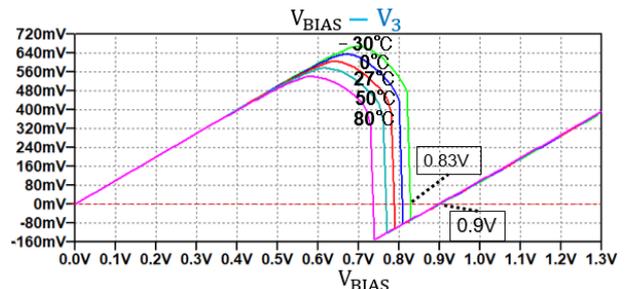


図 13 V_{BIAS} と V_3 の差 ($V_{BIAS} - V_3$)

Fig. 13. V_{BIAS} minus V_3 ($V_{BIAS} - V_3$).

図 8 の回路で、表 4 の条件でシミュレーションを行った場合の、 V_3 の値が安定するまでの $V_3=0.9V$ 付近のグラフが図 14 である。図 14 より、 V_3 はフィードバック過程を経て最終的に約 $0.9V$ に安定している。そのため、回路の安定化のためには、 R_1 の値を大きくせず、電流を R_3 に流し、また R_3 の値を小さくしないことで、 V_3 を十分に大きくする必要があると考えられる。

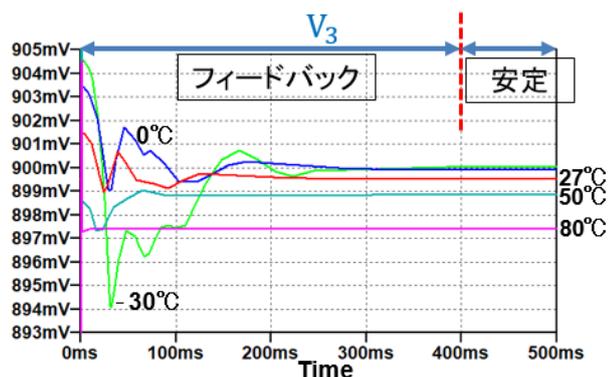


図 14 V_3 のフィードバック過程

Fig. 14. Feedback process of V_3 .

次に、図 12 の回路で、表 6 (望ましくない動作の条件) のように R_1 の値を 7500Ω に上げて DC 解析シミュレーション ($V_{BIAS}:0V\sim 1.3V$) を行い、 $27^\circ C$ の時の V_{BIAS} と V_3 の差 ($V_{BIAS}-V_3$) をグラフ化した (図 15)。 V_{BIAS} と V_3 の大きさは逆転しておらず、 V_3 は常に V_{BIAS} (M_{N2} のゲート電圧) よりも低くなっている。これを図 8 の回路で考えると、 V_3 が常に M_{N2} のゲート電圧を下げる作用をすることになる。つまり、回路に電流が流れない状態に遷移してしまう。

実際に図 8 の回路において、表 6 の条件でシミュレーションを行った場合の V_3 と出力電流 I_{OUT} のグラフが図 16 である。図 16 より、 V_3 はスタートアップ後は常に約 $0V$ となっており、出力電流 I_{OUT} も常に約 $0A$ となっている。

表 6 シミュレーション条件

Table 6. Simulation conditions.

Parameter	Value	Param.	Value
$M_{P1}\sim M_{P6}$	W=800 um, L=2.0 um	R_1	7500 Ω
M_{N1}, M_{N3}	W=0.1 um, L=2.0 um	R_2	1610 Ω
M_{N2}	W=200 um, L=2.0 um	R_3	1500 Ω
M_{N4}	W=20 um, L=2.0 um	V_{DD}	5.0 V
Temp.	27 $^\circ C$		

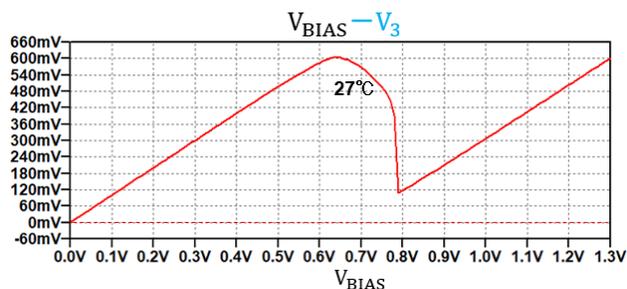


図 15 $R_1=7500\Omega$ に変更後の V_{BIAS} と V_3 の差 ($V_{BIAS}-V_3$)

Fig. 15. V_{BIAS} minus V_3 ($V_{BIAS}-V_3$) after changing to $R_1=7500\Omega$.

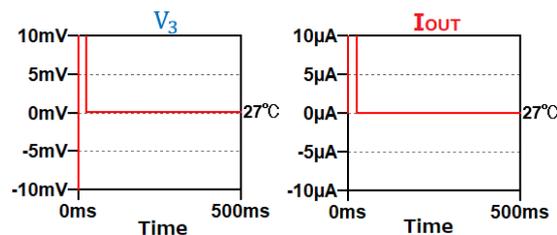


図 16 $R_1=7500\Omega$ に変更後の V_3 と I_{OUT} の値

Fig. 16. V_3 and I_{OUT} values after changing to $R_1=7500\Omega$.

次に、図 12 の回路において、表 7 (望ましくない動作の条件) のように R_1 の値を 6200Ω に下げて DC 解析シミュレーション ($V_{BIAS}:0V\sim 1.3V$) を行い、 $27^\circ C$ の時の V_{BIAS} と V_3 の差 ($V_{BIAS}-V_3$) をグラフ化した (図 17)。 $V_{BIAS}=790mV$ 時に V_{BIAS} と V_3 の大きさは約 $13mV$ となるが逆転はしておらず、 V_3 は常に V_{BIAS} (M_{N2} のゲート電圧) よりも低くなっている。この場合も、図 8 の回路において考えると、 V_3 が常に M_{N2} のゲート電圧を下げる作用をすることになり、回路に電流が流れない状態に遷移すると考えられる。

しかし、実際に図 8 の回路において、表 7 の条件でシミュレーションを行った場合の V_3 と出力電流 I_{OUT} のグラフは図 18 となった。図 18 のように、 V_3 も出力電流 I_{OUT} も不安定な状態となってしまう、 $100ms$ 以後はシミュレーションを行うことができなかった。

表 7 シミュレーション条件

Table 7. Simulation conditions.

Parameter	Value	Param.	Value
$M_{P1}\sim M_{P6}$	W=800 um, L=2.0 um	R_1	6200 Ω
M_{N1}, M_{N3}	W=0.1 um, L=2.0 um	R_2	1610 Ω
M_{N2}	W=200 um, L=2.0 um	R_3	1500 Ω
M_{N4}	W=20 um, L=2.0 um	V_{DD}	5.0 V
Temp.	27 $^\circ C$		

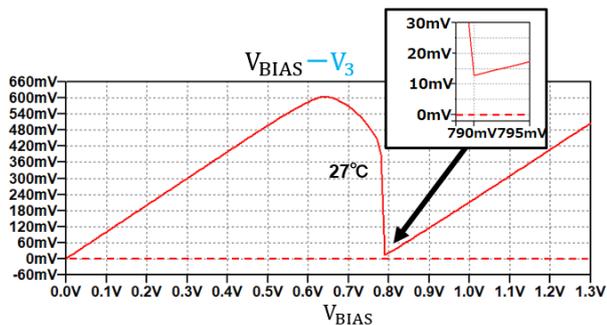


図 17 $R_1=6200\Omega$ に変更後の V_{BIAS} と V_3 の差($V_{BIAS}-V_3$)

Fig. 17. V_{BIAS} minus V_3 ($V_{BIAS}-V_3$) after changing to $R_1=6200\Omega$.

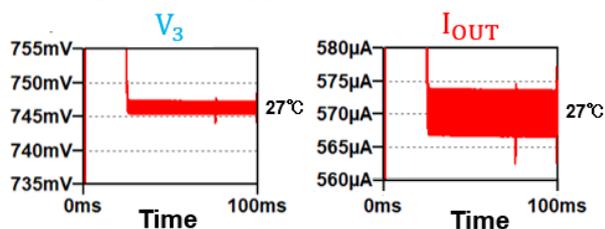


図 18 $R_1=6200\Omega$ に変更後の V_3 と I_{OUT} の値

Fig. 18. V_3 and I_{OUT} values after changing to $R_1=6200\Omega$.

次に、図 12 の回路において、表 8 (望ましい動作の条件) のように R_1 の値を 6000Ω に下げて DC 解析シミュレーション($V_{BIAS}:0V\sim 1.3V$)を行い、 $27^\circ C$ の時の V_{BIAS} と V_3 の差($V_{BIAS}-V_3$)をグラフ化した(図 19)。 V_{BIAS} と V_3 の大きさは、 $V_{BIAS}=790mV$ 付近で 2 回逆転している。図 19 において、 V_{BIAS} が $790mV$ から $795mV$ の範囲では、 V_3 が $V_{BIAS}(M_{N2}$ のゲート電圧)よりも高くなっている。これを図 8 の回路で考えると、 V_3 が M_{N2} のゲート電圧を上げる作用をする。一方、図 19 において、 V_{BIAS} が $795mV$ 以上の範囲では、 V_3 が $V_{BIAS}(M_{N2}$ のゲート電圧)よりも低いため、図 8 の回路において考えると、 V_3 が M_{N2} のゲート電圧を下げる作用をする。

実際に図 8 の回路において、表 8 の条件でシミュレーションを行った場合の V_3 と I_{OUT} のグラフが図 20 であり、最終的に V_3 は約 $795mV$ 、 I_{OUT} は約 $748\mu A$ に安定している。

表 8 シミュレーション条件

Table 8. Simulation conditions.

Parameter	Value	Param.	Value
$M_{P1}\sim M_{P6}$	W=800 um, L=2.0 um	R_1	6000 Ω
M_{N1}, M_{N3}	W=0.1 um, L=2.0 um	R_2	1610 Ω
M_{N2}	W=200 um, L=2.0 um	R_3	1500 Ω
M_{N4}	W=20 um, L=2.0 um	V_{DD}	5.0 V
Temp.	27 $^\circ C$		

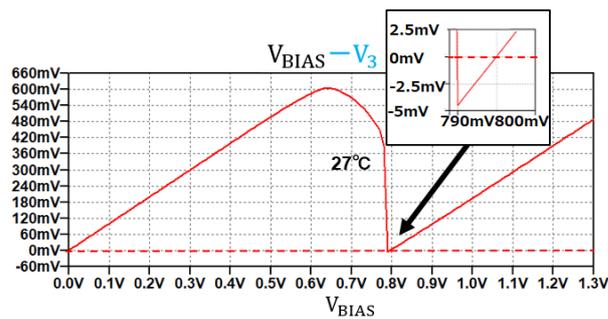


図 19 $R_1=6000\Omega$ に変更後の V_{BIAS} と V_3 の差($V_{BIAS}-V_3$)

Fig. 19. V_{BIAS} minus V_3 ($V_{BIAS}-V_3$) after changing to $R_1=6000\Omega$.

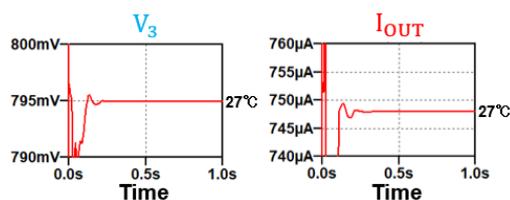


図 20 $R_1=6000\Omega$ に変更後の V_3 と I_{OUT} の値

Fig. 20. V_3 and I_{OUT} values after changing to $R_1=6000\Omega$.

以上のことから、図 8 の提案回路に安定して電流が流れる条件は、回路を図 12 の構成に変更して DC 解析シミュレーション(V_{BIAS})を行ったときに、 V_{BIAS} と V_3 の大きさが 2 回逆転することである。

7. まとめ

本論文では、温度に依存しない MOS 基準電流源回路の動作と、その回路の安定条件についての考察を行った。また、提案回路で回路パラメータ値を適切に設定することで各 NMOS を飽和領域で動作させ、回路に電流が流れ続ける安定状態が得られることを確認した。

文 献

- (1) 上野憲一 廣瀬哲也 浅井哲也 雨宮好仁「MOSFET のしきい値電圧を参照した基準電圧源回路」, 電子情報通信学会技術研究報告 ICD (2007 年 7 月).
- (2) T. Abe, H. Tanimoto, S. Yoshizawa, "A Simple Current Reference with Low Sensitivity to Supply Voltage and Temperature", 24th International Conference "Mixed Design of Integrated Circuits and Systems, Bydgoszcz, Poland (Aug. 2017)
- (3) C. Yoo, J. Park, "CMOS current reference with supply and temperature compensation", Electronics Letters, Vol.43, Issue.25 pp. 1422 - 1424 (Dec. 2007)
- (4) R. J. Baker, CMOS Circuit Design, Layout, and Simulation, Third Edition, Wiley (July, 2010).
- (5) 井田貴士, 築地伸和, 小林春夫 「温度変動に依存しない MOS 定電流源の検討」, 第 8 回 電気学会東京支部 栃木・群馬支所 合同研究発表会, (2018 年 3 月).
- (6) S. Yamamoto, I. E. Kuswan, Y. Abe, T. Ida, Y. Shibasaki, A. Kuwana, H. Kobayashi, A. Suzuki, Y. Todoroki, T. Kakinoki, N. Ono, K. Miura, "Stability Analysis of Temperature-Insensitive MOS Reference Current Source Circuit" 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS2019), Nikko, Tochigi, Japan (Aug. 2019)