

第 74 回「システム LSI 合同ゼミ」開催

発表時間制限のない自由な研究討論の場として、標記合同ゼミを下記のように企画いたしました。この合同ゼミは、不定期に開催される非公式の公開研究発表会で、1 研究室や 1 研究部署で行われている研究発表を複数の研究機関合同で行い、幅広く忌憚のない意見交換を行おうとするものです。ご興味のおありの方は是非お誘い合わせの上ご参加ください。

なお、本合同ゼミは年 3 回程度の割で、今後も引続き開催していく予定です。皆様からもご発表頂けるようでしたら、これほど嬉しいことはございません。ご遠慮無くご相談いただきたく、お待ち申し上げます。

金子峰雄（北陸先端科学技術大学院大学）、
高島康裕（北九州市立大学）、
西澤真一（福岡大学）、
小平行秀，富岡洋一（会津大学）、
栗野皓光（大阪大学）、
山田昭彦（コンピュータシステム&メディア研究所）、
梶谷洋司（設計アルゴリズム研究所）、
貴家仁志（首都大学）、
伊藤和人（埼玉大学）、
戸川望，史又華（早稲田大学）、
田村裕，築山修治（中央大学）、
高橋篤司，岡田健一，原祐子（東京工業大学）、
北澤仁志，藤吉邦洋（東京農工大学）
白石洋一，小林春夫（群馬大学）

記

日時: 2020 年 1 月 25 日(土) 午後 1 時 30 分から午後 7 時頃まで

場所: 東京農工大学小金井キャンパス

発表: 12 号館 1 階 L1216 講義室(予定) (午後 1 時 30 分から)

ポスター: 12 号館 1 階 L1217 講義室(予定) (午後 5 時 30 分頃から)

<http://www.tuat.ac.jp/outline/overview/access/>

ポスター懇談会では、発表のあった研究に関してポスターボードを用いた研究討論を予定しております。軽食・アルコール飲料を準備いたします。

協賛: IEEE CEDA All Japan Joint Chapter

参加費: 1,000 円 (予定, 当日払い)

申し込み・ご質問等宛先:

東京農工大学 藤吉邦洋

E-mail: fujiyosi@cc.tuat.ac.jp

【発表】

(1) LLC 電源での効率改善と EMI 低減技術の検討

群馬大学大学院 理工学府 電子情報部門 (小林・桑名研究室)

博士課程前期 2 年 大岩紀行

概要:

電化製品を稼働させるには, 送電された商用電源 (AC) から直流 (DC) へ変換して給電する. 近年工場設備やサーバーなどでは省電力化の需要が高まっており, そのための AC-DC 電源回路の構成要素として LLC 電源回路が注目されている. この回路は力率改善 (Power Factor Correction: PFC) 電源回路と LLC 共振回路を組み合わせで構成される. 本発表では PFC 回路では効率を改善し, LLC 共振回路では電磁波妨害 (Electro-Magnetic Interference: EMI) 低減について取り組んだ内容を報告する. PFC 回路ではダイオードブリッジに着目し, 固定損失を生じるダイオードに比べて低損失となる MOSFET を使用することを検討し, シミュレーション検証を行った. LLC 共振回路ではクロック発振部の周波数変調による EMI 低減の検証を行った. 両シミュレーション検証には回路シミュレータ SIMPLIS を使用した.

注: LLC は略語ではなく, LLC 共振回路はトランスの漏れインダクタンス L_s , 励磁インダクタンス L_p , コンデンサ C_r の共振を利用しているのでこのように命名されている.



研究指導: 小堀康功先生

(2) 巻き戻し型誤り訂正を用いる二重冗長化 LSI におけるレジスタ数最小化

埼玉大学 大学院理工学研究科数理電子情報系専攻 伊藤研究室

修士 1 年 北澤 悠弥

概要：

LSI のソフトウェア対策として演算を二重化し、誤り検出時にスケジュールの必要部分を巻き戻して再実行することで誤りを訂正する。再実行には無誤り保証された入力データが必要であり、その保持のためレジスタを必要とする。

本発表では与えられたスケジュールを対象に再実行による遅延の制約下でレジスタ数を最小化する誤り検出位置集合を求める問題について、発見的な手法を提案し、解の最適性を調べた結果について報告する。

(3) 製造後遅延調節における領域面積削減のためのドメイン分割手法

東京工業大学 工学院 情報通信系 高橋研究室

修士 2 年 佐々 栄治郎

概要： プロセスの微細化による PVT ばらつきは、集積回路の性能、歩留まりへ大きな影響を及ぼす。ばらつきへの対策として、回路をいくつかの領域に分割し、各領域にクロック遅延調整素子を挿入し、製造後に遅延量を調節する製造後遅延調節手法が提案されている。既存の領域分割手法として、指定された遅延調節素子数で、最も小さな最小クロック周期を実現できるマルチドメインクロックスキューリングの応用が検討されている。しかしながら、既存手法では記憶素子の位置情報を考慮しておらず、クロック分配回路のコスト増加やばらつき耐性の悪化を引き起こす恐れがある。提案手法では、記憶素子の位置情報を用いて矩形の分割領域を定義し、この領域に重なりが生じないような分割のみを考慮することで、分割領域面積の総和が小さな解を得る。

(4) 深層学習向けチップ間通信量最小化 CNN 設計

早稲田大学理工学術院電子物理システム学専攻史研究室

D2 葉静浩

概要： 畳み込みニューラルネットワーク (CNN) は、最新の人工知能システムで広く使用されているが、ハードウェアに実装する時、消費電力の莫大さが問題視されている。特に、大量のデータおよびパラメータはオフチップメモリに保存されるため、オフチップメモリとオンチップメモリの間に大量のメモリアクセスが必要であり、消費電力が大きくなる。そのため、本発表は、データの多重再利用手法を提案し、深層学習向けチップ間通信量最小化手法を提案する。