

自己バイアス温度不感 MOS 定電流源の動作と安定性解析

山本 颯馬*, Isam Ebisawa Kuswan, 阿部 優大, 井田 貴士, 柴崎 有祈子, 築地 伸和
桑名 杏奈, 小林 春夫 (群馬大学)
鈴木 彰, 轟 祐吉, 柿木 利彦, 小野 信任, 三浦 一広 ((株) ジーダット)

Operation and Stability Analysis of Temperature-Insensitive MOS Reference Current Source with Self-Bias Circuit

Souma Yamamoto, Kuswan Isam Ebisawa, Yudai Abe, Takashi Ida, Yukiko Shibasaki, Nobukazu Tsukiji
Anna Kuwana, Haruo Kobayashi (Gunma University)
Akira Suzuki, Yukichi Todoroki, Toshihiko Kakinoki, Nobuto Ono, Kazuhiro Miura (JEDAT)

キーワード: 基準電流源, CMOS アナログ回路, 温度特性, 安定性, フィードバック
(Reference Current Source, CMOS Analog Circuit, Temperature Characteristics, Stability, Feedback)

1. はじめに

現在、IoT が急速に進展する中で、電子機器の需要は増加しており、電子製品に対する信頼性の要求レベルが高まっている。電子回路における信頼性の問題は主に PVT (プロセス・電源電圧変動・温度) ばらつきによって生じる。本論文では、PVT ばらつきにおける温度に焦点をあて、筆者らが提案した温度に依存しない MOS 基準電流源回路の動作と、その回路の安定条件について、シミュレーションおよびフィードバック理論に基づいて解析する。

基準電流源は電子回路に対し常に一定の電流を出力するものであり、アナログ集積回路において特性ばらつきを抑える等のために重要な役割を果たす。提案した基準電流源はバンドギャップリファレンス回路に比べて、回路構成が簡単で回路面積が小さいという利点がある。(1)~(4)

2. MOS FET の温度特性

今回の提案回路に使用する MOS FET には、温度によってドレイン電流(I_D)が変動する特性がある。本論文では、MOS FET のモデルは参考文献(5)のものを使用している。この MOS FET には電流電圧特性($I_D - V_{GS}$ 特性)で温度が変動しても電流が変動しないゲート電圧 (以下 V_p)が存在す

る。また V_p に対してゲート電圧が低電圧側では低温時と比較し高温時にドレイン電流が多く流れ、一方、高電圧では低温時にドレイン電流が多く流れる。

検討した温度不感基準電流源は、このような MOSFET ドレイン電流の温度特性を積極的に利用し、高電圧側と低電圧側の温度による電流の増減をキャンセルさせる。(5)

3. カスコード接続を用いた回路提案およびシミュレーション動作検証

この節では PMOS のカスコード接続を使用した提案回路(図 1)とそのシミュレーション結果を示す。カスコード接続を行うことでチャネル調変調効果を抑える。

図 1 の回路は M_{N3} 、 M_{N4} が基準用 MOS であり、 M_{N1} 、 M_{N2} が温度特性校正用 MOS となっており、抵抗で MOS にかかるゲート電圧を分圧することによって基準用 MOS と温度特性校正用 MOS に与える電圧を設定する。

この回路では、 M_{N4} には V_p よりも高いゲート電圧をかけることで、高温時と比較し低温時にドレイン電流を多く流す。また、 M_{N2} には V_p よりも低いゲート電圧をかけて、低温時と比較し高温時にドレイン電流を多く流す。この2つ

の電流を合わせた電流 I_3 (=出力電流 I_{OUT})は、高電圧側と低電圧側の温度による電流の増減がキャンセルされている。

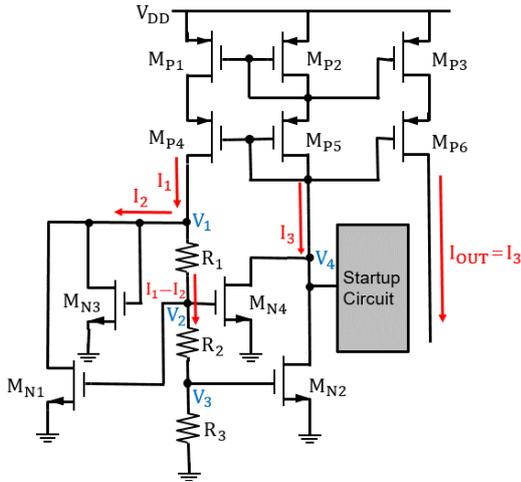


図1 カスコード接続を用いた温度不感型 MOS 定電流源

Fig. 1. Temperature insensitive MOS constant current source using cascode configuration.

また M_{N1} 、 M_{N3} はネガティブフィードバック用 MOS であり R_1 、 R_2 に電流が多く流れた場合 M_{N1} 、 M_{N3} に自己バイアスがかかり I_2 の値が大きくなる。この構成により、電源電圧 V_{DD} が何かのきっかけで大きくなり、 I_1 が増えたときに I_2 で引き抜くこと負帰還の効果で回路の安定化につながる。

また、この回路は2つの安定状態があるのでスタートアップ回路を用いて正しい安定状態に初期動作させる。ここで検討した基準電流源回路のスタートアップ回路は参考文献(5)に記されている。

図1の提案回路で、表1の条件(望ましい動作の条件)でのシミュレーションと結果を図2に示す。図2のばらつき度[%]とは、27°C時の出力電流($I_{OUT(27^\circ C)}$)を基準としたときの、他の温度における出力電流($I_{OUT(比較温度)}$)との誤差の割合であり、次式で定義する。

$$\left| \frac{I_{OUT(27^\circ C)} - I_{OUT(比較温度)}}{I_{OUT(27^\circ C)}} \right| * 100\% \quad (1)$$

表1 シミュレーション条件

Table 1. Simulation conditions.

Parameter	Value	Param.	Value
$M_{P1} \sim M_{P6}$	W=800 um, L=2.0 um	R_1	5.0 k Ω
M_{N1}, M_{N3}	W=0.1 um, L=2.0 um	R_2	1.61 k Ω
M_{N2}	W=200 um, L=2.0 um	R_3	1.5 k Ω
M_{N4}	W=20 um, L=2.0 um	V_{DD}	5.0 V

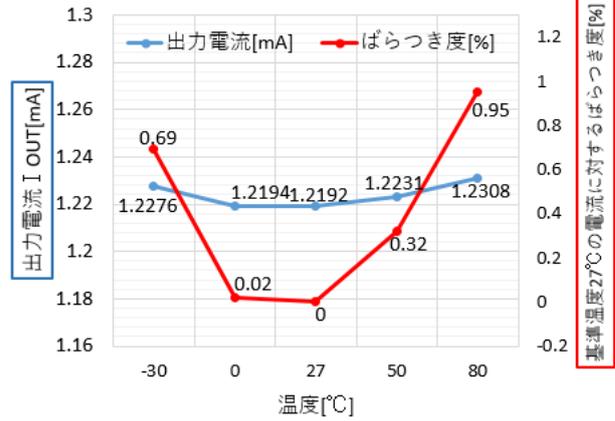


図2 提案回路の出力電流 I_{OUT} と誤差(27°C基準)

Fig. 2. Output current I_{OUT} of the proposed circuit and error of output current (Based on 27 °C).

次に、図1の V_3 に注目し、自己バイアス回路の安定性の条件を調べるために、図3の回路の点線で囲まれたように閉ループを切断して図3の回路に変更してDC解析シミュレーション($V_{BIAS}:0V \sim 1.3V$)を行い、 V_{BIAS} と V_3 の差($V_{BIAS} - V_3$)をグラフ化した(図4)。これより、 V_{BIAS} と V_3 の大きさは2回逆転していることが分かる。例えば-30°Cのときに注目すると、 V_{BIAS} が0.83Vから0.9Vの範囲では、 V_3 が V_{BIAS} (M_{N2} のゲート電圧)よりも高くなっている。これを図1の回路で考えると、 V_3 が M_{N2} のゲート電圧を上げる作用をすることになる。一方、図4において、 V_{BIAS} が0.9V以上の範囲では、 V_3 が V_{BIAS} (M_{N2} のゲート電圧)よりも低くなっているため、図1の回路において考えると、 V_3 が M_{N2} のゲート電圧を下げる作用をすることになる。

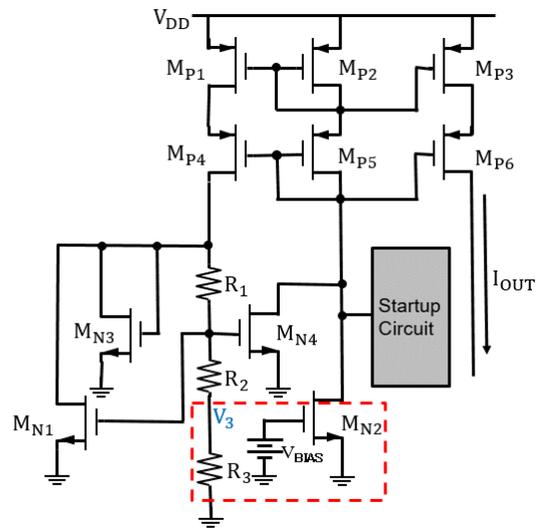


図3 バイアス電圧の生成(1)

Fig. 3. Bias voltage generation (1).

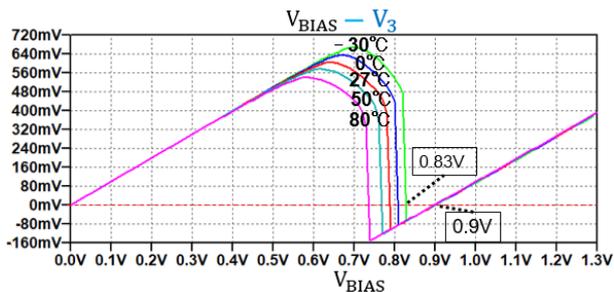


図4 V_{BIAS} と V_3 の差 ($V_{BIAS} - V_3$)

Fig. 4. V_{BIAS} minus V_3 ($V_{BIAS} - V_3$).

これらのことは、図1の回路で V_3 の値にノイズなどによる変動があったとしても、その変動により V_3 が 0.83V を下回らなければ、時間経過によりやがて V_3 が 0.9V に安定することを表す。

図1の回路で、表1の条件でシミュレーションを行った場合の、 V_3 の値が安定するまでの過程を図5に示す。図5より、 V_3 はフィードバックを経て最終的に約 0.9V に安定している。そのため、回路の安定化のためには、 R_1 の値を大きくせずに電流を R_3 に流し、また R_3 の値を小さくしないことで、 V_3 を十分に大きくする必要があると考えられる。

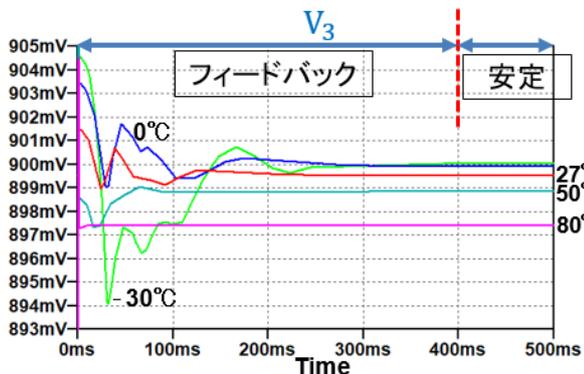


図5 V_3 のフィードバック過程

Fig. 5. Feedback process of V_3 .

次に、図3の回路で、表2(望ましくない動作の条件)のように R_1 の値を 7.5k Ω に上げて DC 解析シミュレーション ($V_{BIAS}: 0V \sim 1.3V$) を行い、27 $^{\circ}C$ の時の V_{BIAS} と V_3 の差 ($V_{BIAS} - V_3$) をグラフ化した(図6)。 V_{BIAS} と V_3 の大きさは逆転しておらず、 V_3 は常に V_{BIAS} (M_{N2} のゲート電圧) よりも低くなっている。これを図1の回路で考えると、 V_3 が常に M_{N2} のゲート電圧を下げ、電流が流れない状態に遷移してしまう。

実際に図1の回路において、表2の条件で過渡解析シミュレーションを行った場合の V_3 と出力電流 I_{OUT} のグラフを図7に示す。図7より、 V_3 はスタートアップ後は常に約 0V

となっており、出力電流 I_{OUT} も常に約 0A となっている。

また、 R_1 の値を 7.0k Ω 、6.5k Ω に変更して同様にシミュレーションした場合も V_{BIAS} と V_3 の大きさは逆転せず、図1の回路においても電流が流れない状態(7.0k Ω 時)、もしくは電流が不安定な状態(6.5k Ω 時)に遷移した。

表2 シミュレーション条件

Table 2. Simulation conditions.

Parameter	Value	Param.	Value
Temp.	27 $^{\circ}C$	R_1	7.5 k Ω

※その他条件は表1と同一

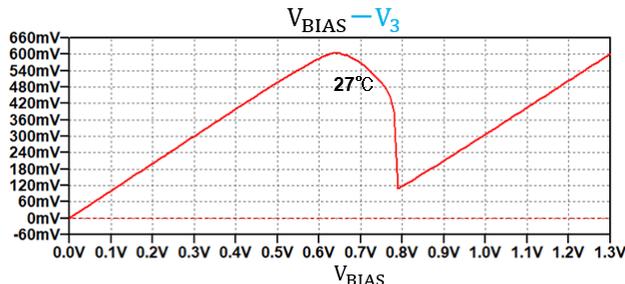


図6 $R_1=7.5k\Omega$ に変更後の V_{BIAS} と V_3 の差 ($V_{BIAS} - V_3$)

Fig. 6. V_{BIAS} minus V_3 ($V_{BIAS} - V_3$) after changing to $R_1=7.5k\Omega$.

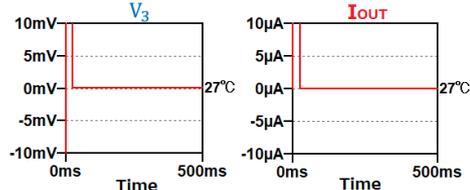


図7 $R_1=7.5k\Omega$ に変更後の V_3 と I_{OUT} の値

Fig. 7. V_3 and I_{OUT} values after changing to $R_1=7.5k\Omega$.

次に、図3の回路において、表3(望ましい動作の条件)のように R_1 の値を 6.0k Ω に下げて DC 解析シミュレーション ($V_{BIAS}: 0V \sim 1.3V$) を行い、27 $^{\circ}C$ の時の V_{BIAS} と V_3 の差 ($V_{BIAS} - V_3$) をグラフ化した(図8)。 V_{BIAS} と V_3 の大きさは、 $V_{BIAS}=790mV$ 付近で 2 回逆転している。図8において、 V_{BIAS} が 790mV から 795mV の範囲では、 V_3 が V_{BIAS} (M_{N2} のゲート電圧) よりも高くなっている。これを図1の回路で考えると、 V_3 が M_{N2} のゲート電圧を上げる作用をする。一方、図8において、 V_{BIAS} が 795mV 以上の範囲では、 V_3 が V_{BIAS} (M_{N2} のゲート電圧) よりも低いため、図1の回路において考えると、 V_3 が M_{N2} のゲート電圧を下げる作用をする。

実際に図1の回路において、表3の条件でシミュレーションを行った場合の V_3 と I_{OUT} のグラフが図9であり、最終的に V_3 は約 795mV、 I_{OUT} は約 748 μA に安定している。

表 3 シミュレーション条件

Table 3. Simulation conditions.

Parameter	Value	Param.	Value
Temp.	27 °C	R_1	6.0 k Ω

※その他条件は表 1 と同一

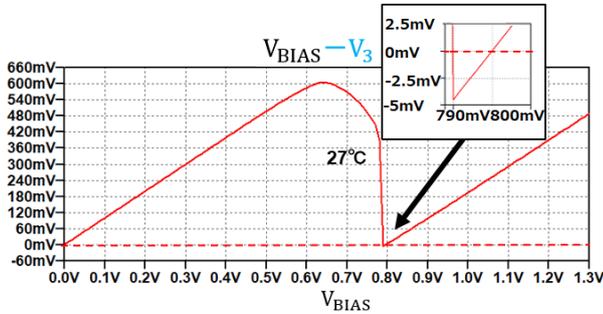


図 8 $R_1=6.0k\Omega$ に変更後の V_{BIAS} と V_3 の差 ($V_{BIAS}-V_3$)

Fig. 8. V_{BIAS} minus V_3 ($V_{BIAS}-V_3$) after changing to $R_1=6.0k\Omega$.

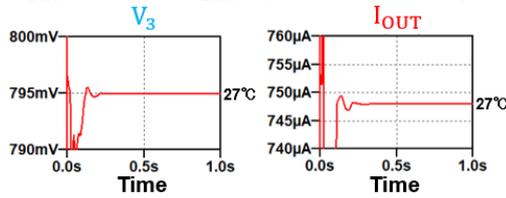


図 9 $R_1=6.0k\Omega$ に変更後の V_3 と I_{OUT} の値

Fig. 9. V_3 and I_{OUT} values after changing to $R_1=6.0k\Omega$.

また、図 10 のように提案回路の M_{N4} のゲート部分の閉ループを切断し、同様に表 1 の条件から R_1 の値のみ 7.5k Ω 、7.0k Ω 、6.5k Ω 、6.0k Ω と変えながら DC 解析 ($V_{BIAS}:0V \sim 1.3V$) を行い、 V_{BIAS} と V_2 の差 ($V_{BIAS}-V_2$) を見た。この場合も、 $R_1=7.5k\Omega \sim 6.5k\Omega$ のときは図 11 のように V_{BIAS} と V_2 が逆転せず、提案回路において電流が流れる $R_1=6.0k\Omega$ のときに図 12 のように V_{BIAS} と V_2 が 2 回逆転することが分かった。

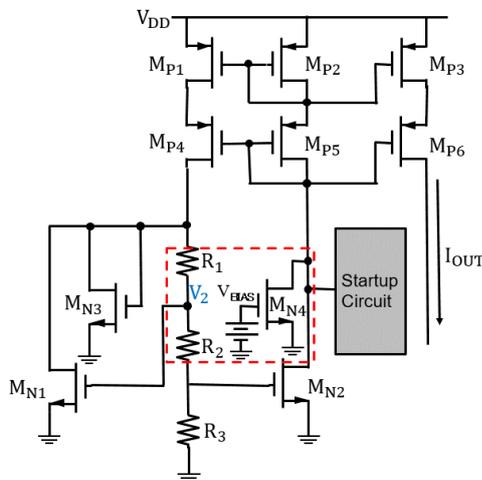


図 10 バイアス電圧の生成(2)

Fig. 10. Bias voltage generation (2).

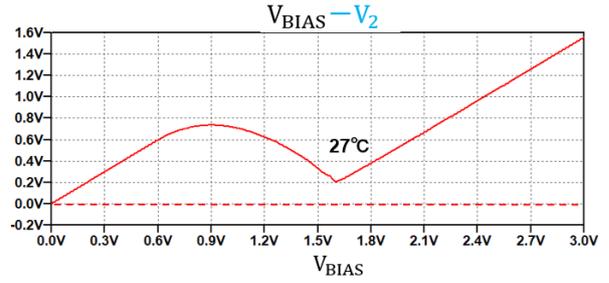


図 11 $R_1=7.5k\Omega$ に変更後の V_{BIAS} と V_2 の差 ($V_{BIAS}-V_2$)

Fig. 11. V_{BIAS} minus V_2 ($V_{BIAS}-V_2$) after changing to $R_1=7.5k\Omega$.

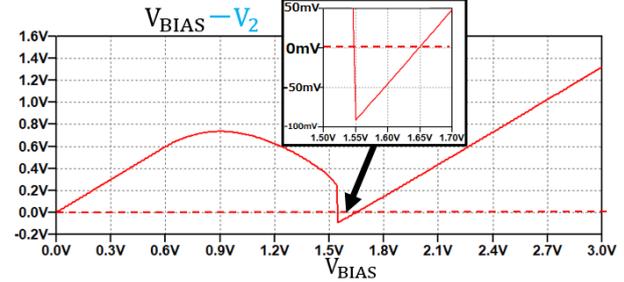


図 12 $R_1=6.0k\Omega$ に変更後の V_{BIAS} と V_2 の差 ($V_{BIAS}-V_2$)

Fig. 12. V_{BIAS} minus V_2 ($V_{BIAS}-V_2$) after changing to $R_1=6.0k\Omega$.

以上のことから、図 1 の提案回路に安定して電流が流れる条件は、回路を図 3 の構成に変更し DC 解析 (V_{BIAS}) を行ったときに、 V_{BIAS} と V_3 の大きさが 2 回逆転することである。

4. まとめ

本論文では、温度に依存しない MOS 基準電流源回路の動作を検証した。また、提案回路で回路パラメータ値を適切に設定することで、電流が流れ続ける安定状態が得られることを確認した。今後は電源電圧変動の影響も調べる。

文 献

- (1) 上野憲一, 廣瀬哲也, 浅井哲也, 雨宮好仁「MOSFET のしきい値電圧を参照した基準電圧源回路」, 電子情報通信学会技術研究報告 ICD (2007 年 7 月).
- (2) T. Abe, H. Tanimoto, S. Yoshizawa, "A Simple Current Reference with Low Sensitivity to Supply Voltage and Temperature", 24th International Conference "Mixed Design of Integrated Circuits and Systems, Bydgoszcz, Poland (Aug. 2017)
- (3) C. Yoo, J. Park, "CMOS current reference with supply and temperature compensation", Electronics Letters, Vol.43, Issue.25 pp. 1422 - 1424 (Dec. 2007)
- (4) R. J. Baker, CMOS Circuit Design, Layout, and Simulation, Third Edition, Wiley (July, 2010).
- (5) Isam Ebisawa Kuswan, 山本 颯馬, 阿部 優大, 井田 貴士, 柴崎 有祈子, 築地 伸和, 桑名 杏奈, 小林 春夫, 鈴木 彰, 轟 祐吉, 柿木 利彦, 小野 信任, 三浦 一広 「温度不感 MOS 定電流源回路とそのスタートアップ回路」, 第 10 回電気学会栃木・群馬支所合同研究発表会, 群馬高専 (2020 年 3 月)
- (6) S. Yamamoto, I. E. Kuswan, Y. Abe, T. Ida, Y. Shibasaki, A. Kuwana, H. Kobayashi, A. Suzuki, Y. Todoroki, T. Kakinoki, N. Ono, K. Miura, "Stability Analysis of Temperature-Insensitive MOS Reference Current Source Circuit" 5th Taiwan and Japan Conference on Circuits and Systems (TJCAS2019), Nikko, Tochigi, Japan (Aug. 2019)