

整数論を用いたAD/DA変換器設計の研究

群馬大学大学院 理工学府 理工学専攻
小林研究室

修士2年 杜 遠洋



群馬大学
GUNMA UNIVERSITY

OUTLINE

- 研究背景・目的
- 三角数DAC
- 四角数DAC
- N角数DAC
- 素数DAC
- 素数SAR ADC
- まとめ

OUTLINE

- 研究背景・目的

- 三角数DAC

- 四角数DAC

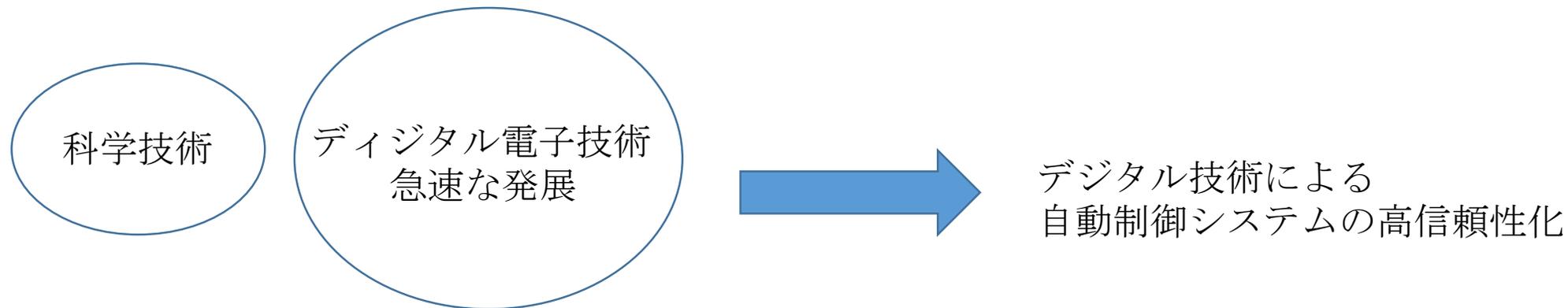
- N角数DAC

- 素数DAC

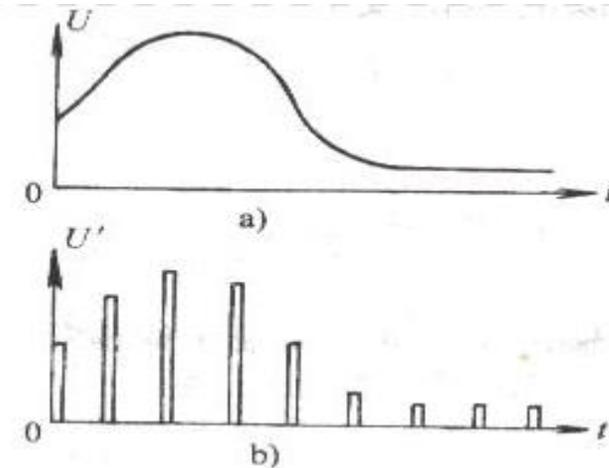
- 素数SAR ADC

- まとめ

研究背景 (AD/DA変換器の重要性)



自然界の信号はアナログ



AD/DA変換

研究背景 (整数論と電子回路設計)

整数には面白い性質がたくさんある

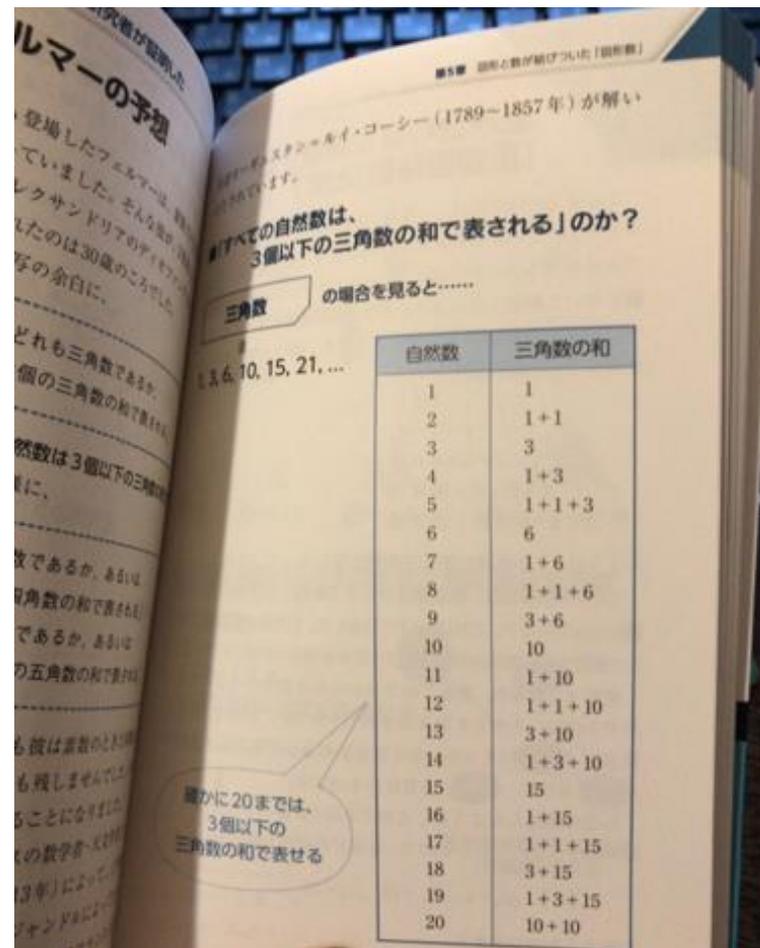


その性質を利用した電子回路設計はほとんどない



Carolus Fridericus Gauss
(1777-1855)

整数論は数学の女王である



研究目的

整数の面白い性質を用いた

AD/DA変換器の新構成の可能性を調べる

研究成果 (DA変換器)

● 定理 「全ての自然数は3つの三角数の和で表現できる」

⇒ 提案DA変換器 「3つの電流源、スイッチ配列、整数比抵抗のネットワーク」

● 定理 「全ての自然数は4つの四角数の和で表現できる」

⇒ 提案DA変換器 「4つの電流源、スイッチ配列、整数比抵抗のネットワーク」

● 定理 「全ての自然数はN個のN角数の和で表現できる」

⇒ 提案DA変換器 「N個の電流源、スイッチ配列、整数比抵抗のネットワーク」

● 定理 「全ての偶数は2つ素数の和で表現できる」

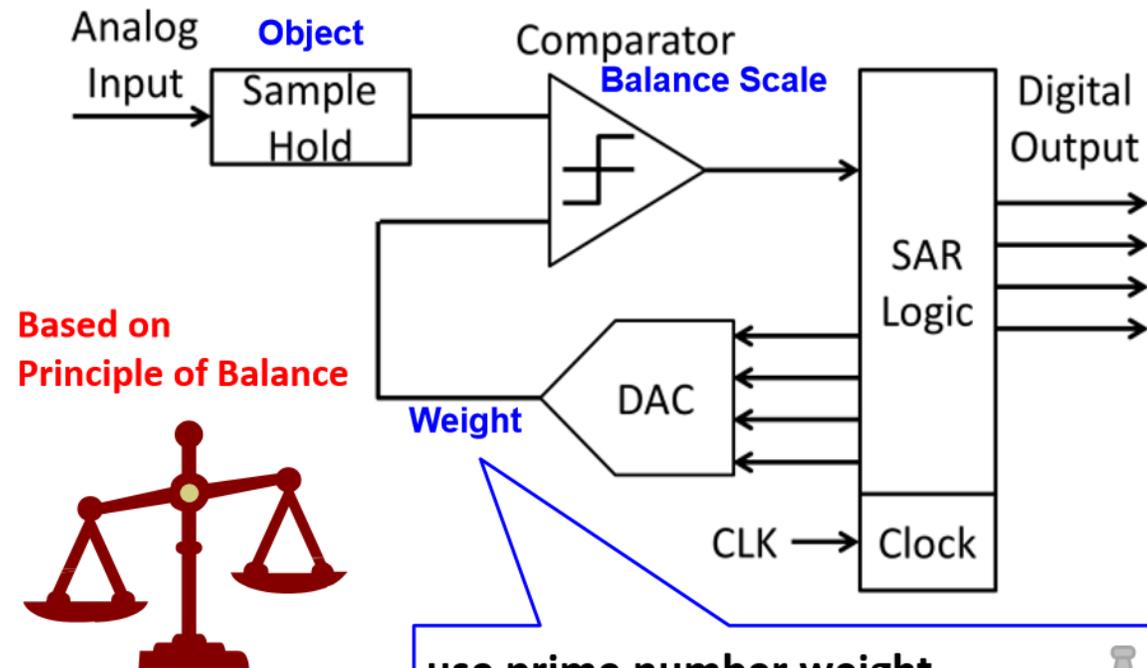
⇒ 提案DA変換器 「2つの電流源、スイッチ配列、整数比抵抗のネットワーク」

研究成果 (AD変換器)

- 定理 「隣り合う素数の値の比は2以下である」

⇒ 提案 SAR AD変換器 「重みが素数のSAR AD変換器」

高信頼性能化のための冗長 SAR AD変換器



use prime number weight
(1, 2, 3, 5, 7, 11, 13 ...)



SAR:
Successive Approximation Register
逐次比較近似

OUTLINE

- 研究背景・目的
- 三角数DAC
- 四角数DAC
- N角数DAC
- 素数DAC
- 素数SAR ADC
- まとめ

三角数とは何か？

三角数： 1, 3, 6, 10, 15, 21, 28, 36, 45, 55, 66, 78, 91, .. $n(n+1)/2$

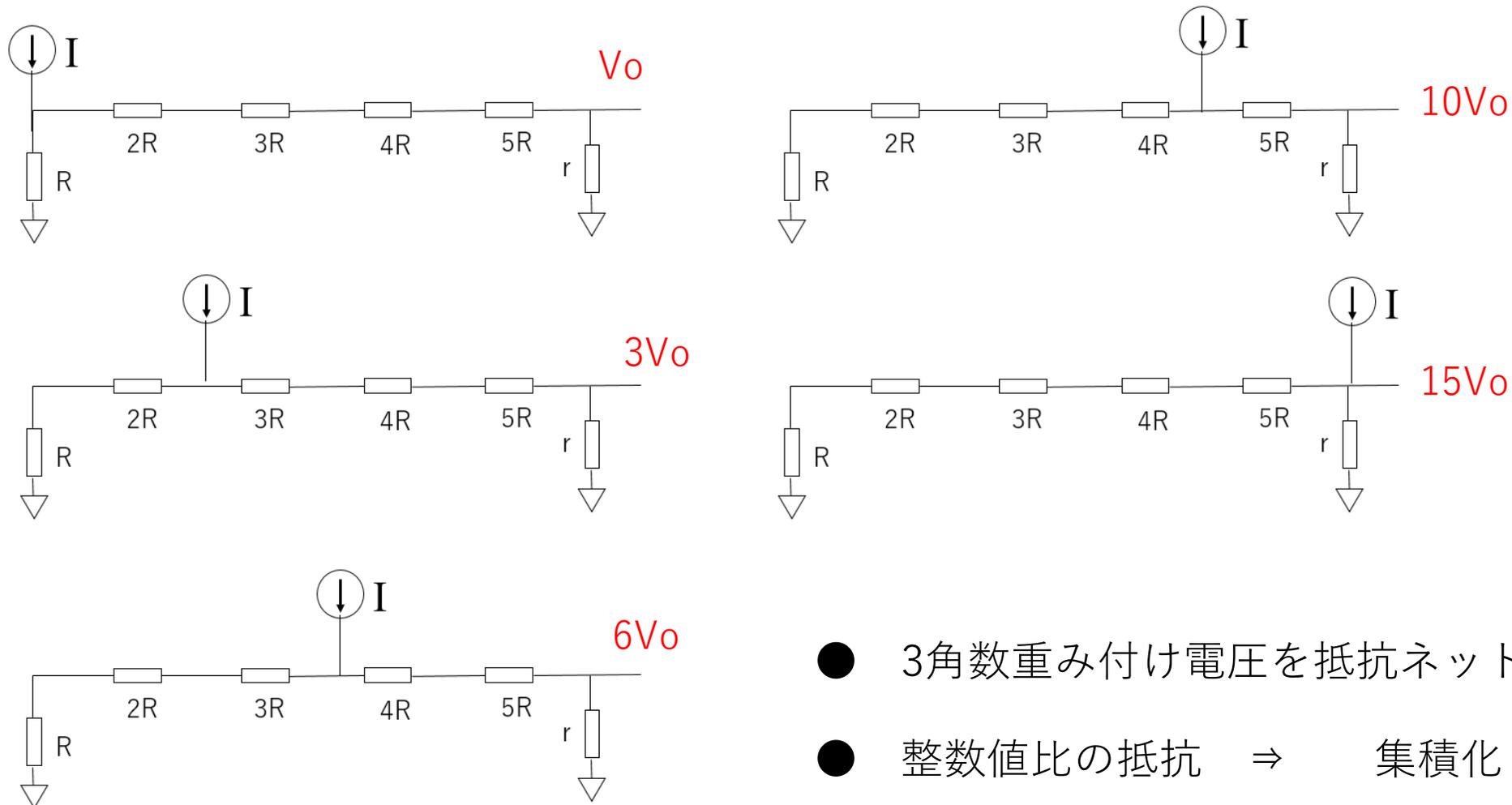
										1									
									2	3									
								4	5	6									
							7	8	9	10									
						11	12	13	14	15									
					16	17	18	19	20	21									
				22	23	24	25	26	27	28									
			29	30	31	32	33	34	35	36									
		37	38	39	40	41	42	43	44	45									
	46	47	48	49	50	51	52	53	54	55									
56	57	58	59	60	61	62	63	64	65	66									
67	68	69	70	71	72	73	74	75	76	77	78								
79	80	81	82	83	84	85	86	87	88	89	90	91							

三角数の性質

- 三角数の逆数和は 2 に収束
- 三角数は 3 で割り切れるか、
もしくは 9 で割ると 1 余る数のどちらか。
- 回文数である三角数は 55, 66, 666 だけ
- 偶数の完全数は三角数。
- 特殊の三角数：55、5050、500500、50005000……

三角数重み付け抵抗ネットワーク

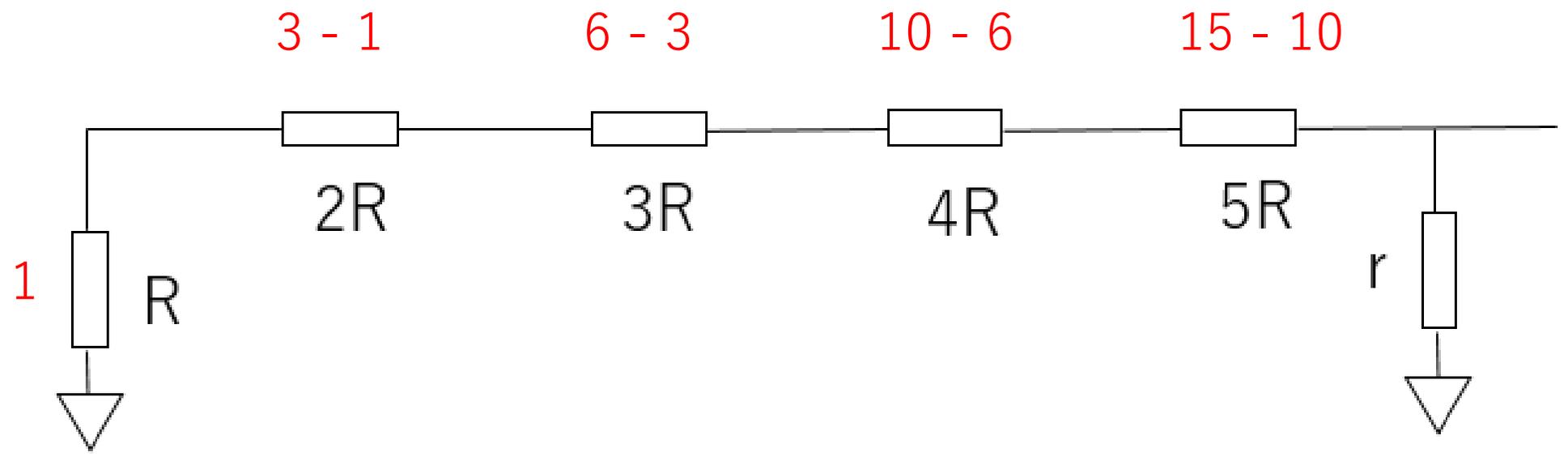
三角数： 1, 3, 6, 10, 15, 21, 28, 36, 45, 55, 66, 78, 91, .. $n(n+1)/2$



- 三角数重み付け電圧を抵抗ネットワークで実現可
- 整数値比の抵抗 \Rightarrow 集積化しやすい

三角数重み付け抵抗ネットワークの構造

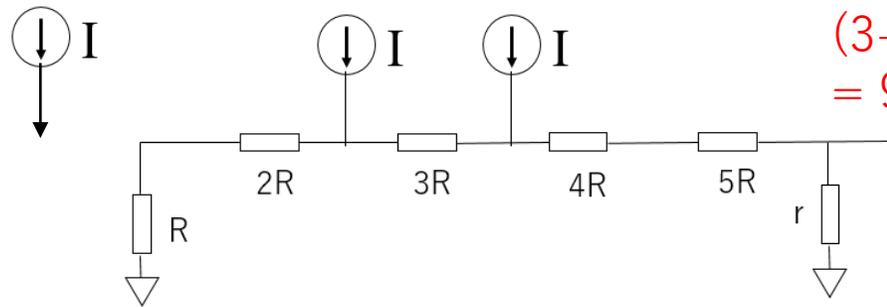
三角数： 1, 3, 6, 10, 15, 21, 28, 36, 45, 55, 66, 78, 91, .. $n(n+1)/2$



提案 三角数DA変換器

三角数： 1, 3, 6, 10, 15, 21, 28, 36, 45, 55, 66, 78, 91, .. $n(n+1)/2$

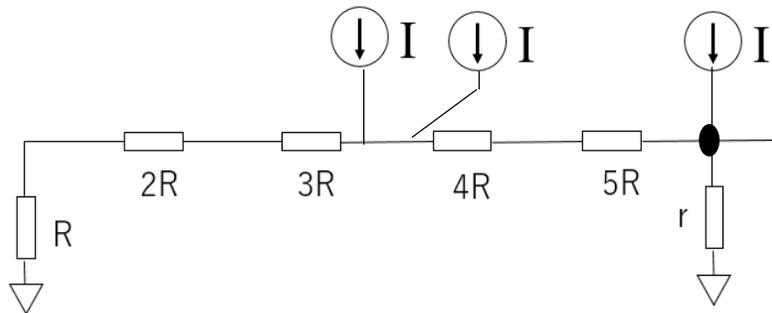
デジタル入力 9の場合



アナログ出力

$$(3+6)V_o = 9V_o$$

デジタル入力 27の場合

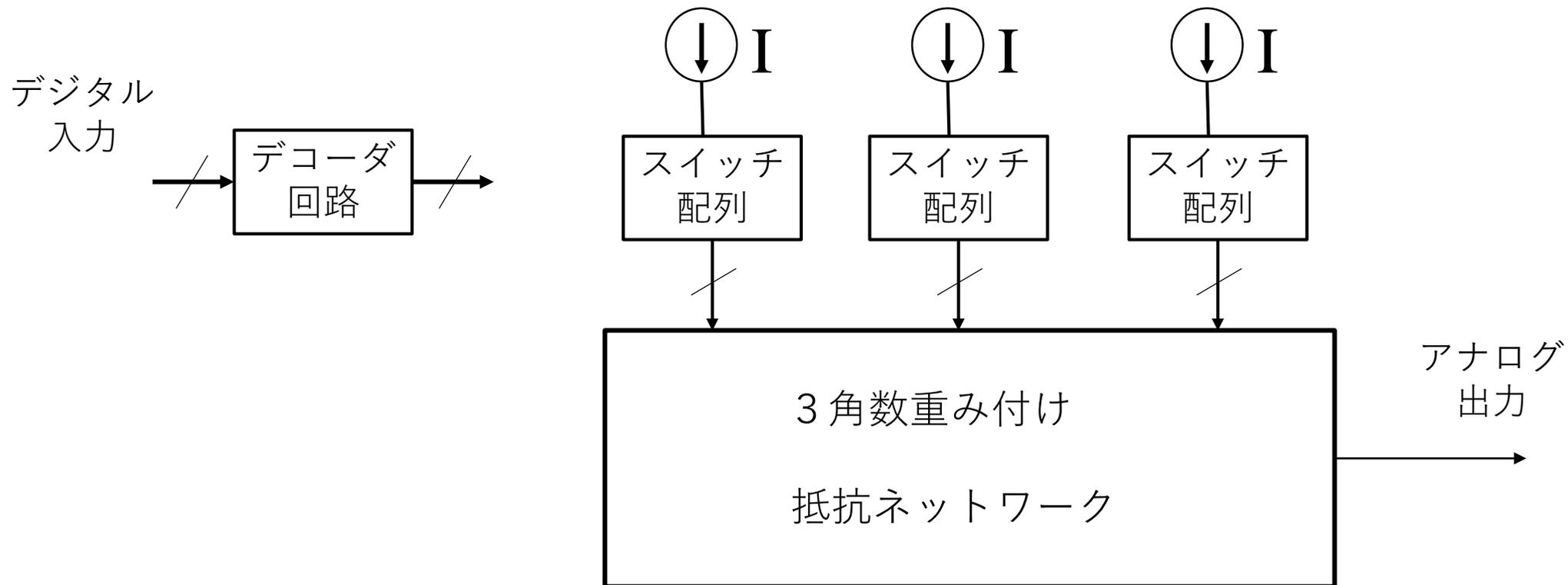


アナログ出力

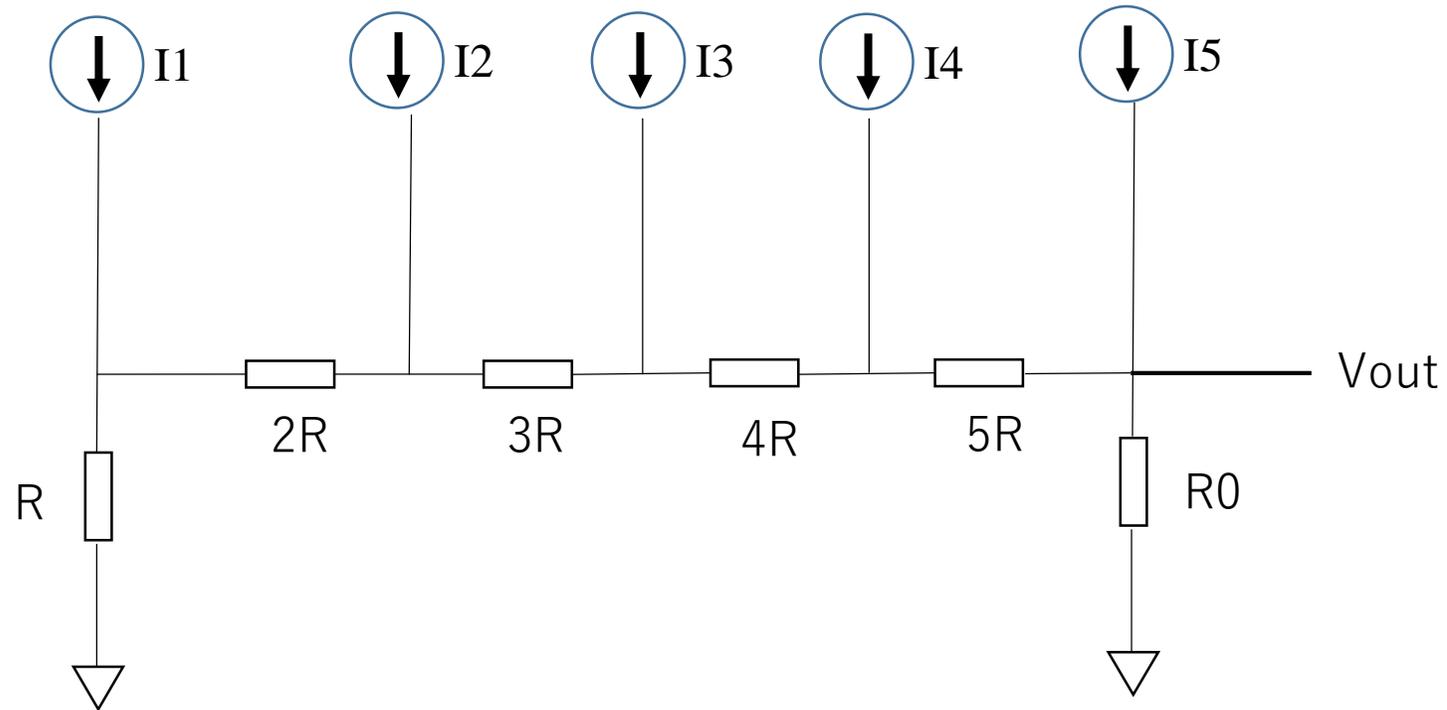
$$(6+6+15)V_o = 27V_o$$

- 構成要素
 - 3つの電流源
 - スイッチ配列
 - 三角数重み付け抵抗ネットワーク
 - デコーダ回路
- 重ね合わせの理
- 整数値比の抵抗 ⇒ 集積化しやすい

三角数を用いたDA変換器の構成



結果を検討する



$$I_1 = I_2 = I_3 = I_4 = I_5$$

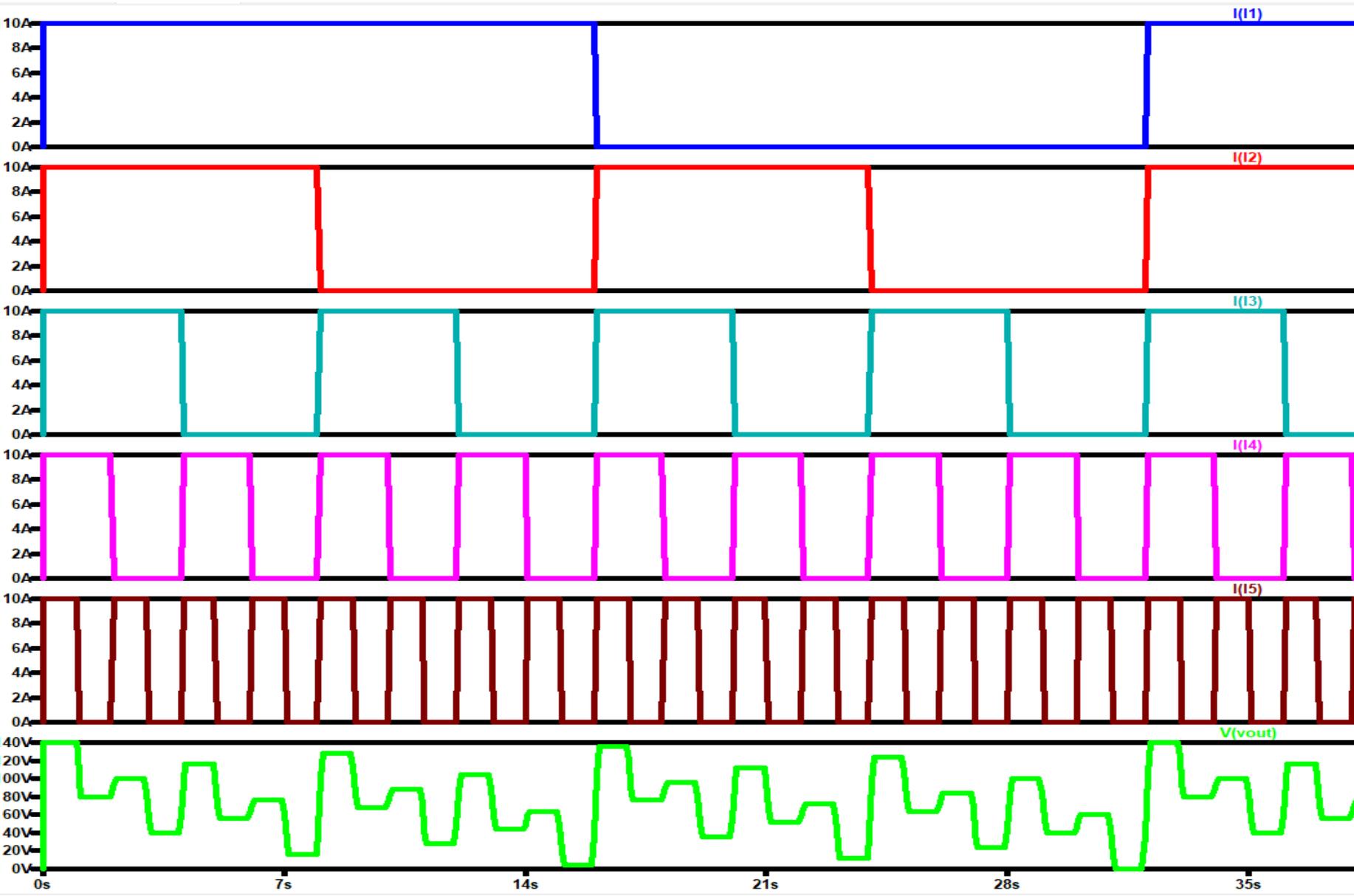


$$V_{out1} = 4, V_{out2} = 12, V_{out3} = 24, V_{out4} = 40, V_{out5} = 60$$

||

三角数比例 1 : 3 : 6 : 10 : 15

重ね合わせの理を検証する(1)



I1:10A Ton=16s Tperiod=32s

I2:10A Ton=8s Tperiod=16s

I3:10A Ton=4s Tperiod=8s

I4:10A Ton=2s Tperiod=4s

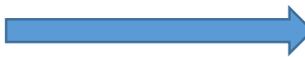
I5:10A Ton=1s Tperiod=2s

Vout、またはR0の電圧

重ね合わせの理を検証する(2)

$$V_{out} = D_1 * V_{out1} + D_2 * V_{out2} + D_3 * V_{out3} + D_4 * V_{out4} + D_5 * V_{out5}$$

($I = 10A \rightarrow D = 1$, $I = 0A \rightarrow D = 0$)

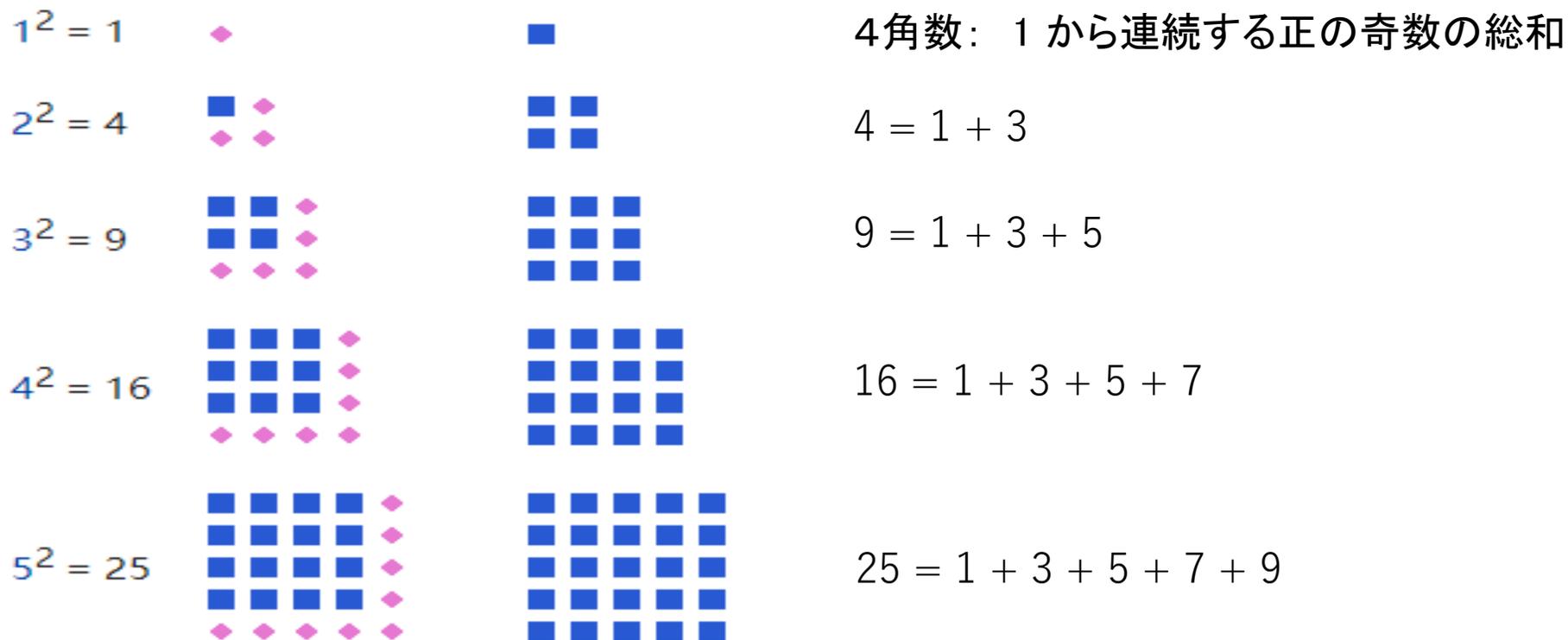
t=1.5s		I1=10A I2=10A I3=10A I4=10A I5=0A		計算Vout=80 シミュレーションVout=80
t=10.5s		I1=10A I2=0A I3=10A I4=0A I5=10A		計算Vout=88 シミュレーションVout=88
t=24.4s		I1=0A I2=0A I3=10A I4=10A I5=10A		計算Vout=124 シミュレーションVout=123.9999
t=44.7s		I1=10A I2=0A I3=0A I4=10A I5=10A		計算Vout=104 シミュレーションVout=104

OUTLINE

- 研究背景・目的
- 三角数DAC
- 四角数DAC
- N角数DAC
- 素数DAC
- 素数SAR ADC
- まとめ

四角数とは？

- 四角数： 平方数ともよばれる
- 0, 1, 4, 9, 16, 25, 36, 49, 64, 81, 100, 121, 144, 169, 196, 225, 256, 289, 324, 361, 400, 441, 484, 529, 576, 625, 676, 729, 784, 841, 900, 961, ...



四角数の性質 (四角数定理)

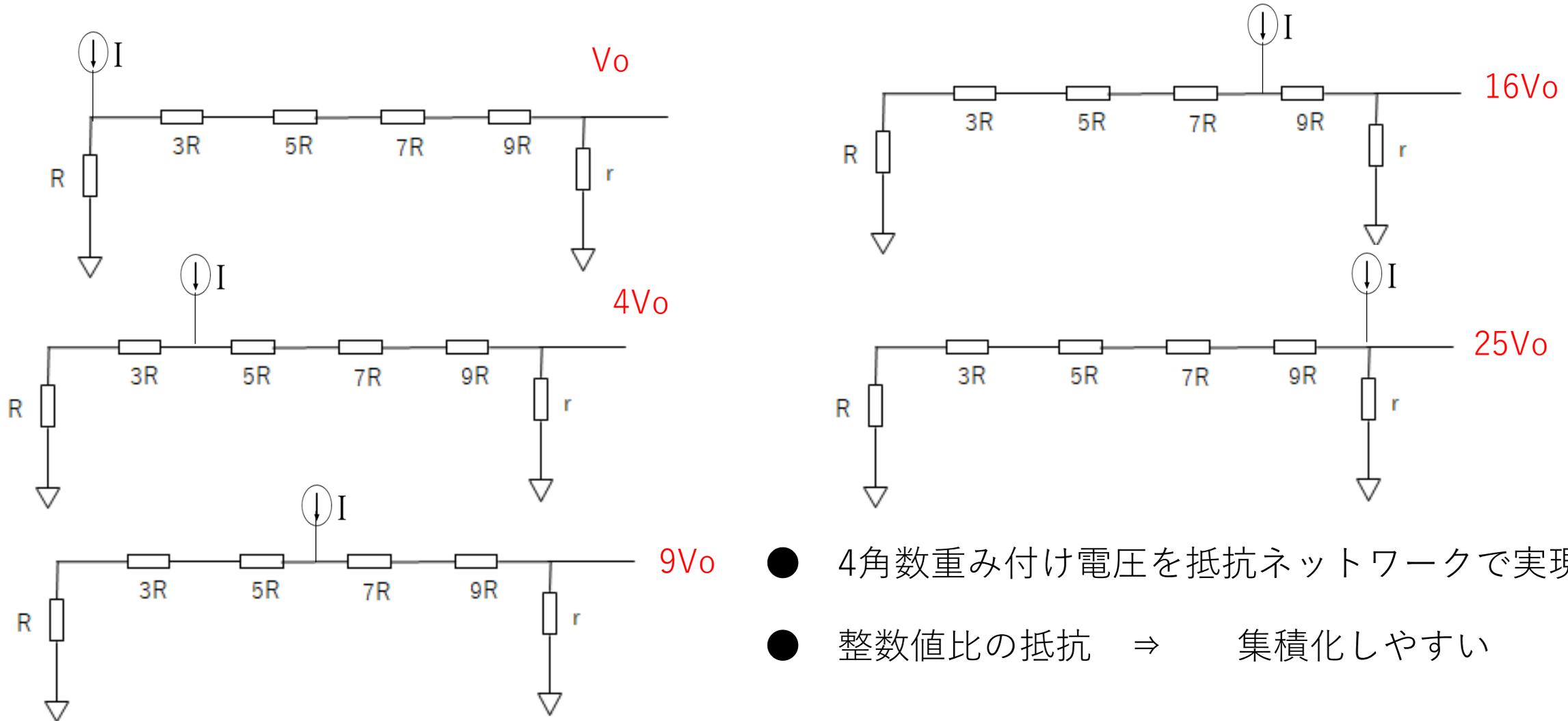
四角数: 0, 1, 4, 9, 16, 25, 36, 49, 64, 81, 100, 121, 144, 169..... n^2

- 自然数は高々4つの四角数の和で表せる

1:	1	16:	16
2:	1+1	17:	16+1
3:	1+1+1	18:	16+1+1
4:	4	19:	16+1+1+1
5:	4+1	20:	16+4
6:	4+1+1	21:	16+4+1
7:	4+1+1+1	22:	16+4+1+1
8:	4+4	23:	9+9+4+1
9:	9	24:	16+4+4
10:	9+1	25:	25
11:	9+1+1	26:	25+1
12:	9+1+1+1	27:	25+1+1
13:	9+4	28:	25+1+1+1
14:	9+4+1	29:	25+4
15:	9+4+1+1	30:	25+4+1

四角数重み付け抵抗ネットワーク

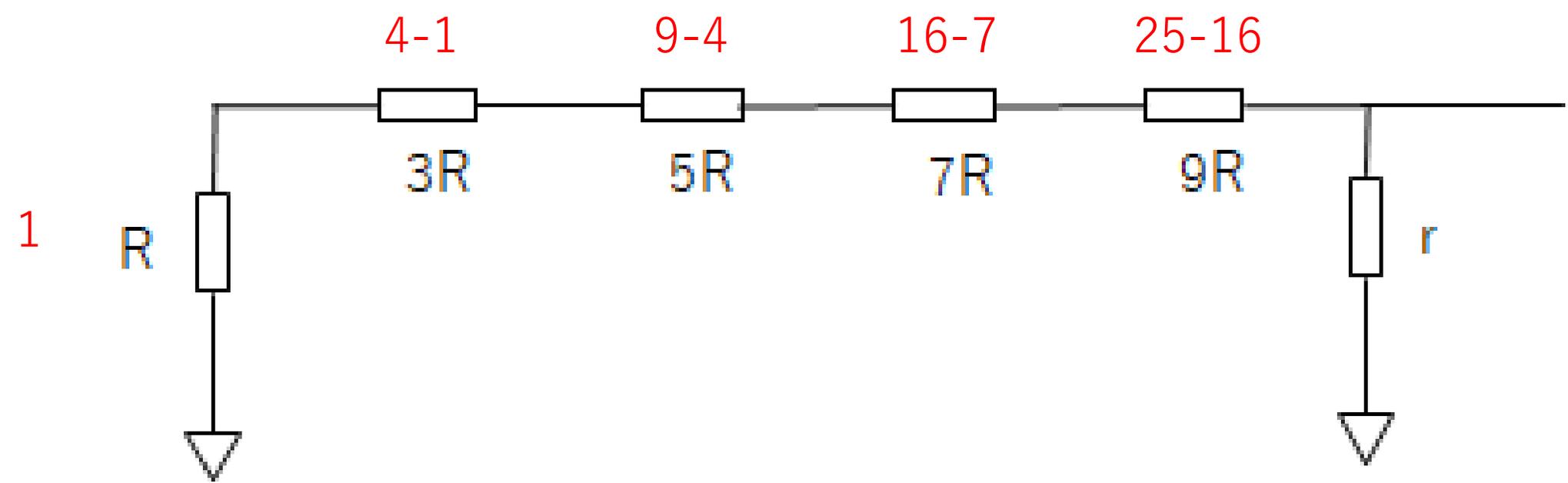
四角数: 0, 1, 4, 9, 16, 25, 36, 49, 64, 81, 100, 121, 144, 169..... n^2



- 4角数重み付け電圧を抵抗ネットワークで実現可
- 整数値比の抵抗 \Rightarrow 集積化しやすい

四角数重み付け抵抗ネットワークの構造

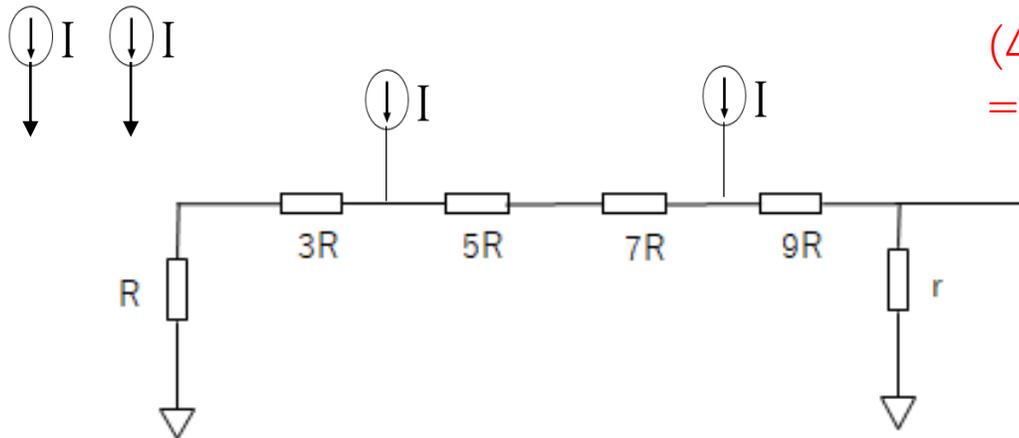
四角数: 0, 1, 4, 9, 16, 25, 36, 49, 64, 81, 100, 121, 144, 169..... n^2



提案 四角数DA変換器

四角数: 0, 1, 4, 9, 16, 25, 36, 49, 64, 81, 100, 121, 144, 169..... n^2

デジタル入力 20の場合 アナログ出力



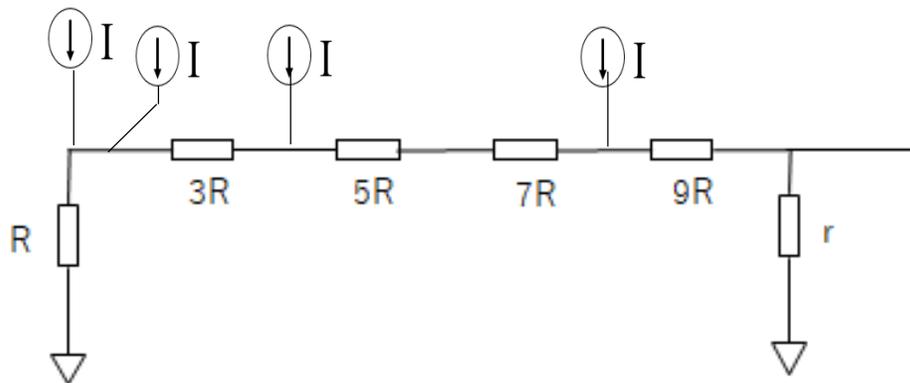
$$(4+16)V_o = 20V_o$$

- 構成要素
 - 4つの電流源
 - スイッチ配列
 - 四角数重み付け抵抗ネットワーク
 - デコーダ回路

- 重ね合わせの理

- 整数値比の抵抗 ⇒ 集積化しやすい

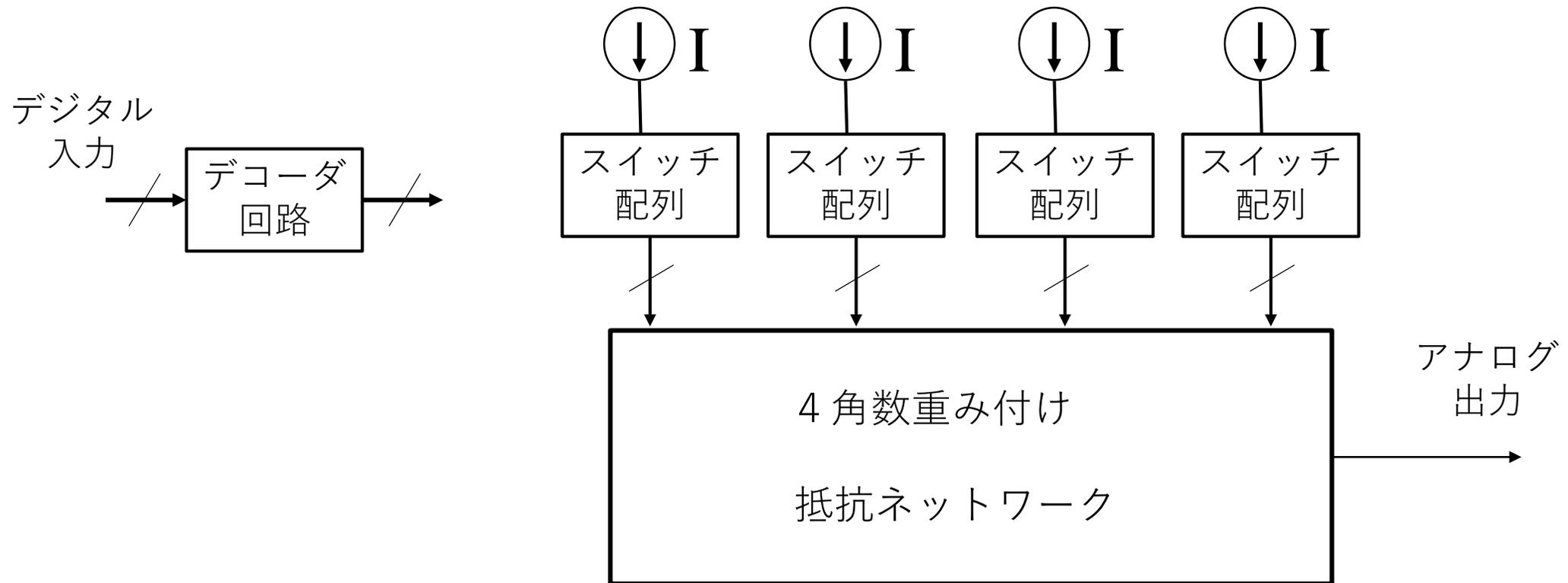
デジタル入力22の場合



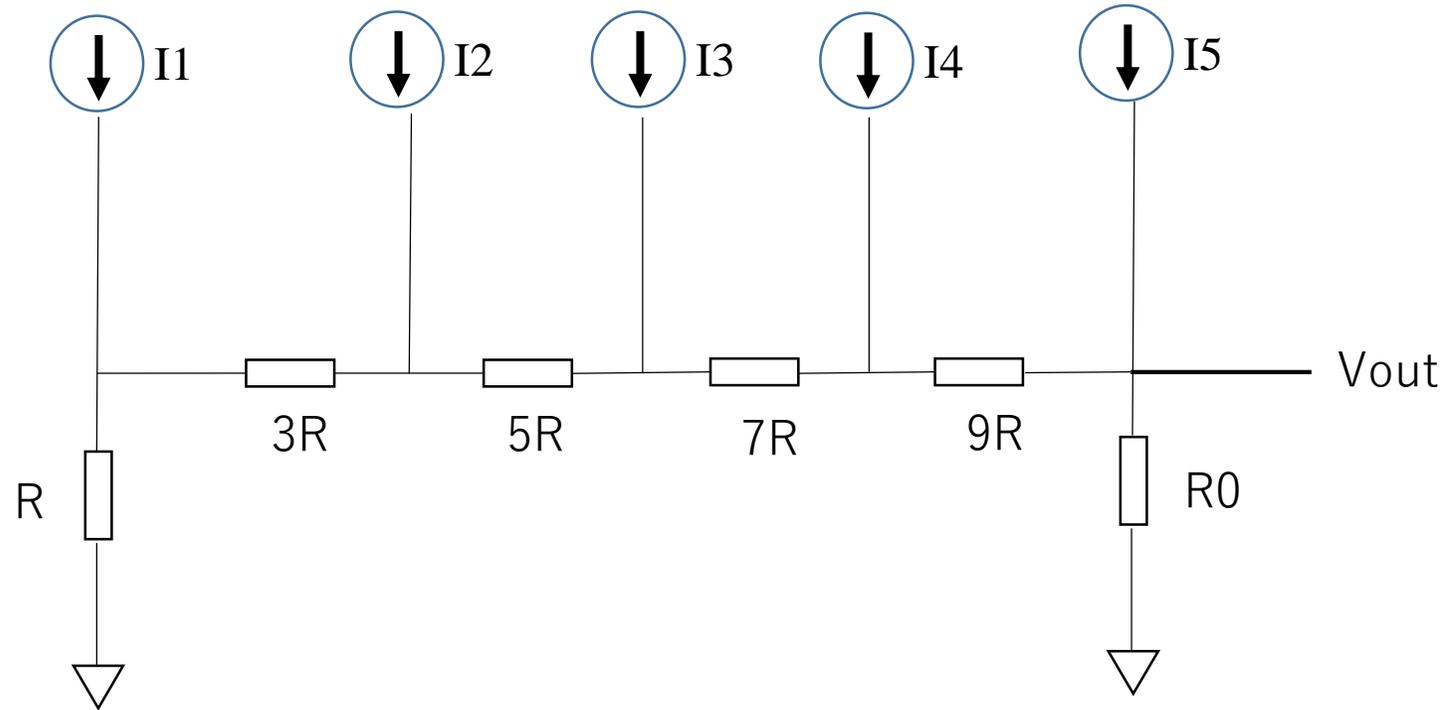
アナログ出力

$$(1+1+4+16)V_o = 22V_o$$

四角数を用いたDA変換器の構成



結果を検討する



$$I_1 = I_2 = I_3 = I_4 = I_5$$

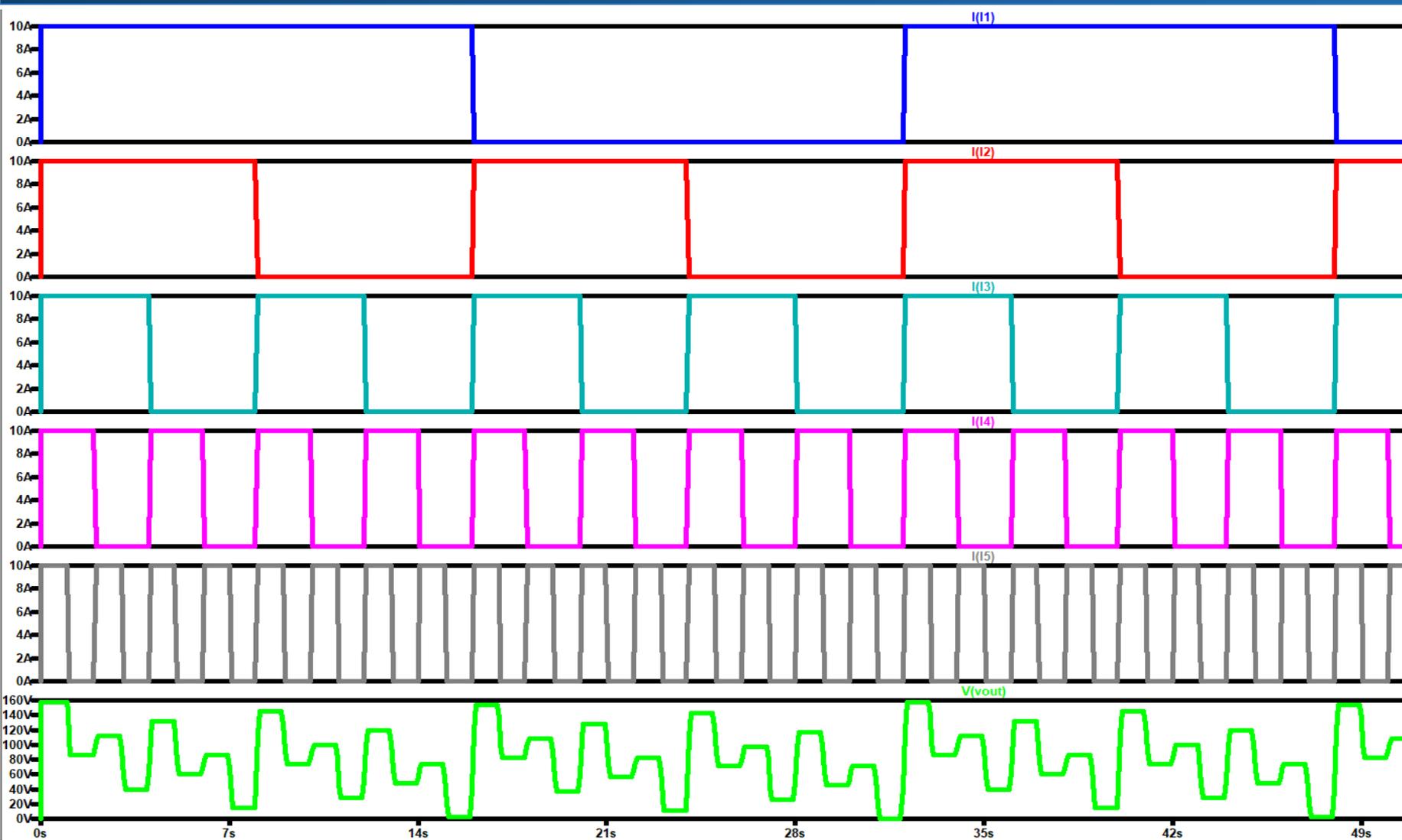


$$V_{out1} = 2.85, \quad V_{out2} = 11.4, \quad V_{out3} = 25.65, \\ V_{out4} = 45.6, \quad V_{out5} = 71.25$$

||

四角数比例 1 : 4 : 9 : 16 : 25

重ね合わせの理を検証する(1)



I1:10A Ton=16s Tperiod=32s

I2:10A Ton=8s Tperiod=16s

I3:10A Ton=4s Tperiod=8s

I4:10A Ton=2s Tperiod=4s

I5:10A Ton=1s Tperiod=2s

Vout、またはR0の電圧

重ね合わせの理を検証する (2)

$$V_{out} = D_1 * V_{out1} + D_2 * V_{out2} + D_3 * V_{out3} + D_4 * V_{out4} + D_5 * V_{out5}$$

$$I = 10A \rightarrow D = 1$$

$$I = 0A \rightarrow D = 0$$

t=1.5s		I1=10A I2=10A I3=10A I4=10A I5=0A		計算Vout=85.7 シミュレーションVout=85.7
t=10.5s		I1=10A I2=0A I3=10A I4=0A I5=10A		計算Vout=100 シミュレーションVout=100
t=24.4s		I1=0A I2=0A I3=10A I4=10A I5=10A		計算Vout=142.857143 シミュレーションVout=142.8
t=44.7s		I1=10A I2=0A I3=0A I4=10A I5=10A		計算Vout=120 シミュレーションVout=120

OUTLINE

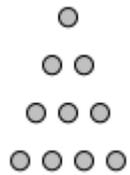
- 研究背景・目的
- 三角数DAC
- 四角数DAC
- N角数DAC
- 素数DAC
- 素数SAR ADC
- まとめ

N角数とは？

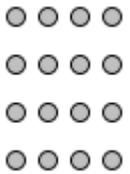
N角数



正多角形の点を並べたときに含まれる
点の総数の自然数

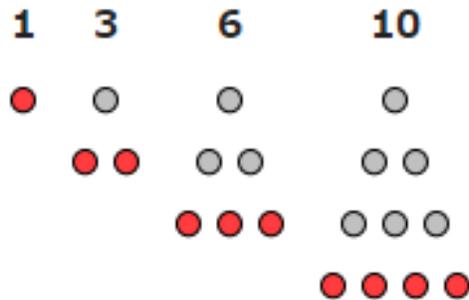


正三角形に並べることができる ⇒ 10 は三角数。

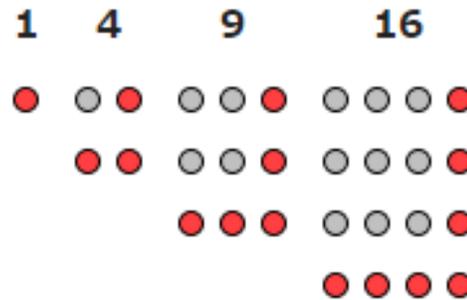


正方形に並べることができる ⇒ 16 は四角数

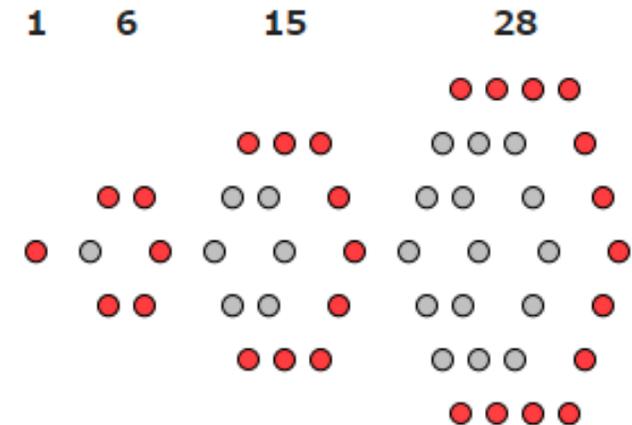
三角数



四角数



六角数



N角数定理

すべての自然数は高々 N 個の N 角数の和で表現できる

K番目のN角数はいくつか？

$$\frac{K [(N-2) K - (N-4)]}{2}$$

例：3番目の三角数は $3 * [(3-2) * 3 - (3-4)] / 2 = 6$

5番目の三角数は $5 * [(3-2) * 5 - (3-4)] / 2 = 15$

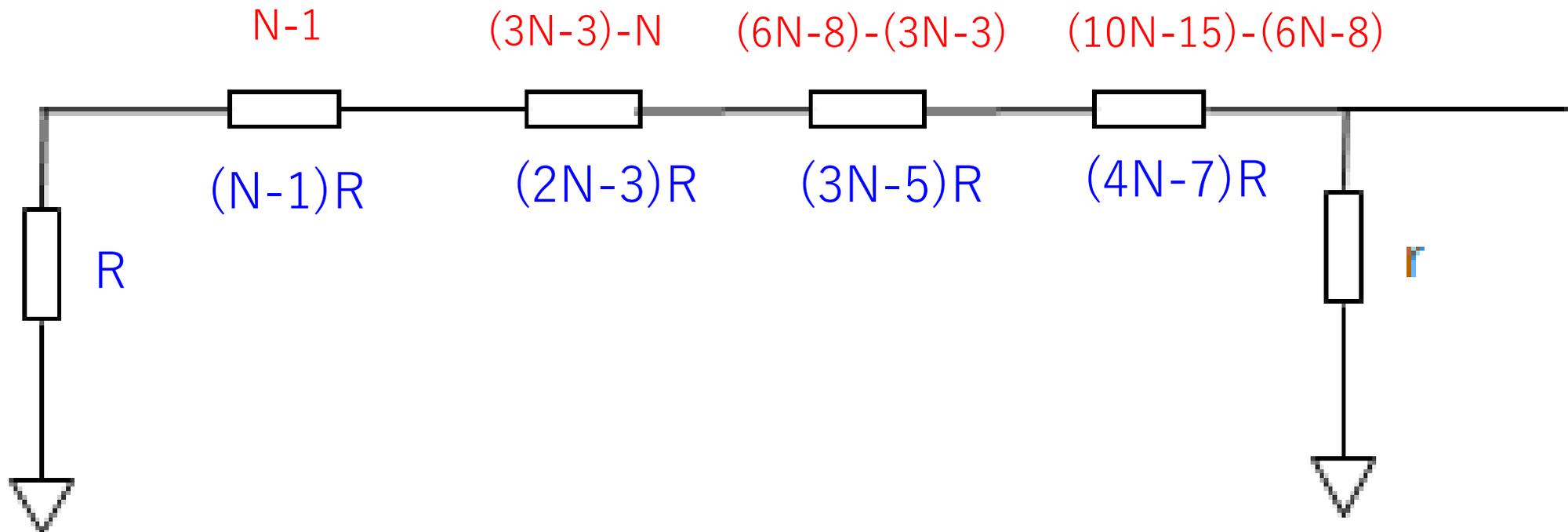
8番目の三角数は $8 * [(3-2) * 8 - (3-4)] / 2 = 36$

1, 3, 6, 10, 15, 21, 28, 36, 45, 55, 66, 78,...

N角数重み付け抵抗ネットワーク

K番目のN角数 $\longrightarrow \frac{K [(N-2) K - (N - 4)]}{2}$

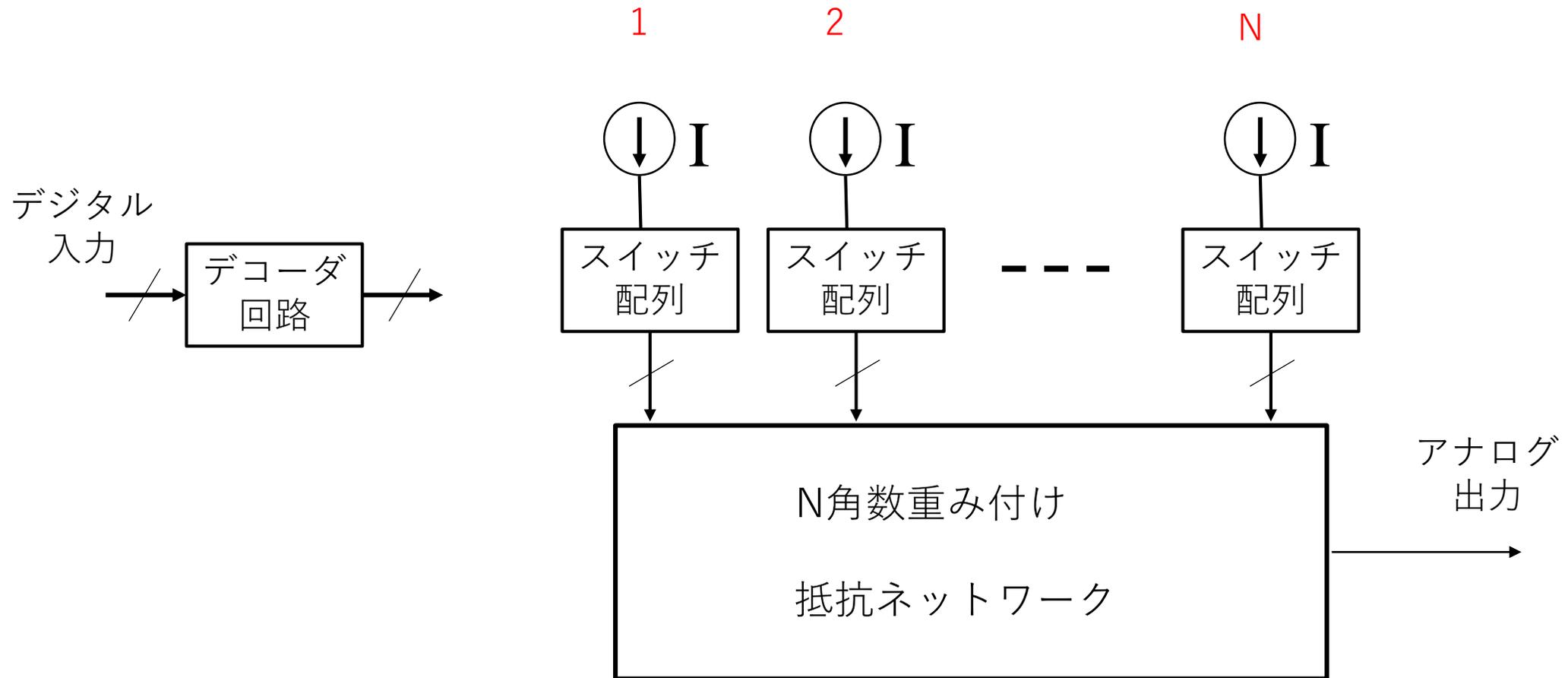
N角数: 1, N, 3N-3, 6N-8, 10N-15, ...



提案 N角数DAC

- 構成要素
 - N個の電流源
 - スイッチ配列
 - N角数重み付け抵抗ネットワーク
 - デコーダ回路
- 重ね合わせの理
- 整数値比の抵抗 ⇒ 集積化しやすい

N角数を用いたDA変換器の構成



OUTLINE

- 研究背景・目的
- 三角数DAC
- 四角数DAC
- N角数DAC
- 素数DAC
- 素数SAR ADC
- まとめ

クラウンのダイヤモンド



整数論は数学の女王



ゴールドバッハ予想

ゴールドバッハ予想

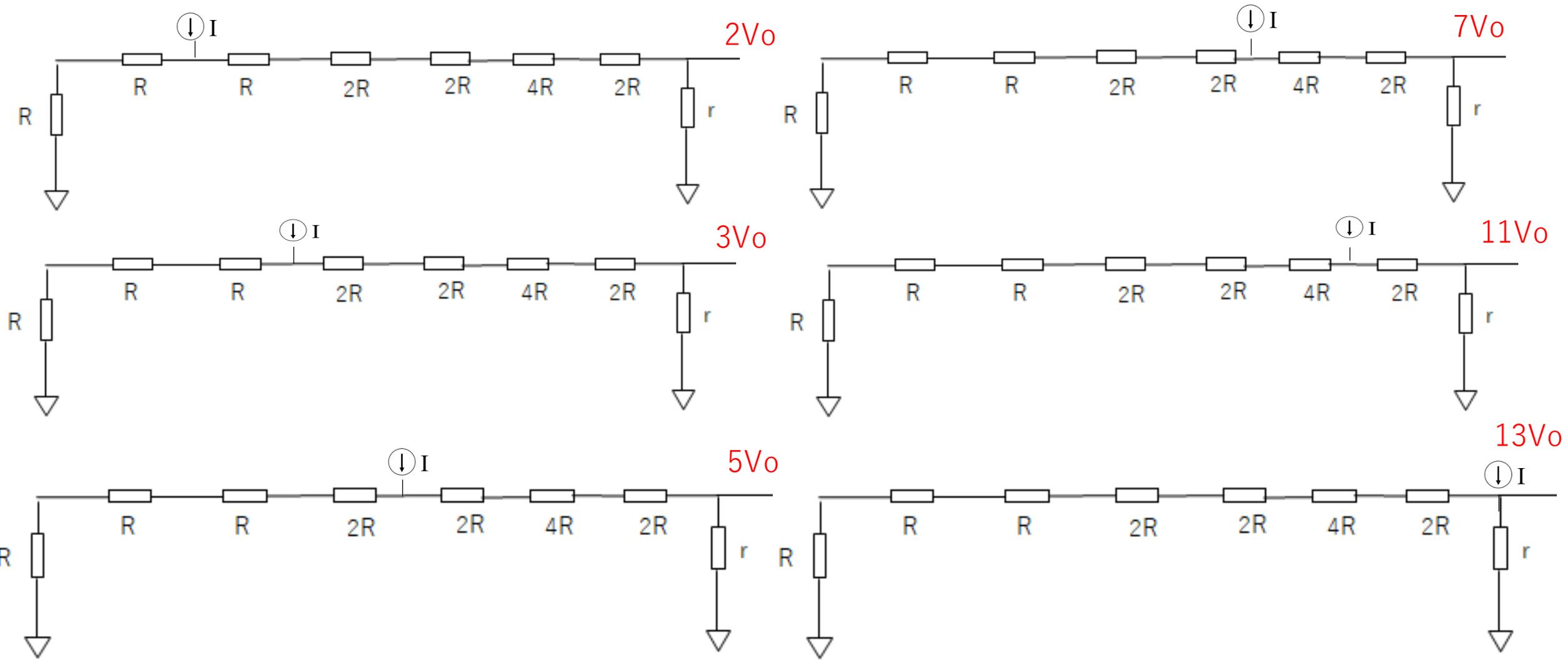
素数 : 2, 3, 5, 7, 11, 13, 17, 19, 23, 31, ...

- 全ての偶数は2つの素数の和で表せる

2:	2	32:	13+19
4:	2+2	34:	17+17
6:	3+3	36:	17+19
8:	3+5	38:	19+19
10:	3+7	40:	17+23
12:	5+7	42:	19+23
14:	7+7	44:	13+31
16:	5+11	46:	23+23
18:	7+11	48:	19+29
20:	7+13	50:	19+31
22:	11+11	52:	23+29
24:	11+13	54:	23+31
26:	13+13	56:	19+37
28:	11+17	58:	29+29
30:	13+17	60:	29+31

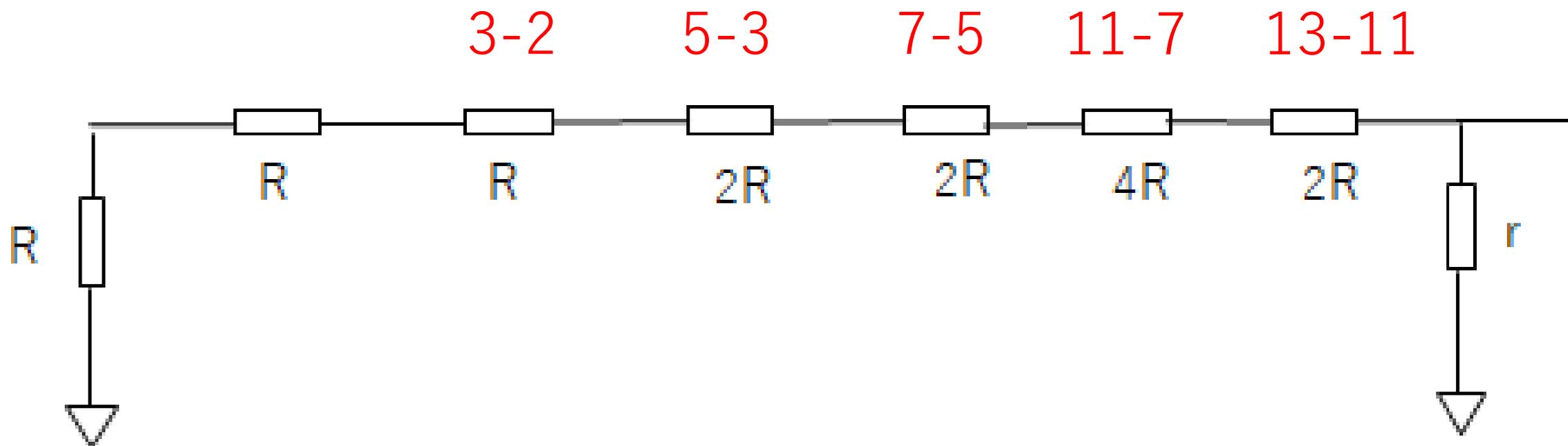
素数重み付け抵抗ネットワーク

素数 : 2, 3, 5, 7, 11, 13, 17, 19, 23, 31, ...



素数重み付け抵抗ネットワーク

素数 : 2, 3, 5, 7, 11, 13, 17, 19, 23, 31, ...



DA変換器のデジタル入力との対応

素数 : 2, 3, 5, 7, 11, 13, 17, 19, 23, 31, ...

- 全ての偶数は2つの素数の和で表せる

デ
ジ
タ
ル
入
力

1 ← 2: 2
 2 ← 4: 2+2
 3 ← 6: 3+3
 4 ← 8: 3+5
 5 ← 10: 3+7
 6 ← 12: 5+7
 7 ← 14: 7+7
 8 ← 16: 5+11
 9 ← 18: 7+11
 10 ← 20: 7+13
 11 ← 22: 11+11
 12 ← 24: 11+13
 13 ← 26: 13+13
 14 ← 28: 11+17
 15 ← 30: 13+17

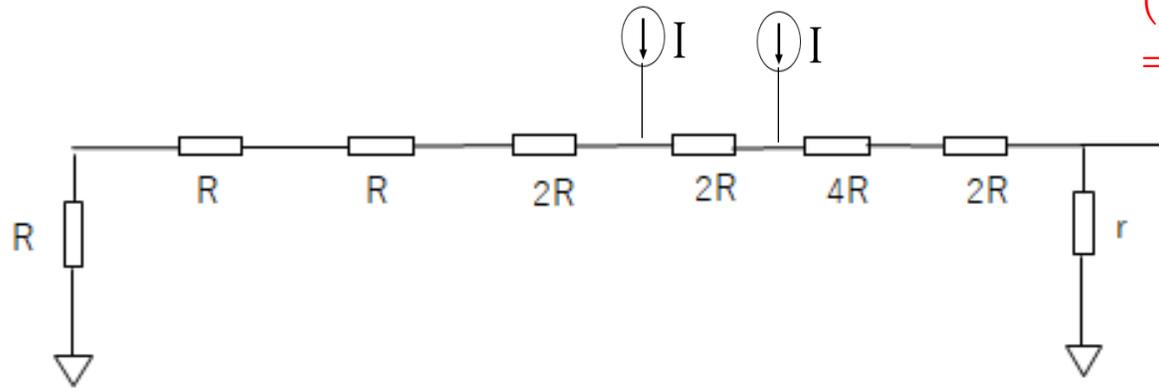
デ
ジ
タ
ル
入
力

16 ← 32: 13+19
 17 ← 34: 17+17
 18 ← 36: 17+19
 19 ← 38: 19+19
 20 ← 40: 17+23
 21 ← 42: 19+23
 22 ← 44: 13+31
 23 ← 46: 23+23
 24 ← 48: 19+29
 25 ← 50: 19+31
 26 ← 52: 23+29
 27 ← 54: 23+31
 28 ← 56: 19+37
 29 ← 58: 29+29
 30 ← 60: 29+31

素数重み付け抵抗ネットワーク

素数 : 2, 3, 5, 7, 11, 13, 17, 19, 23, 31, ...

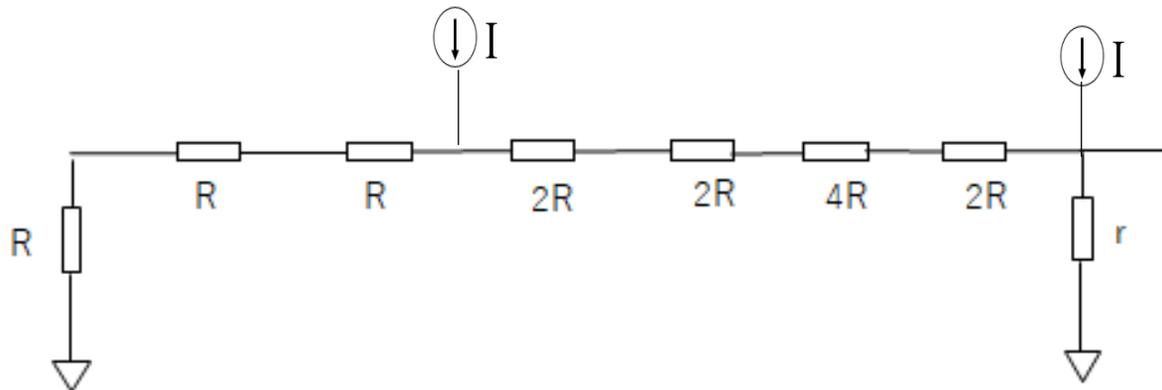
デジタル入力 6 の場合



アナログ出力

$$(5+7)V_o \\ = 6(2V_o)$$

デジタル入力 8 の場合

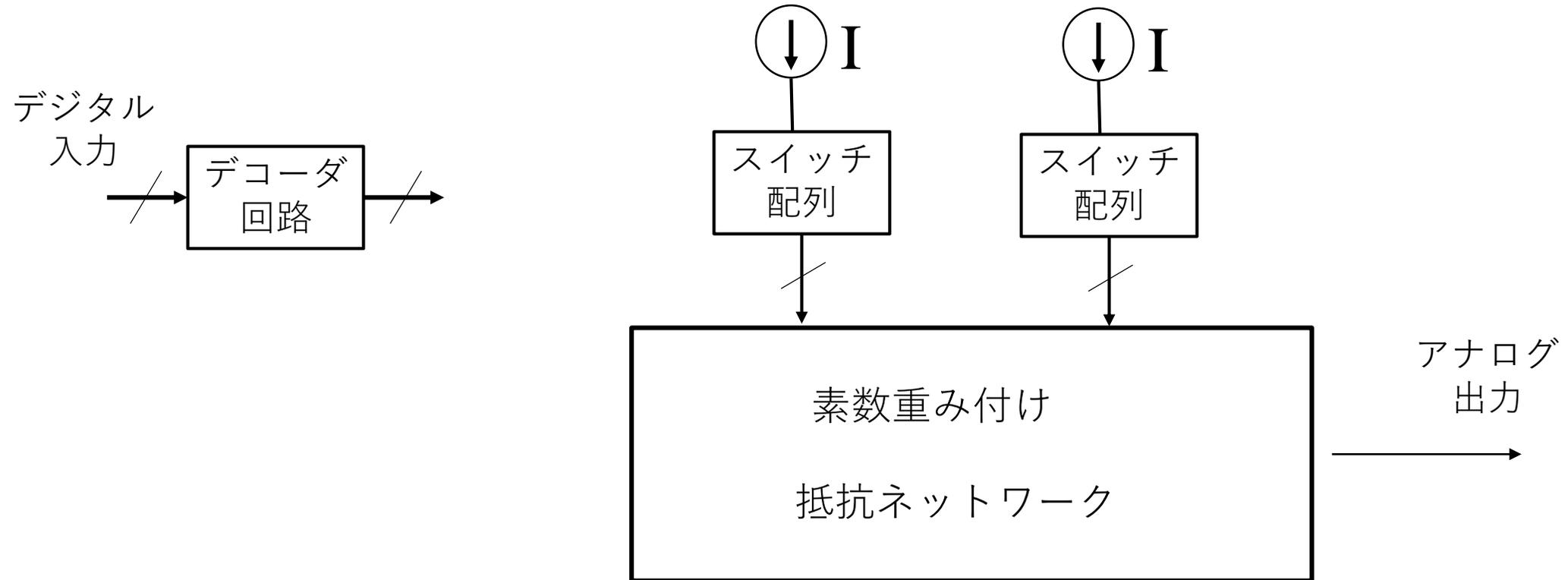


アナログ出力

$$(3+13)V_o \\ = 8(2V_o)$$

- 構成要素
 - 2つの電流源
 - スイッチ配列
 - 素数重み付け抵抗ネットワーク
 - デコーダ回路
- 整数値比の抵抗 ⇒ 集積化しやすい

素数を用いたDA変換器の構成



OUTLINE

- 研究背景・目的
- 三角数DAC
- 四角数DAC
- N角数DAC
- 素数DAC
- 素数SAR ADC
- まとめ

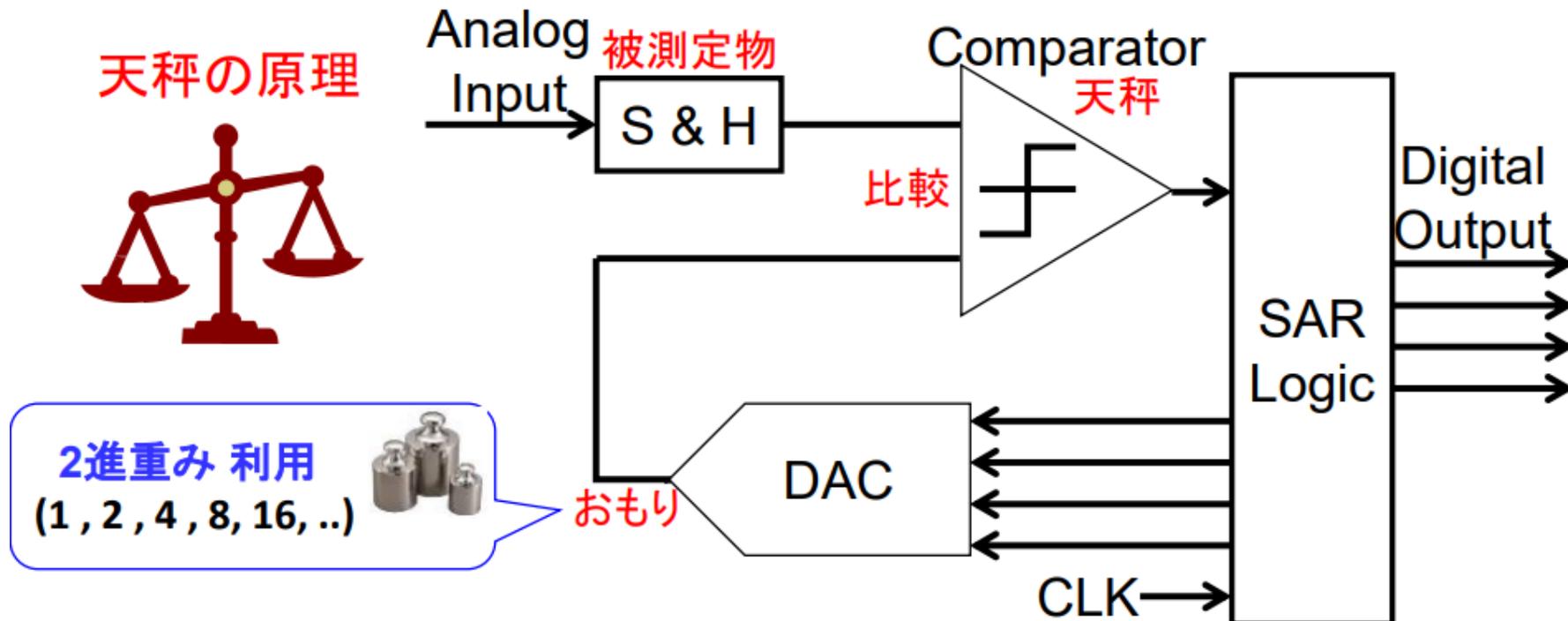
2進探索SAR ADC 構成

逐次比較近似AD変換器

- ◆ 特徴
 - 高分解能
 - 中速サンプリング
 - 小面積
 - 低消費電力
- ◆ 変換原理

} 産業界で幅広く使用

アナログ入力と参照電圧を比較、結果に応じたデジタル出力

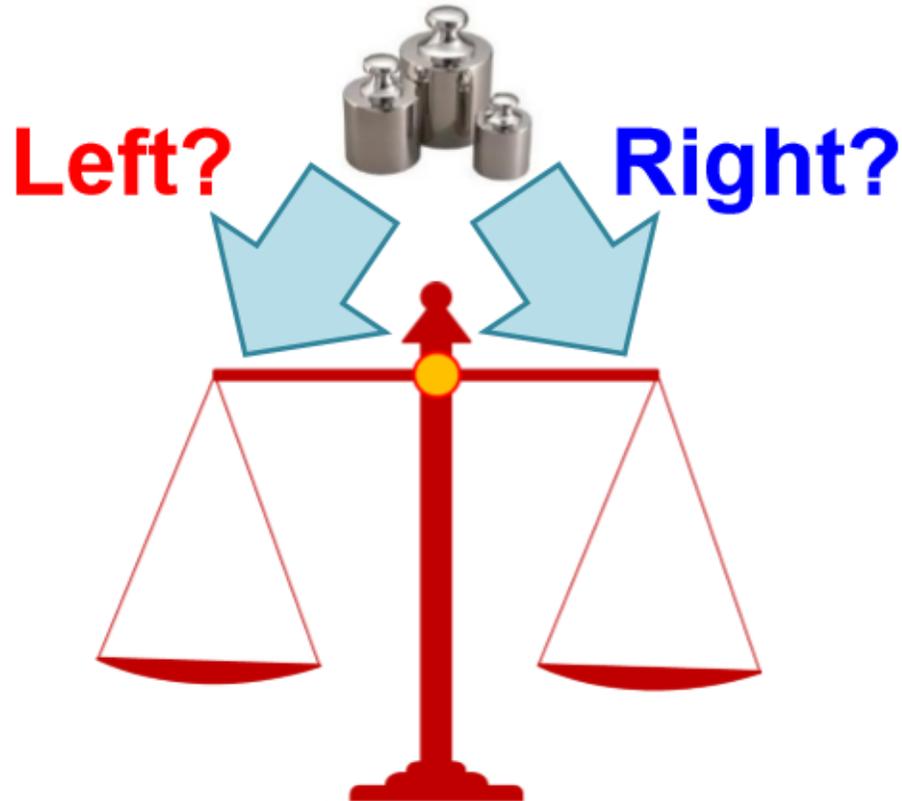


2進重み付け SAR ADC 動作

5bit-5step SAR ADC

- Analog Input : 7.3 V
- Binary weight :

16, 8, 4, 2, 1



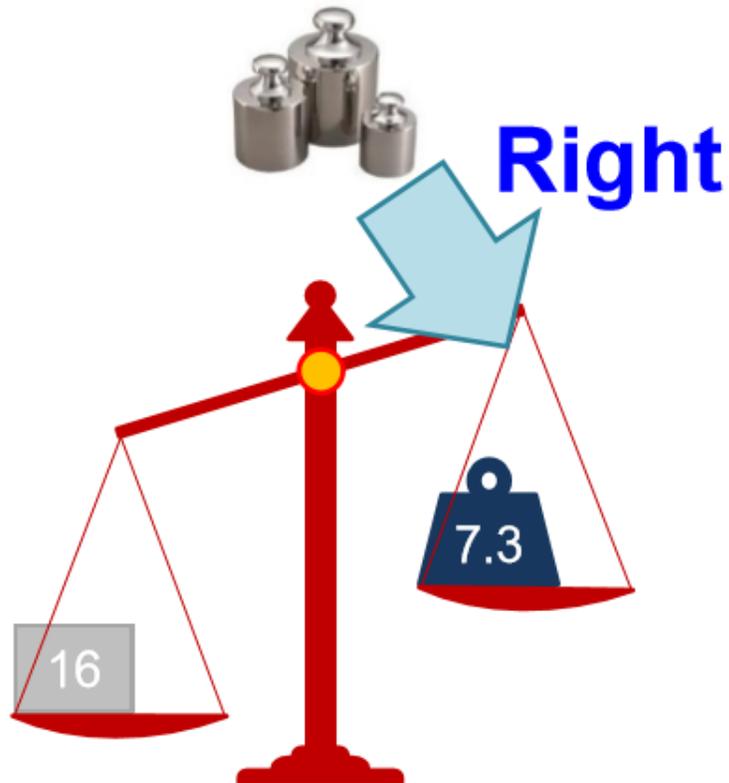
Step	1st	2nd	3rd	4th	5th	output
Weight p(k)	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

2進重み付け SAR ADC 動作

5bit-5step SAR ADC

- Analog Input : 7.3 V
- Binary weight :

8, 4, 2, 1



Step	1st	2nd	3rd	4th	5th	output
Weight p(k)	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2						2
1						1
0						0

Level

Down!

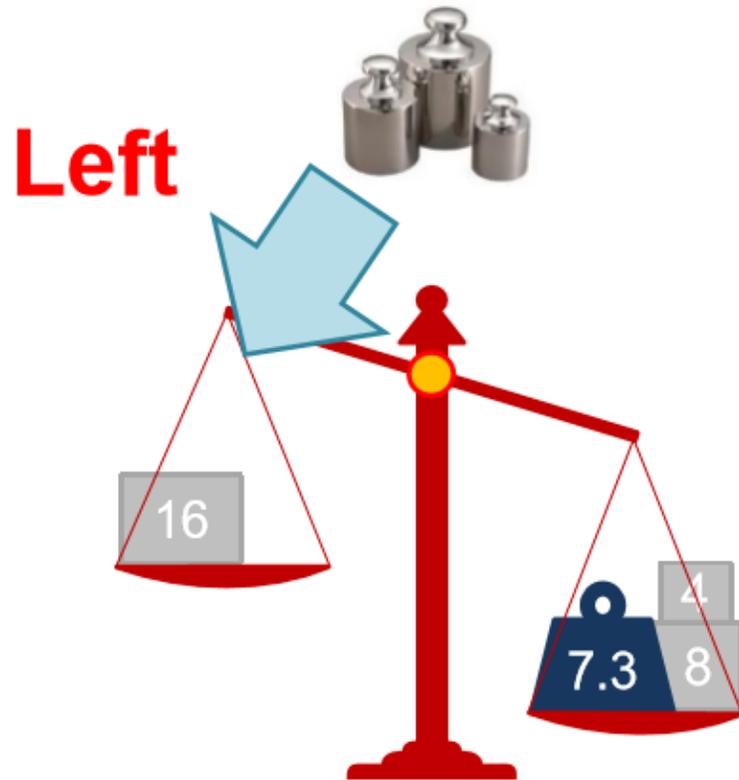
0

2進重み付け SAR ADC 動作

5bit-5step SAR ADC

- Analog Input : 7.3 V
- Binary weight :

2, 1



Step	1st	2nd	3rd	4th	5th	output
Weight p(k)	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3	0	0	1			3
2	0	0				2
1						1
0						0

Level

UP!

2進重み付け SAR ADC 動作

5bit-5step SAR ADC

- Analog Input : 7.3 V
- Binary weight :

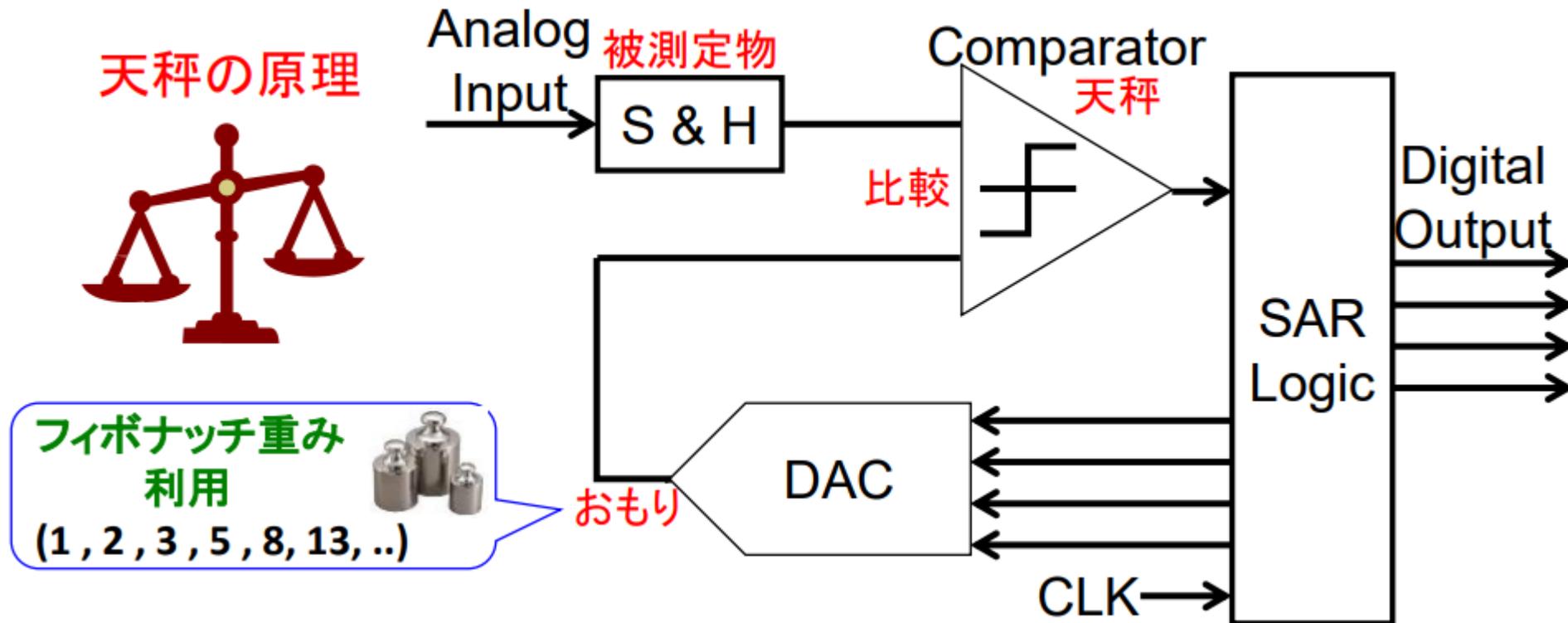
$$7.3 \Rightarrow 00111 \Rightarrow 7$$

$$16 - 8 - 4 + 2 + 1 + 0.5 - 0.5 = 7$$



Step	1st	2nd	3rd	4th	5th	output
Weight p(k)	16	8	4	2	1	
31						31
30						30
29						29
28						28
27						27
26						26
25						25
24						24
23						23
22						22
21						21
20						20
19						19
18						18
17						17
16						16
15						15
14						14
13						13
12						12
11						11
10						10
9						9
8						8
7						7
6						6
5						5
4						4
3						3
2	0	0	1	1	1	2
1						1
0						0

フィボナッチ数重み付け SAR ADC



フィボナッチ数列 約1.6進

重み $p_0, p_1, p_2, p_3, \dots \rightarrow 1 < p_{(n+1)}/p_n \leq 2$ が必要

素数による冗長 SAR ADCの重み付け

SAR ADC 重み $p_0, p_1, p_2, p_3, \dots \rightarrow 1 < p_{(n+1)}/p_n < 2$ が必要

素数: 2, 3, 5, 7, 11, 13, 17, 19, 23, 29, 31, 41, 43, 47,...

ベルトランの定理

「任意の自然数 n に対して、 $n < p \leq 2n$ を満たす素数 p が存在する」



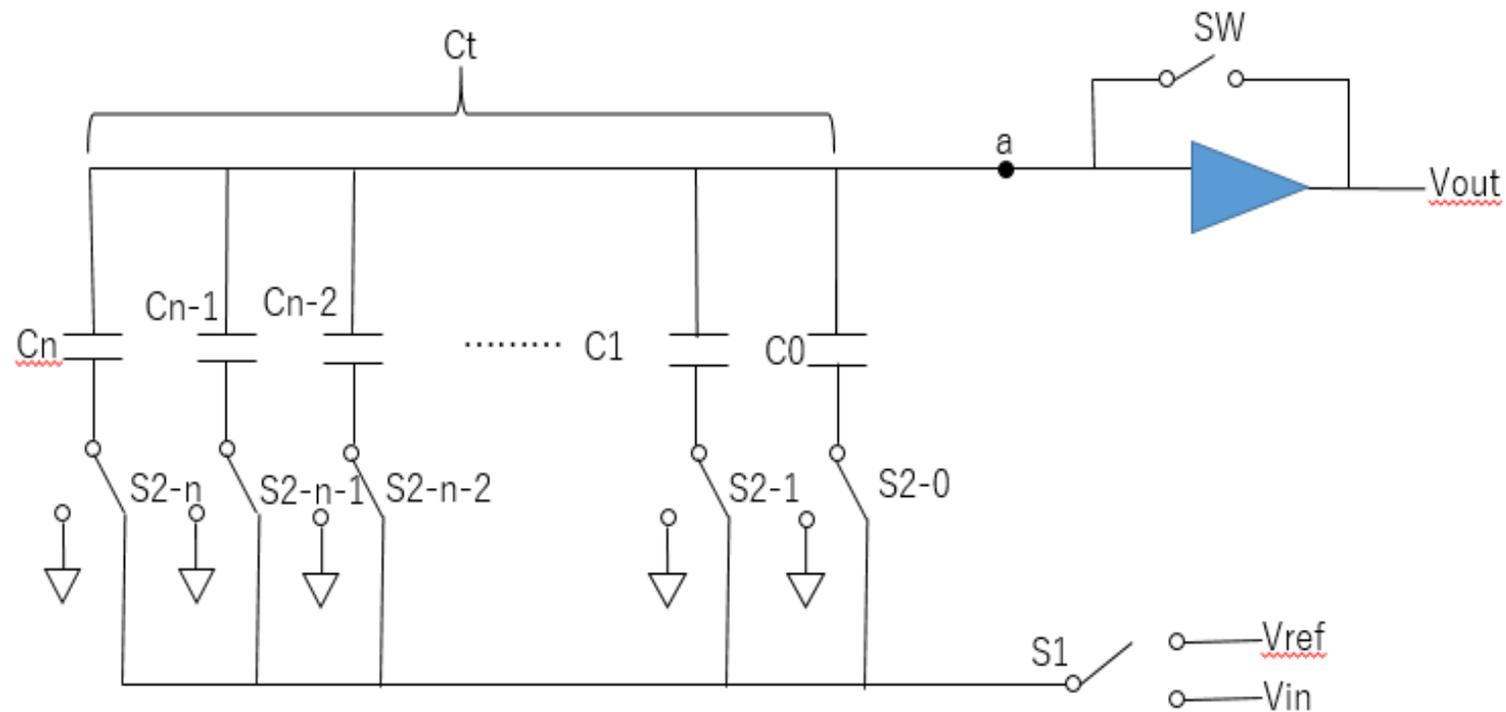
n 番目の素数を $p_n <$ とすると 次が成立する

$$1 < p_{(n+1)}/p_n < 2$$



素数を順番にSAR ADCの重みにすることができる

容量型 電荷再配分型SAR AD変換器



$C_0, C_1, C_2, C_3, C_4, \dots$ を素数等で重み付け

OUTLINE

- 研究背景・目的
- 三角数DAC
- 四角数DAC
- N角数DAC
- 素数DAC
- 素数SAR ADC
- まとめ

まとめ

- 整数論を用いた新規AD/DA変換器回路・アルゴリズムの可能性を検討
 - 3角数、4角数、N角数DAC
 - 素数DAC
 - 素数重み付けSAR ADC
- 今後の研究
 - 従来法との得失を検討していく
 - 整数論を活用したさらなる新構成の検討

最後に

整数論： 数学で最も簡単に見えて最も奥が深い



新たな電子回路設計の基礎理論に！



ご清聴ありがとうございました



Q&A (1)

■伊藤先生より

評価のための項目は、色々あると思います。

たとえば、電流源が少ない方が良いのか、

スイッチが少ない方が良いのか、など。

今回調べたのとは異なる評価項目も、必要ではないですか。

例えば10bitのAD/DAを作るとき、素数は何個必要ですか？

答え：回路のランダムは電流源の方と抵抗の数値両方からと思います。電流源自身のランダムは、未来技術が発展してまた電流源が新しい素材を作って、ランダムができるだけ小さくなるできます。

素数の方でも、数値観測、計算、予備調査により、素数分布はリーマン式を中心とし、ガウス式は上限の正規分布であることがわかりました。しかし、これは現在経験式であり、数学者が厳密な証明を与えた後の数学的定理になります。つまり素数自身のランダムが小さくできませんと思います。

スイッチの数は抵抗の数で決めますが、可能的範囲内はスイッチが少ない方が良いと思います。

10bitのADを作るとき、素数キャパシタは10個が必要です。（容量型AD変換器）

10bitのDAを作るとき、素数抵抗は10個が必要です。（素数DA変換器）

■小林先生よりコメント

N角数は、スイッチが少なくても済む。

Q&A (2)

■弓仲先生より

Nが増えるということは、電流源が増えるということだと思います。

電流源は少ない方が良いと思いますので、3でできるなら3がbestではないですか？

素数を使えば2つで済むのであれば、素数が良いのではないですか？

N角数のメリットは何ですか？

素数を使うと、実際の基板上にR（抵抗）をレイアウトする時に難しいかもしれない。

答え：回路のランダムは電流源の方と抵抗の数値両方からと思います。電流源自身のランダムは、未来技術が発展してまた電流源が新しい素材を作って、ランダムができるだけ小さくなるできます。そして、可能的範囲内電流源は少ない方が良いと思いますので、3でできるなら3がbestと思います。

素数を使えば、確かに電流源二つで十分です。N角数DA変換器の一番少ないの三つ電流源よりもっと少ないです。

でも、素数の方でも、数値観測、計算、予備調査により、素数分布はリーマン式を中心とし、ガウス式は上限の正規分布であることがわかりました。しかし、これは現在経験式であり、数学者が厳密な証明を与えた後の数学的定理になります。つまり素数自身のランダムが小さくなるできませんと思います。

N角数のメリットはN角数の計算式、分布が明るいとN角数定理が証明されました。これで提案したDA回路は少なくとも起点が正確です。起点後の改善とか、最適化とかいろいろは頑張ることができると思います。

■小林先生よりコメント

N角数は、スイッチが少なくて済む。

素数とは？

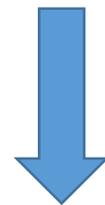
素数とは、1 より大きい自然数で、正の約数が 1 と自分自身のみであるもの。
正の約数の個数が 2 である自然数と言い換えることもできる。
1 より大きい自然数で素数でないものは合成数と呼ばれる。

2, 3, 5, 7, 11, 13, 17, 19, 23, 29, 31, 37, 41, 43, 47, ...

素数分布の性質 (01)

素数分布はリーマン式を中心とし、
ガウス式は上限の正規分布であることがわかった。
これは現在経験式であり、数学者が厳密な証明を与えた後の数学的定理となった。

定義 $\pi(x)$ は素数関数、つまり x 以下の素数の数です。
たとえば、10以下の4つの素数があり、
それぞれ2、3、5、および7であるため、 $\pi(10) = 4$

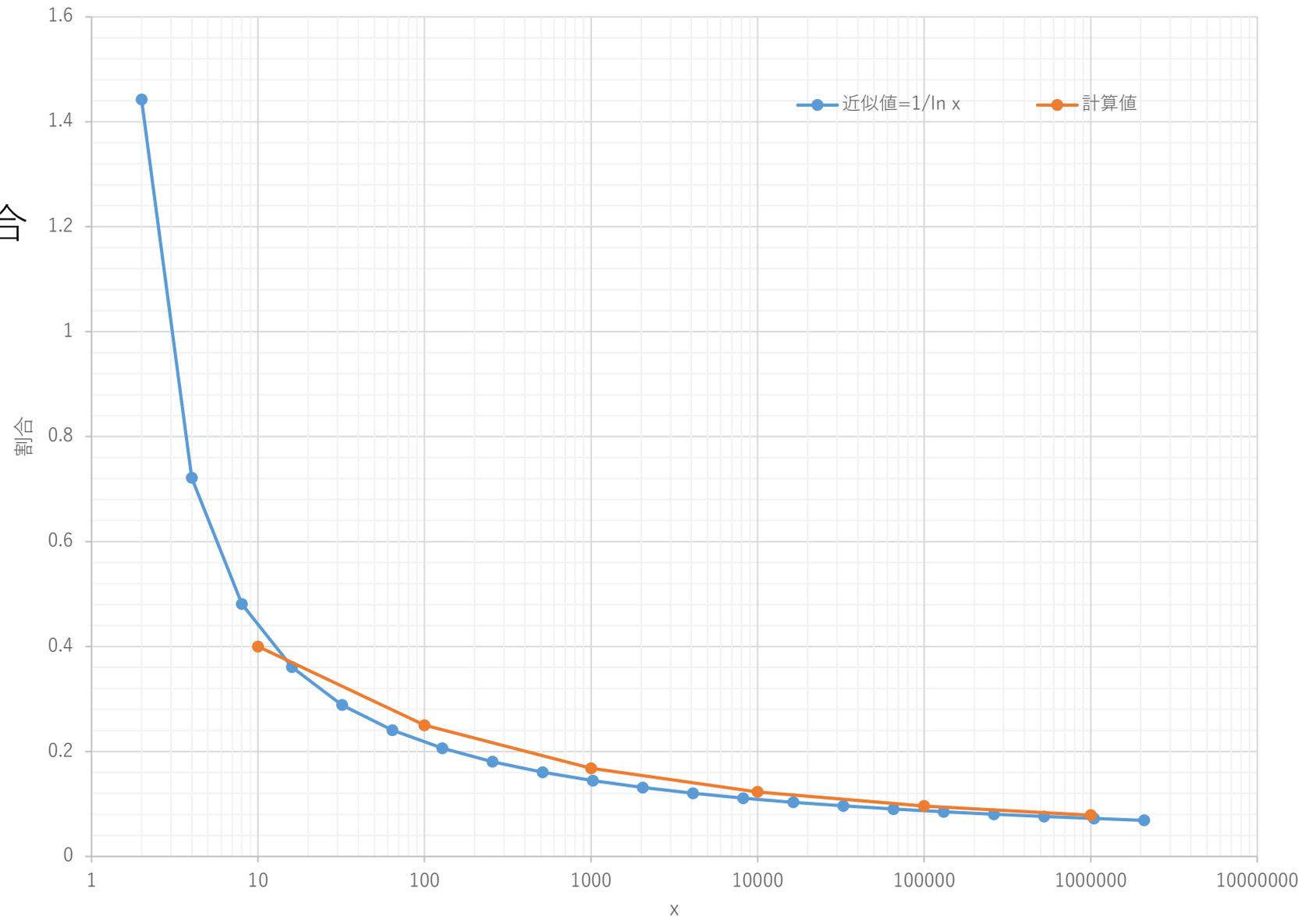


$$\lim_{x \rightarrow \infty} \frac{\pi(x)}{\frac{x}{\ln(x)}} = 1.$$

素数分布の性質 (02)

x 以下の値に素数が含まれる割合

$\pi(x)$: x までの素数の個数
 $\pi(x)/x \doteq 1/\text{Ln } x$ (近似式)



ウラムの螺旋 (01)

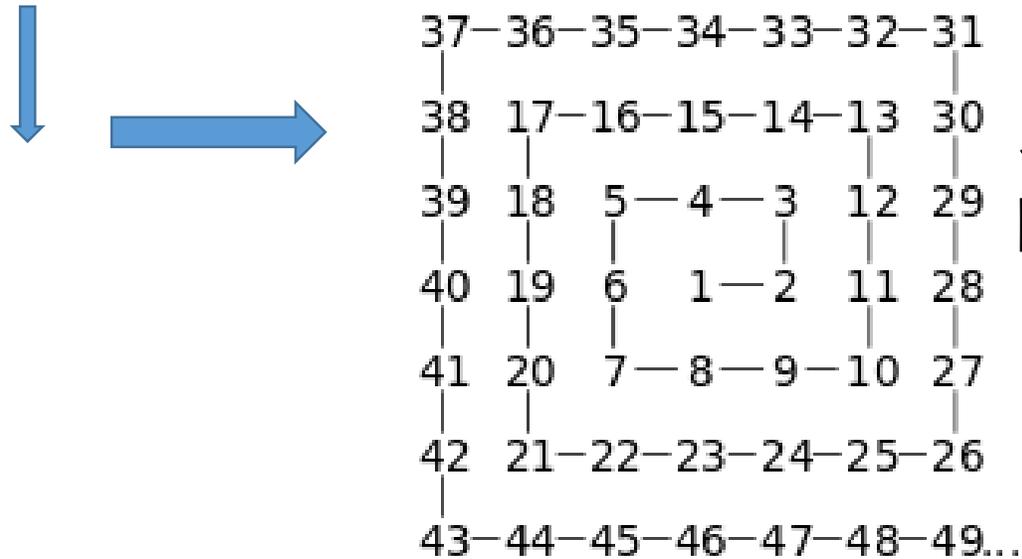
ウラムの螺旋、もしくは素数螺旋（ウラムのらせん、そすうらせん）は、素数の分布をある簡単なルールに従って2次元平面に並べ、可視化したものである。これにより、いくつかの二次多項式が非常に多くの素数を生成する傾向にあることが容易に示される。

100	99	98	97	96	95	94	93	92	91
65	64	63	62	61	60	59	58	57	90
66	37	36	35	34	33	32	31	56	89
37	38	17	16	15	14	13	30	55	88
68	39	18	5	4	3	12	29	54	87
69	40	19	6	1	2	11	28	53	86
70	41	20	7	8	9	10	27	52	85
71	42	21	22	23	24	25	26	51	84
72	43	44	45	46	47	48	49	50	83
73	74	75	76	77	78	79	80	81	82

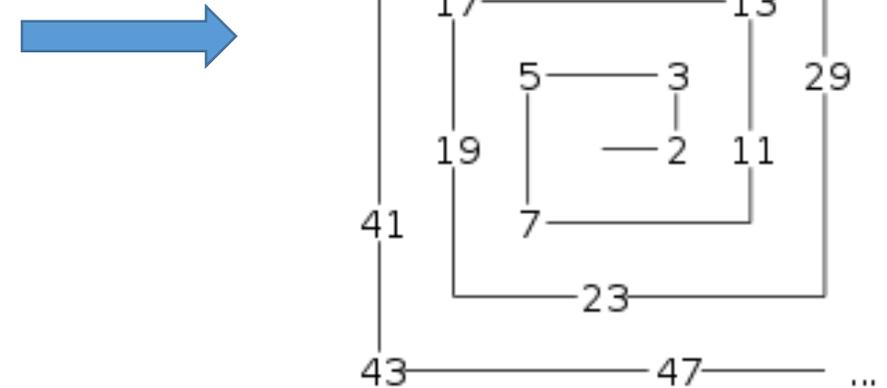


ウラムの螺旋 (02)

ウラムは数字の螺旋を中心の1から始めて、渦巻状に、長方形の格子状に書き下した。



そして素数に印をつけ、次の図を得た。



素数は斜め対角線に沿って並ぶ傾向があった。上に示された例に比べれば水平線や垂線はやや目立たないが、やはり明確である。