

## 高分解能低速 $\Delta\Sigma$ ADC 線形性の量産試験アルゴリズム

### - 5次非線形性の場合 -

魏 江林, 串田 弥音, 桑名 杏奈, 沙 磊, 小林 春夫, 中谷 隆之, 畠山 一実 (群馬大学)

佐藤 賢央, 石田 嵩, 岡本 智之, 市川 保 (ローム(株))

要旨: この論文では、先に提案した  $\Delta\Sigma$  AD変換器 積分非線形性の量産時テストアルゴリズムを、特に5次歪が主要な場合について MATLAB シミュレーション検証を行ったので報告する。

キーワード:  $\Delta\Sigma$  変調, AD 変換器, 積分非直線性, 半導体テスト

(Delta Sigma Modulator, AD Converter, INL, Semiconductor Test)

#### 1. はじめに

デルタシグマ( $\Delta\Sigma$ )変調に基づく AD 変換器は大部分がデジタル回路で構成され低速・低周波信号帯域ながら高線形・高分解能の AD 変換を実現できるのでセンサインターフェース回路等で広く用いられている。その線形性は重要な試験項目であるがテスト時間が非常に長いので量産試験では品質保証と称して省略されることが多い。しかしながら近年の IoT (Internet of Things) システムや車載応用での高信頼性化の要求により、その積分線形性を量産テストする必要がでてきている。

この論文では、 $\Delta\Sigma$  AD 変換器の積分非線形性 (Integral Non-Linearity: INL) を短時間でテストするアルゴリズムを示す。今回はとくに5次歪が主要な場合を検討した。

#### 2. $\Delta\Sigma$ 変換器

$\Delta\Sigma$ 変換器は、アナログ部の $\Delta\Sigma$ 変調器とその後段のデジタルフィルタから構成される。 $\Delta\Sigma$ 変調器はアナログ入力を $\Delta\Sigma$ 変調し量子化ノイズをノイズシェーピングし、1-bit デジタルデータを出力する。後段のデジタルフィルタはその1-bit デジタルデータを入力とし低域通過 (Low Pass Filtering) と間引き(decimation) を行う(図1)。

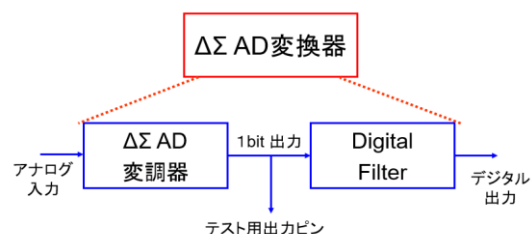


図 1.  $\Delta\Sigma$  AD 変換器の構成

Fig.1. Constitution of  $\Delta\Sigma$  ADC

#### 3. $\Delta\Sigma$ 変換器の積分非線形性試験法の提案

短時間・高品質・出力レートが短時間で16-bitから22-bit分解能の $\Delta\Sigma$ ADC全体の線形性を直接的に試験するための試験方法を提案する。

提案方法はAD変調器とデジタルフィルタ部を分けて別々に試験する。デジタルフィルタ部はスキャンパス法等により故障があるかどうかを試験する。デジタルフィルタ部は故障がなければ、 $\Delta\Sigma$  AD変換器全体の線形性劣化は引き起こさない。

$\Delta\Sigma$ 変調器の1-bit出力ピンをテスト用に設け、試験時に観測する。例えば、この出力ピンから数十Ksps程度のレートで1-bit データが出力される。デジタルフィルタ出力よりはるかに高速なレートである。 $\Delta\Sigma$ 変調器には致命的な故障はなくても内部のアナログ回路積分器の非線形性等によりAD変換器全体の線形性が劣化する可能性があり、それを試験で確認する。

$\Delta\Sigma$ AD変換器の入出力特性に不連続性はない(積分非直線性があっても連続的に変化)と想定し,  
 $\Delta\Sigma$ AD変調器の入出力特性を多項式でモデル化する.  
 ここでは  $x(t)$  を入力,  $y(t)$  を出力とし, 5次の非線形性が重要な歪の場合を考え, 次のようにモデル化する.

$$y(t) = a_1x(t) + a_3x(t)^3 + a_5x(t)^5 \quad (1)$$

$\Delta\Sigma$ AD変調器に振幅 $A_0$ の余弦波入力 $x(t)$ を与える.

$$x(t) = A_0\cos(\omega_0t) \quad (2)$$

このとき出力 $y(t)$  は次のようになる.

$$\begin{aligned} y(t) &= a_1x(t) + a_3x(t)^3 + a_5x(t)^5 \\ &= (a_1A_0 + \frac{3}{4}a_3A_0^3 + \frac{5}{8}a_5A_0^5)\cos\omega_0t \\ &\quad + (\frac{1}{4}a_3A_0^3 + \frac{5}{16}a_5A_0^5)\cos3\omega_0t \\ &\quad + \frac{1}{16}a_5A_0^5\cos5\omega_0t \end{aligned} \quad (3)$$

変調器出力  $y(t)$  を FFT し, パワースペクトルを求める. 基本波スペクトル:

$$P_1 = a_1A_0 + \frac{3}{4}a_3A_0^3 + \frac{5}{8}a_5A_0^5 \quad (4)$$

3次高調波スペクトル:

$$P_3 = \frac{1}{4}a_3 \cdot A_0^3 + \frac{5}{16}a_5 \cdot A_0^5 \quad (5)$$

5次高調波スペクトル:

$$P_5 = \frac{1}{16}a_5A_0^5 \quad (6)$$

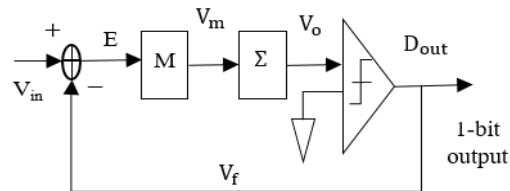
これらから  $(a_1, a_3, a_5)$  を推定する. これが非線形性を含んだ  $\Delta\Sigma$ AD変調器の入出力特性になる.

$\Delta\Sigma$ AD変調器の1-bit出力はデジタルフィルタによる間引き前であるので出力レートは高い. このFFT結果からパワースペクトルから変調器の入出力特性の多項式モデルの係数, すなわち積分非線形性を推定できる. 以上が提案する試験法である.

#### 4. 提案手法のシミュレーション検証

図2に1次 $\Delta\Sigma$ AD変調器が5次非線形性を持っている場合のシミュレーションモデルを示す. パラ

メータ  $k$  の値を変更することで5次非線形性の強さを制御できる.



$$V_m = E - k * E^5 \quad (k > 0)$$

$$E(n) = V_{in}(n) - V_f(n)$$

$$V_m(n) = E(n) - k * E(n)^5 \quad (k > 0)$$

$$V_o(n) = V_o(n-1) + V_m(n)$$

$$\text{If } V_o(n) \geq 0; D_{out}(n+1) = 1; V_f(n+1) = 1$$

$$\text{Else } D_{out}(n+1) = 0; V_f(n+1) = -1$$

図2 5次非線形性をもった $\Delta\Sigma$ AD変調器  
シミュレーションモデル

Fig.2.  $\Delta\Sigma$ AD modulator simulation model  
with 5<sup>th</sup>-order nonlinearity

#### <4・1> DC入出力特性

図2の変調器モデルで, DC入力を-1から1まで0.05刻みでDC入力を与え,各DC値でDoutの個数を $2^{22}$ のデータをMATLABシミュレーションで取得した. 非線形性の強さを表す $k$ の値を0.0, 0.0001, 0.0005, 0.001, 0.005, 0.01を変化させてそのDoutでの1の出力数を図3にプロットした. これが図2の変調器のDC入出力特性になる.

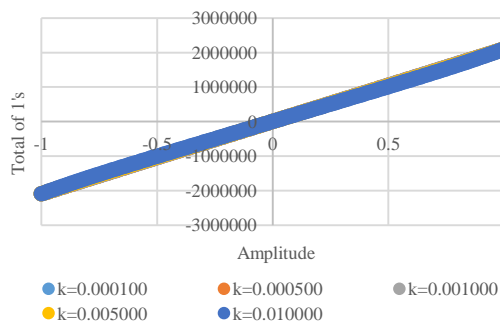


図3 変調器DC出力特性シミュレーション結果  
Fig. 3. AD modulator DC characteristics  
simulation result

図3の入出力特性を次の式で多項式近似する.

$$y = a_5 \cdot x^5 + a_3 \cdot x^3 + a_1 \cdot x \quad (7)$$

図3のシミュレーション結果から各kの値に対してカーブフィッティングして  $a_5, a_3, a_1$  の値を求めた値を表1に示す. この表からkが大きくなると  $a_1$  の値がわずかに減少,  $a_3$  の値が大きく減少,  $a_5$  の値が大きく増加することがわかる.

表1 DC入出力特性多項式近似での係数値のカーブフィッティングによる推定値

Table.1. DC input / output characteristics estimated values by curve fitting of coefficient values in polynomial approximation

k	$a_5$	$a_3$	$a_1$
0.0001	840	-1.63	2096300
0.0005	4242	-50.6	2093000
0.0010	8577	-199.6	2088800
0.0050	46813	-5210.5	2055400
0.0100	104310	-22058	2014100

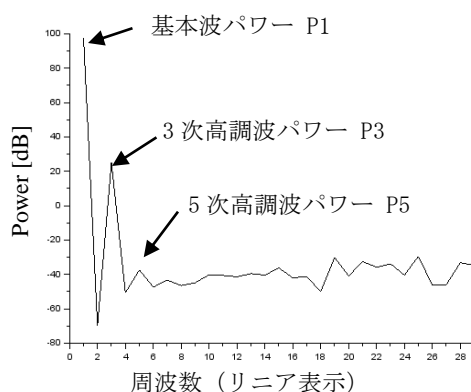


図4  $\Delta\Sigma$ 変調器に余弦波を入力した場合の出力パワースペクトラムのシミュレーション結果.

Fig.4. Simulation result of output power spectrum for cosine wave input of AD modulator.

#### 〈4.3〉積分非直線性の推定

図4から得られた  $P_1, P_3, P_5$  から, (4), (5), (6)式に基づき  $a_1, a_3, a_5$  の値を推定し(表1), それらの推

定値の誤差を図5に示す. 入力振幅  $A_0$  にかかわらず  $a_1$  の推定誤差が小さい. 入力振幅  $A_0$  を大きくする(1に近づける)と  $a_3$  と  $a_5$  の推定誤差が小さくなるのがわかる. データの個数を  $2^{22}$ 個に比べて小さくしていくと, 推定誤差が図5で示した値よりも大きくなる結果も得られている.

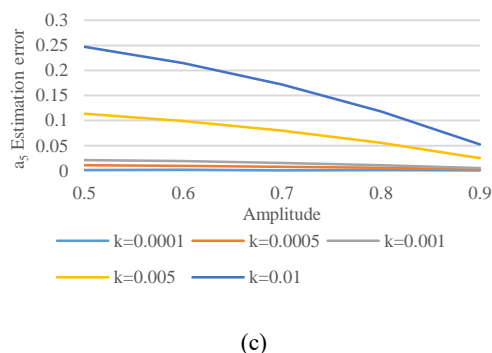
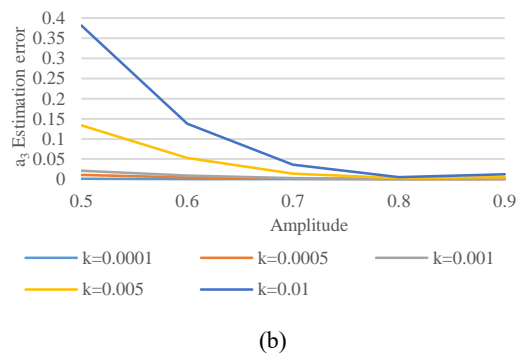
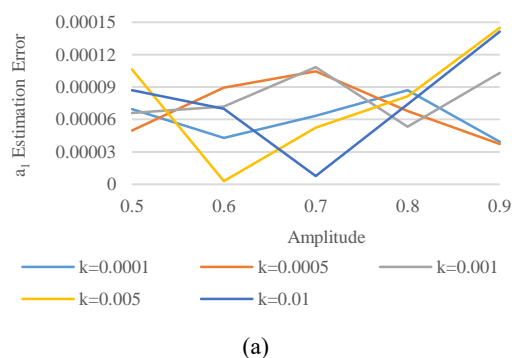


図5 パワースペクトルから多項式係数の推定誤差 (a)  $a_1$  推定誤差. (b)  $a_3$  推定誤差. (c)  $a_5$  推定誤差.

Fig.5. Estimated errors of polynomial coefficients from power spectrum. (a)  $a_1$  estimation error. (b)  $a_3$  estimation error. (c)  $a_5$  estimation error.

5. 実験検証

提案アルゴリズムを使用して、実際の  $\Delta\Sigma$ ADC チップで実験を行った。入力信号源は周波数 0.939941406 Hz, サンプル周波数 30.8kHz であり、信号源と  $\Delta\Sigma$ ADC の DUT 間の同期をとっている。図 6 にパラメータを示し、図 7 の NI PXI システムを使用した正確な任意波形発生器 (AWG) を開発した。変調器の出力 FFT 結果を図 8 で取得し、INL 予測を図 9 に示す。

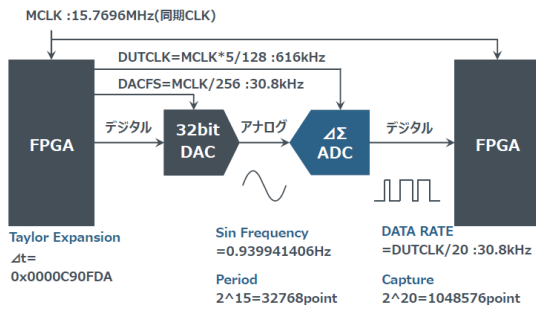


図 6 実験システムとパラメータ値

Fig. 6 Experiment system and parameters

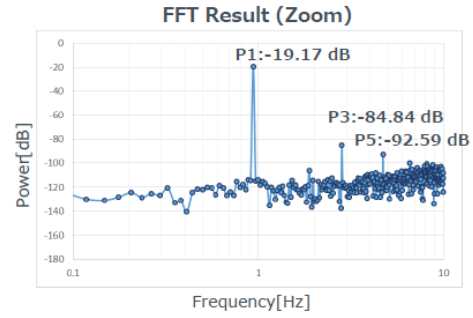


図 8 変調器出力 FFT の実験結果.

Fig. 8 Experimental result of AD modulator output

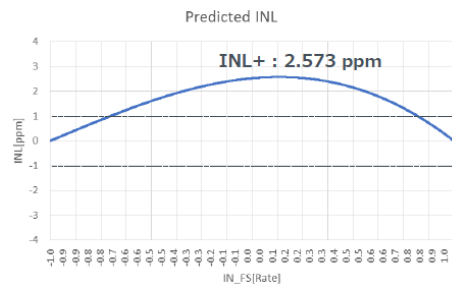


図 9 提案手法で得られた INL 推定.

Fig. 9 Estimated INL with the proposed method.

Test System Diagram and Test Condition

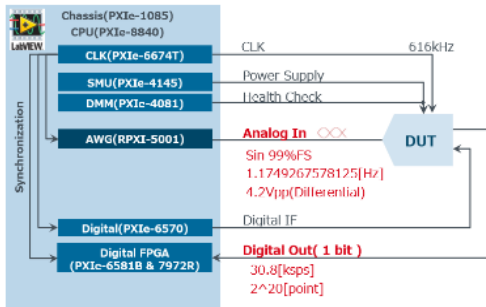


図 7 実験で使った NI PXI システム

Fig.7 Use of NI PXI system for experiment.

6. まとめ

この論文では  $\Delta\Sigma$ AD 変換器の量産時の短時間・高精度積分非直線性の試験手法・アルゴリズムを提案しシミュレーション検証した。今後は実際の試験時間の見積もり、高次変調器への適用を検討していく。

参考文献

- (1) G. Robert, F. Taenzler, M. Burns, *An Introduction to Mixed-Signal IC Test & Measurement*, 2nd Edition, Oxford University Press (2012).
- (2) S. Pavan, R. Schreier, G. C. Temes, *Understanding Delta-Sigma Data Converters*, 2nd Edition, IEEE Press (2017).
- (3) J. M. Rosa, *Sigma-Delta Converters, Practical Design Guide*, 2nd Edition, IEEE Press, Wiley (2018).
- (4) F. Maloberti, *Data Converters*, Springer (2007).
- (5) J.-L. Wei, N. Kushita, T. Arai, L. Sha, A. Kuwana, H. Kobayashi, T. Nakatani, K. Hatayama, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, "High-Resolution Low-Sampling-Rate  $\Delta\Sigma$ ADC Linearity Short-Time Testing Algorithm", 13th IEEE International Conference on ASIC, Chongqing, China (Oct. 2019).