

抵抗ラダー型デジタルアナログ変換器の微分非直線性の解析

平井 愛統* (群馬大学) 谷本 洋 (北見工業大学)

源代 裕治 山本 修平 桑名 杏奈 小林 春夫 (群馬大学)

Differential Nonlinearity Analysis for Resistive Ladder-Based Digital-to-Analog Converters

Manato Hirai*(Gunma University), Hiroshi Tanimoto, (Kitami Institute of Technology)

Yuji Gendai, Shuhei Yamamoto, Anna Kuwana, Haruo Kobayashi (Gunma University)

This paper presents the differential nonlinearity analysis for several types of resistive ladder-based current-steering digital-to-analog converters by both mathematical technique and Monte-Carlo simulation. We have clarified the trends of DNL for the DAC where a resistor ladder divides the current into the non-binary ratio is used, and shown the difference from those of the R-2R ladder DAC. These results would be useful to estimate their yields and develop their efficient calibration and production testing methods.

キーワード : デジタルアナログ変換器, 微分非線形性, 抵抗ラダー, モンテカルロ法, 非2進重みづけ, (Digital-to-Analog Converter, Differential Nonlinearity, Resistor Ladder, Monte-Carlo Simulation, Non-binary weighting)

1. はじめに

デジタル/アナログ信号処理において、様々な種類のデジタルアナログ変換器 (DAC) が、その特性を生かした用途で用いられている[1, 2]。その中で R-2R 電流モード DAC は、R-2R 抵抗ラダーを用いたシンプルな回路構成と電流モード DAC の特徴である比較的高速な動作という特徴を持つ。しかし、分解能が増加すると、その変換の直線性は抵抗のミスマッチや電流のミスマッチによって劣化する[3]。

本稿では、電流を R-2R ラダーとは異なる比 (非2進比) に分流する抵抗ラダーを用いて電流モード DAC を構成した場合の DNL の特性について解析する。用いる抵抗ラダーの特性を変化させることで統計的に DNL が劣化するコードの特性が変化することを示す。これらの結果は DAC の歩留まり推定やキャリブレーション、量産時テストの効率的な手法の開発の際に役立てることができる。

2. N進抵抗ラダーDAC

(2.1) N進抵抗ラダーDACの構成

これまでに、抵抗ラダーの特性を変化させて抵抗ラダー型電流モード DAC を構成する方法を検討してきた[4-8]。検討の結果として、図1にN進抵抗ラダーDACの回路図を示す。Nは任意に決めることのできる基数、Kはラダー段数、

j は抵抗ラダーのノード番号、 R は規格化抵抗値、 I は単位電流である。抵抗ラダーを構成する抵抗比は $N : (N-1)^2$ であり、出力と反対の終端は $N-1$ の抵抗で終端する。例として、 $K=5, N=2$ の場合、5-bit R-2R ラダー型電流モード DAC である。 I_j はラダーの j 番目のノードに流れ込む電流とすると、出力電圧 V_{OUT} は(1)式であらわされる。

$$V_{OUT}(I_1, \dots, I_K, R, N, K) = (N-1)R \sum_{j=1}^K \left(\frac{I_j}{N^{K-j}} \right) \dots \dots (1)$$

(1)式で示されるように、ラダーの各段に流れ込む電流 I_j は、出力端子に近づくにしたがって出力電圧に対して N 倍ずつの重みをもつようになっている。図1のように、抵抗ラダーの各段には $N-1$ 個の電流源が接続されているため、出力電圧範囲を等間隔に分割した N^K-1 段階の電圧を得るこ

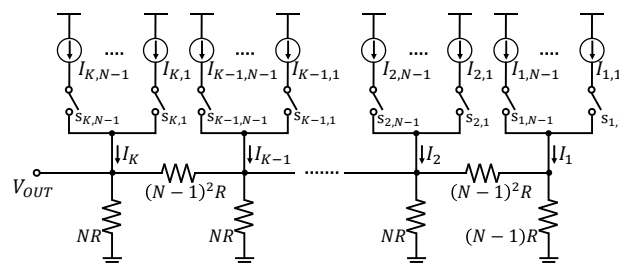


図1 N進抵抗ラダー型電流モード DAC

Fig.1 N-ary ladder-based current-steering DAC

とができる。

出力端子電圧の最大値 V_{MAX} は、(1)式のすべての I_k について $(N-1) \cdot I$ を代入して求められ、(2)式であらわされる。

$$V_{MAX}(I, R, N, K) = RI \cdot (N-1)^2 \cdot \sum_{j=1}^K \left(\frac{1}{N^{K-j}} \right) \dots\dots\dots(2)$$

$$= RI \cdot N(N-1) \cdot \left(1 - \frac{1}{N^K} \right)$$

また、出力電圧の最小ステップは、(1)式において I_1 に I を代入し、それ以外の I_k に0を代入することで求められ、(3)式で表される。

$$V_{MIN}(I, R, N, K) = (N-1)RI \cdot \frac{1}{N^{K-1}} \dots\dots\dots(3)$$

この回路を DAC として動作させるためにはバイナリコードを N 進コードに変換して各段の電流を操作するデコーダ回路が必要である。また、2進数と N 進数の桁上がり/桁下がりが起こる値は一般には一致しないため、出力電圧の最大値は DAC として出力電圧の最大値とは限らない。

(1)式を $K=5, N=2$ とした場合の例として、図2の5-bit R・2R 電流モード DAC の出力電圧は(4)式で表される。ラダーのそれぞれの段に流し込まれる電流は、出力に対して2倍ずつの重みをもつ。

$$V_{OUT}(I_1, I_2, I_3, I_4, I_5, R)$$

$$= R \left(I_5 + \frac{1}{2}I_4 + \frac{1}{4}I_3 + \frac{1}{8}I_2 + \frac{1}{16}I_1 \right) \dots\dots\dots(4)$$

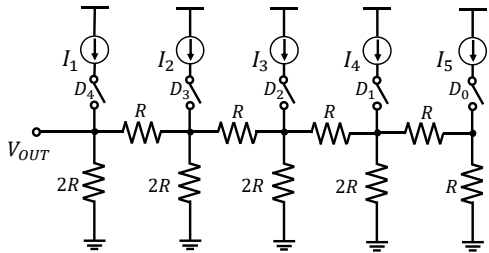


図 2 5ビット R・2R 電流モード DAC.

Fig.2 5-bit R-2R current-steering DAC.

〈2・2〉 N=3, 3進 DAC

(1)式において $N=3$ とした場合、電流 I_j が流し込まれる抵抗ラダーのノードが出力端子に近づくにしたがって、各段に流し込まれる電流の出力電圧に対する重みは、3倍ずつ大きくなる。各段には2つの単位電流源が接続されているため、 I_j は I と $2I$ の2値をとることができ、出力端子では $3^K - 1$ 段階の電圧を得られる。図3に $K=3, N=3$ とした場合の3段3進DACを示す。(1)式から、このときの出力端子電圧を(5)式で表す。

$$V_{OUT}(I_1, I_2, I_3R) = 2R \left(I_3 + \frac{1}{3}I_2 + \frac{1}{3^2}I_1 \right) \dots\dots\dots(5)$$

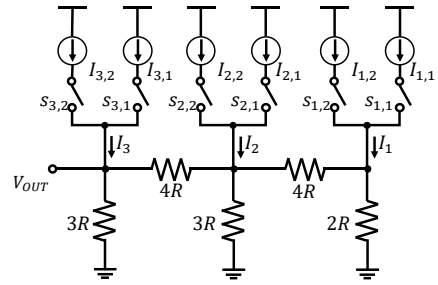


図 3 3段3進抵抗ラダー 電流モード DAC.

Fig.3 3-stage ternary-ladder current-steering DAC.

〈2・3〉 N=4, 4進 DAC

(1)式において $N=4$ とした場合、ラダーの各段に流し込まれる電流 I_j は、出力端子に近づくにしたがって出力電圧に対して4倍ずつの重みをもつ。各段には3つの単位電流源が接続されているため、 I_j は $I, 2I, 3I$ の2値をとることができ、出力端子では $4^K - 1$ 段階の電圧を得られ、6ビットのDACに相当する。

図4に $K=3, N=4$ とした場合の3段4進DACを示す。(1)式から、このときの出力端子電圧を(6)式で表す。

$$V_{OUT}(I_1, I_2, I_3R) = 3R \left(I_3 + \frac{1}{4}I_2 + \frac{1}{4^2}I_1 \right) \dots\dots\dots(6)$$

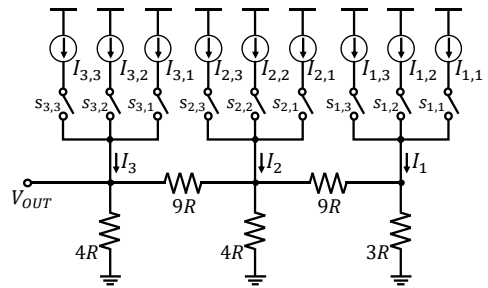


図 4 3段4進抵抗ラダー 電流モード DAC.

Fig.4 3-stage quaternary-ladder current-steering DAC.

3. 素子ばらつきによる DNL 悪化の解析

〈3・1〉 数式による出力電圧誤差の見積もり

R・2R 電流モード DAC を単位電流源と単位抵抗からなる回路モデルで表した場合の、素子ミスマッチを考慮した DNL 特性について詳細な検討がなされており、DNL の標準偏差を 0.5LSB より小さくするために必要とされる電流源と抵抗のマッチングが明らかになっている[3]。この手法を本稿で示した抵抗ラダー型電流モード DAC について適用した結果について述べる。

図5に抵抗と電流のばらつきを含んだ K 段 N 進抵抗ラダーDACの回路図を示す。 $I_{j,i}$ と $\Delta I_{j,i}$ は j 番目のノードに接続された i 個目の電流源とその誤差、 $R_{V(j)}$ と $\Delta R_{V(j)}$ は j 番目のノードと接地との間の抵抗とその誤差、 $R_{H(j)}$ と $\Delta R_{H(j)}$ は j 番目のノードと $j+1$ 番目のノードの間の抵抗とその誤差である。また、 $R_{T(j)}$ と $\Delta R_{T(j)}$ は、 j 番目のノードから右側を見込んだ合成抵抗とそのばらつきであり、抵抗にばらつきがない場合は

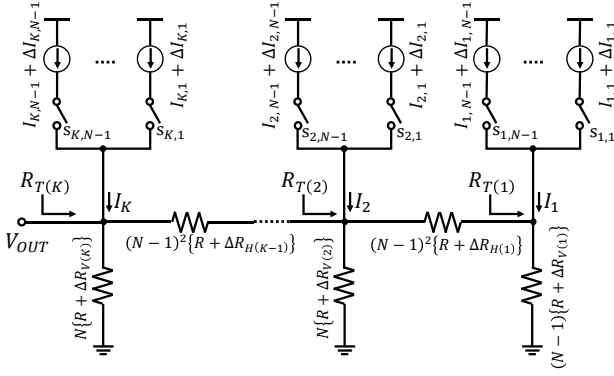


図 5 ばらつき含んだ K 段 N 進抵抗ラダー DAC.

Fig.5 K-stage N-ary ladder-based DAC with current and resistor mismatches.

$R_{T(j)} = (N-1)R$ である。図 5 から、 $R_{T(1)}$ は $R_{V(1)}$ である。

j 番目のノードに流れる電流 I_j の状態を示すために、図 5 中のスイッチの状態を $s_{j,i}$ であらわすと、 $s_{j,i}$ のみが導通している場合の抵抗と電流の誤差を含んだ出力電圧は、(7)式で表される。

$$V_{OUT}|_{s_{j,i}=1} = (I + \Delta I_{j,i}) \cdot \left\{ \frac{R(N-1)}{N^{K-i}} + f(\Delta R_{s_{j,i}}) \right\} \quad \dots\dots\dots (7)$$

$$\cong \frac{N-1}{N^{K-i}} RI + \frac{(N-1)R}{N^{K-i}} \cdot \Delta I_{j,i} + f(\Delta V_R)$$

(7)式で j は1から K までの値をとり、 i は1から $N-1$ をとる。第1項は、抵抗と電流にばらつきがない時の出力電圧を示す。第2項は、電流のばらつき $\Delta I_{j,i}$ による出力電圧のばらつきを示す。第3項は、すべての抵抗の誤差に起因する出力電圧のばらつきを示す。第4項である $\Delta I_{j,i} \cdot f(\Delta R_{s_{j,i}})$ は出力電圧への寄与が小さいとして、無視できるものとしている。

図 5 から、 $R_{T(K)}$ は、 N 、 R 、 $\Delta R_{V(K)}$ 、 $\Delta R_{H(K-1)}$ 、 $R_{T(K-1)}$ を用いて(8)式で表すことができる。

$$R_{T(K)} = \{N(R + \Delta R_{V(K)})\} / \{(N-1)^2(R + \Delta R_{H(K-1)}) + (N-1)R + \Delta R_{T(K-1)}\} \quad (8)$$

$$= \frac{N(R + \Delta R_{V(K)}) \{ (N-1)^2(R + \Delta R_{H(K-1)}) + (N-1)R + \Delta R_{T(K-1)} \}}{N^2R + N\Delta R_{V(K)} + (N-1)^2\Delta R_{H(K-1)} + \Delta R_{T(K-1)}}$$

$$\cong \frac{NR \{ N(N-1)R + N(N-1)\Delta R_{V(K)} + (N-1)^2\Delta R_{H(K-1)} + \Delta R_{T(K-1)} \}}{N^2R + N\Delta R_{V(K)} + (N-1)^2\Delta R_{H(K-1)} + \Delta R_{T(K-1)}}$$

(8)式 3 行目では、微小な値である誤差どうしの積を無視している。

次に、(8)式を $x \ll 1$ の時のテイラー展開 1 次項までの近似式 $1/(1+x) \cong 1-x$ を用いて近似し、 $R_{T(K)}$ を(9)式であらわす。

$$R_{T(K)} \cong \frac{(N-1)R + (N-1)\Delta R_{V(K)} + \frac{(N-1)^2}{N}\Delta R_{H(K-1)} + \frac{\Delta R_{T(K-1)}}{N}}{1 + \frac{N\Delta R_{V(K)}}{N^2R} + \frac{(N-1)^2\Delta R_{H(K-1)}}{N^2R} + \frac{\Delta R_{T(K-1)}}{N^2R}}$$

$$\cong \left\{ (N-1)R + (N-1)\Delta R_{V(K)} + \frac{(N-1)^2}{N}\Delta R_{H(K-1)} + \frac{\Delta R_{T(K-1)}}{N} \right\}$$

$$\times \left\{ 1 - \frac{\Delta R_{V(K)}}{NR} - \frac{(N-1)^2\Delta R_{H(K-1)}}{N^2R} - \frac{(N-1)\Delta R_{T(K-1)}}{N^2R} \right\}$$

$$\cong (N-1) \left\{ R + \Delta R_{V(K)} + \frac{(N-1)}{N} \cdot \Delta R_{H(K-1)} + \frac{\Delta R_{T(K-1)}}{N} \right\}$$

$$\cong (N-1)R + \frac{(N-1)^2}{N} \cdot \Delta R_{V(K)} + \frac{(N-1)^2}{N^2} \cdot \Delta R_{H(K-1)} + \frac{1}{N^2} \cdot \Delta R_{T(K-1)} \quad \dots\dots\dots (9)$$

(9)式の手順で、 j 番目のノードから見込んだ抵抗 $R_{T(j)}$ は(10)式で表すことができる。

$$R_{T(j)} \cong (N-1)R + \frac{(N-1)^2}{N} \cdot \Delta R_{V(j)} + \frac{(N-1)^2}{N^2} \cdot \Delta R_{H(j-1)} + \frac{1}{N^2} \cdot \Delta R_{T(j-1)} \quad \dots\dots\dots (10)$$

(9)式を用いて、 K 番目のノードに電流を流し込んだ時の出力電圧 $V_{OUT}|_{s_{K,i}=1}$ を(11)式であらわすことができる。このとき、 $R_{T(K)}$ は(10)式を用いて、再帰的に展開することができ、出力電圧は $I_{K,i}$ 、 R 、 $j=1$ から K までの $\Delta R_{V(j)}$ 、 $j=1$ から $K-1$ までの $\Delta R_{H(j)}$ を用いて表される。

$$V_{OUT}|_{s_{K,i}=1} = I_{K,i} \cdot R_{T(K)} \quad \dots\dots\dots (11)$$

同様の近似手法を用いて、電流の誤差を考慮しない場合に、 $I_{K-1,j}$ から $K-1$ 番目のノードに電流を流し込んだ時の出力電圧 $V_{OUT}|_{s_{K-1,i}=1}$ を求める。

$$V_{OUT}|_{s_{K-1,i}=1} = I_{K-1,i} \cdot \frac{R_{T(K-1)} \cdot R_{V(K)}}{R_{V(K)} + R_{H(K-1)} + R_{T(K-1)}}$$

$$= \frac{I_{K-1,i} \cdot \{ (N-1)R + \Delta R_{T(K-1)} \} \cdot \{ N(R + \Delta R_{V(K)}) \}}{(N-1)R + \Delta R_{T(K-1)} + N(R + \Delta R_{V(K)}) + (N-1)^2(R + \Delta R_{H(K-1)})}$$

$$\cong \frac{I_{K-1,i} \{ N(N-1)R + N\Delta R_{T(K-1)} + N(N-1)\Delta R_{V(K)} \}}{N^2R + \Delta R_{T(K-1)} + N\Delta R_{V(K)} + (N-1)^2\Delta R_{H(K-1)}}$$

$$= \frac{I_{K-1,i} \left\{ \frac{(N-1)R}{N} + \frac{\Delta R_{T(K-1)}}{N} + \frac{(N-1)\Delta R_{V(K)}}{N} \right\}}{1 + \frac{\Delta R_{T(K-1)}}{N^2R} + \frac{N\Delta R_{V(K)}}{N^2R} + \frac{(N-1)^2\Delta R_{H(K-1)}}{N^2R}}$$

$$\cong I_{K-1,i} \cdot \left\{ \frac{(N-1)R}{N} + \frac{\Delta R_{T(K-1)}}{N} + \frac{(N-1)\Delta R_{V(K)}}{N} \right\}$$

$$\times \left\{ 1 - \frac{\Delta R_{T(K-1)}}{N^2R} - \frac{N\Delta R_{V(K)}}{N^2R} - \frac{(N-1)^2\Delta R_{H(K-1)}}{N^2R} \right\}$$

$$\cong I_{K-1,j} \cdot \left\{ \frac{N-1}{N} R + \frac{(N-1)^2}{N^2} \Delta R_{V(K)} + \frac{N^2-N+1}{N^3} \Delta R_{T(K-1)} - \frac{(N-1)^3}{N^3} \Delta R_{H(K-1)} \right\} \quad \dots\dots\dots (12)$$

ある $s_{j,i}$ が導通しているときの抵抗の誤差のみを考慮した出力電圧は、同じ手法で近似して求めることができる。

ある入力コードにおける抵抗の誤差を考慮した出力電圧は、こうして求めた一つの $s_{j,i}$ が導通しているときの出力電圧を入力コードに応じて足し合わせて求められる。

〈3・2〉 3 段 3 進 DAC の場合の DNL 見積り

DAC の DNL は隣接コードの出力電圧差から計算され、(13)式で定義される[9]。ここで、 $V_{OUT}(n)$ はコード n での出力電圧、 V_{LSB} は最小の出力電圧の理想値である。

$$DNL(n) = \frac{V_{OUT}(n) - V_{OUT}(n-1)}{V_{LSB}} - 1 \quad \dots\dots\dots (13)$$

抵抗と電流のばらつきを考慮した 3 段 3 進 DAC の場合、3 段目の $s_{3,i}$ 、2 段目の $s_{2,i}$ 、1 段目の $s_{1,i}$ がそれぞれ導通して

いるときの出力電圧は、(10)式や(11)式の近似手法を用いた場合、(14)式、(15)式、(16)式で表される。これらを各入力コードでの $s_{j,i}$ の状態に応じて足し合わせることで、素子ののばらつきを考慮した任意の入力コードでの出力電圧を表すことができる。

$$\begin{aligned}
 V_{OUT}|_{s_{3,i}=1} &\cong (I_{3,i} + \Delta I_{3,i}) \\
 &\cdot \left\{ 2R + \frac{4\Delta R_{V(3)}}{3} + \frac{4\Delta R_{H(2)}}{9} + \frac{\Delta R_{T(2)}}{9} \right\} \\
 &= (I_{3,i} + \Delta I_{3,i}) \cdot \left[2R + \frac{4\Delta R_{V(3)}}{3} + \frac{4\Delta R_{H(2)}}{9} \right. \\
 &\quad + \frac{1}{9} \left\{ \frac{(3-1)^2}{3} \Delta R_{V(2)} \right. \\
 &\quad \left. \left. + \frac{(3-1)^2}{3^2} \Delta R_{H(2)} + \frac{3-1}{3^2} \Delta R_{V(1)} \right\} \right] \\
 &= (I_{3,i} + \Delta I_{3,i}) \cdot \left\{ 2R + \frac{4}{3} \Delta R_{V(3)} + \frac{4}{9} \Delta R_{H(2)} + \frac{4}{27} \Delta R_{V(2)} + \right. \\
 &\quad \left. \frac{4}{81} \Delta R_{H(2)} + \frac{2}{81} \Delta R_{V(1)} \right\} \dots\dots\dots (14)
 \end{aligned}$$

$$\begin{aligned}
 V_{OUT}|_{s_{2,i}=1} &= (I_{2,i} + \Delta I_{2,i}) \\
 &\cdot \left(\frac{2R}{3} + \frac{4\Delta R_{V(3)}}{9} - \frac{8\Delta R_{H(2)}}{27} + \frac{7\Delta R_{T(2)}}{27} \right) \\
 &= (I_{2,i} + \Delta I_{2,i}) \cdot \left(\frac{2R}{3} + \frac{4\Delta R_{V(3)}}{9} - \frac{8\Delta R_{H(2)}}{27} + \frac{28\Delta R_{V(2)}}{81} + \right. \\
 &\quad \left. \frac{28\Delta R_{H(1)}}{243} + \frac{14\Delta R_{V(1)}}{243} \right) \dots\dots\dots (15)
 \end{aligned}$$

$$\begin{aligned}
 V_{OUT}|_{s_{1,i}=1} &= (I_{1,j} + \Delta I_{2,j}) \cdot \left(\frac{2R}{9} + \frac{4\Delta R_{V(3)}}{27} - \frac{8\Delta R_{H(2)}}{81} + \right. \\
 &\quad \left. \frac{28\Delta R_{V(2)}}{243} - \frac{80\Delta R_{H(1)}}{729} + \frac{122\Delta R_{V(1)}}{729} \right) \dots\dots\dots (16)
 \end{aligned}$$

(13)式での定義と(14)式、(15)式、(16)式から、3段3進ラダーを用いたときのDNL(9)を、(17)式で表す。その他のコードにおけるDNLについても、前後の $s_{j,i}$ の状態に応じて(14)式、(15)式、(16)式を加減算することで(17)式と同様に表すことができる。

$$DNL(9) = \frac{V_{OUT}|_{s_{3,1}=1} - \sum_{i=1}^2 (V_{OUT}|_{s_{2,i}=1} + V_{OUT}|_{s_{1,i}=1})}{V_{LSB}} - 1 \quad (17)$$

(7)式での仮定から、抵抗ラダーを用いた電流モードDACにおいて、コードごとの出力電圧の誤差は、単位電流の誤差 $\Delta I_{j,i}$ に起因する成分と、抵抗の誤差に起因する成分 $f(\Delta R)$ とに分けることができる。抵抗のばらつき起因の電圧誤差を含んだDNLは、(17)式においてすべての $\Delta I_{j,i}$ をゼロにすることで得られる。同様に、電流のばらつき起因の電圧誤差がある場合のDNLは、(17)式においてすべての $\Delta R_{V(j)}$ 、 $\Delta R_{H(j)}$ をゼロにすることで求められる。

電流のばらつきに起因するDNLの標準偏差 σ_{DNL-I} と抵抗ばらつきに起因するDNL標準偏差 σ_{DNL-R} を用いて、電流と抵抗がともにばらついた場合のDNL標準偏差 σ_{DNL} を(18)式で表す。

$$\sigma_{DNL}^2 = \sigma_{DNL-R}^2 + \sigma_{DNL-I}^2 \dots\dots\dots (18)$$

これまでの結果を用いて、単位抵抗と単位電流がばらつ

き、その標準偏差が平均値の1%であるとした場合のコードごとのDNL標準偏差、図6に示す。

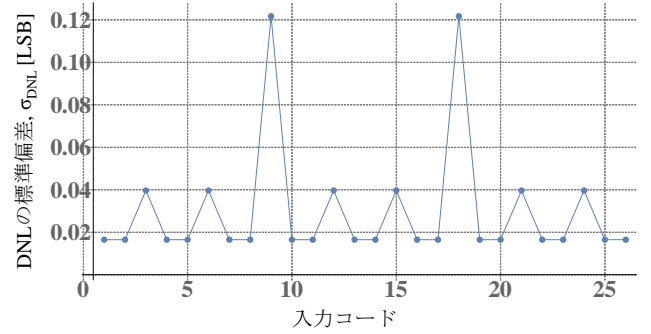


図6 近似した数式を用いた計算によるDNL標準偏差(3段3進DAC)。

Fig.6 3-stage ternary DAC, standard deviation of DNL from approximate calculation results.

DNLが最も悪化するコード9とコード18は、最も出力端子に近い、つまり出力電圧に対する重みの大きい電流が切り替わるコードである。

また、出力から最も離れたノードに流し込まれる電流が切り替わるコードではDNLが小さくなっている。

〈3・3〉 3段4進DACの場合のDNL見積もり

〈3・2〉における3段3進DACの場合と同様にして、3段4進DACで抵抗と電流のばらつきを考慮し、 $s_{3,i}$ 、 $s_{2,i}$ 、 $s_{1,i}$ のそれぞれが導通しているときの出力電圧は、(19)式、(20)式、(21)式で表される。

$$\begin{aligned}
 V_{OUT}|_{s_{3,i}=1} &\cong (I_{3,i} + \Delta I_{3,i}) \\
 &\cdot \left\{ 3R + \frac{9\Delta R_{V(3)}}{4} + \frac{9\Delta R_{H(2)}}{16} + \frac{\Delta R_{T(2)}}{16} \right\} \\
 &= (I_{3,i} + \Delta I_{3,i}) \cdot \left[3R + \frac{9\Delta R_{V(3)}}{4} + \frac{9\Delta R_{H(2)}}{16} \right. \\
 &\quad + \frac{1}{16} \left\{ \frac{(4-1)^2}{4} \Delta R_{V(2)} \right. \\
 &\quad \left. \left. + \frac{(4-1)^2}{4^2} \Delta R_{H(2)} + \frac{4-1}{4^2} \Delta R_{V(1)} \right\} \right] \\
 &= (I_{3,i} + \Delta I_{3,i}) \cdot \left\{ 3R + \frac{9\Delta R_{V(3)}}{4} + \frac{9\Delta R_{H(2)}}{16} + \frac{9}{64} \Delta R_{V(2)} + \right. \\
 &\quad \left. \frac{9}{256} \Delta R_{H(2)} + \frac{3}{256} \Delta R_{V(1)} \right\} \dots\dots\dots (19)
 \end{aligned}$$

$$\begin{aligned}
 V_{OUT}|_{s_{2,i}=1} &= (I_{2,i} + \Delta I_{2,i}) \\
 &\cdot \left(\frac{3R}{4} + \frac{3\Delta R_{V(3)}}{9} - \frac{27\Delta R_{H(2)}}{64} + \frac{17\Delta R_{V(2)}}{256} + \right. \\
 &\quad \left. \frac{13\Delta R_{T(2)}}{64} \right) \\
 &= (I_{2,i} + \Delta I_{2,i}) \cdot \left(\frac{3R}{4} + \frac{3\Delta R_{V(3)}}{9} - \frac{27\Delta R_{H(2)}}{64} + \frac{17\Delta R_{V(2)}}{256} + \right. \\
 &\quad \left. \frac{117\Delta R_{H(1)}}{1024} + \frac{39\Delta R_{V(1)}}{1024} \right) \dots\dots\dots (20)
 \end{aligned}$$

$$V_{OUT}|_{s_{1,i}=1} = (I_{1,j} + \Delta I_{1,j}) \cdot \left(\frac{3R}{16} + \frac{9\Delta R_{V(3)}}{64} - \frac{27\Delta R_{H(2)}}{256} + \right.$$

$$\frac{117\Delta R_V(2)}{1024} - \frac{459\Delta R_H(1)}{4096} + \frac{615\Delta R_V(1)}{4096} \dots\dots\dots(21)$$

3 段 3 進ラダーの場合と同じ方法で、(13)式での定義と(19)式、(20)式、(21)式を用いて、3 段 4 進ラダーを用いたときの DNL(16)を(22)式に表す。

$$DNL(16) = \frac{V_{out|s_{3,1}=1} - \sum_{i=1}^3 (V_{out|s_{2,i}=1} + V_{out|s_{1,i}=1})}{V_{LSB}} - 1(22)$$

(7)式での仮定と(18)式を用いて、3 段 4 進ラダーDACにおいて単位抵抗と単位電流がばらつき、その標準偏差が平均値の 1%であるとした場合の、コードごとの DNL 標準偏差を、図 7 に示す。

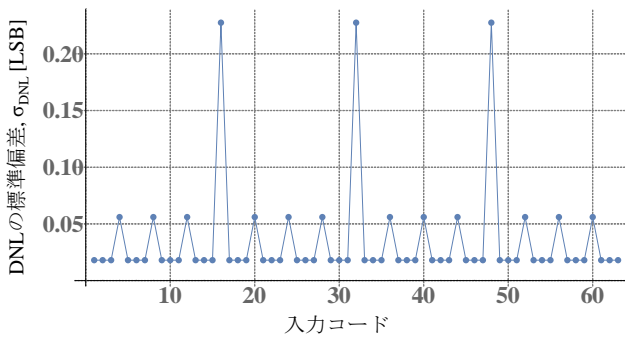


図 7 近似した数式を用いた計算による DNL 標準偏差 (3 段 4 進 DAC) .

Fig.7 3-stage quaternary DAC, standard deviation of DNL from approximate calculation results.

DNL が最も悪化するコード 16、コード 32、コード 48 は、最も出力端子に近い、つまり出力電圧に対する重みが最も大きい電流が切り替わるコードである。

また、出力から最も離れたノードに流し込まれる電流が切り替わるコードでは DNL が小さくなっていて、最も小さい DNL は 3 つの連続した入力について続いて現れる。

4. モンテカルロシミュレーションによる検討

〈4・1〉 シミュレーション条件

図 3 と図 4 の回路について、モンテカルロシミュレーションによって誤差を持った素子のセットについて出力電圧を求め、DNL の標準偏差を求めた。シミュレーションの条件は以下である。

- 単位抵抗と単位電流は、標準偏差が平均値の 1%である正規分布をする。
- 平均値が定数 a 倍の抵抗は、標準偏差が \sqrt{a} 倍された正規分布をする。
- シミュレーションセット数は 3000
- それぞれのセットについて(13)式から DNL を求める。

〈4・2〉 3 段 3 進 DAC シミュレーション結果

図 3 の回路について行ったモンテカルロシミュレーションの結果から、コードごとの DNL の標準偏差を求めた。結果を図 8 に示す。

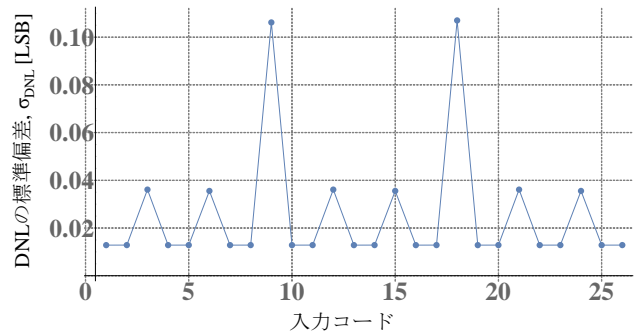


図 8 モンテカルロシミュレーションによる DNL 標準偏差 (3 段 3 進 DAC) .

Fig.8 3-stage ternary DAC, standard deviation of DNL from Monte-Carlo simulation results.

図 8 の DNL 標準偏差の傾向は、近似を用いた数式から求めた DNL 標準偏差である図 6 と似た傾向を示している。3 進ラダーを用いた DAC において、入力レンジの 1/3 と 2/3 での DNL 標準偏差が最大になっており、これは出力端子に最も近い電流が変化するコードである。また、入力レンジを 1/3 に分割した領域においても、同様にその 1/3、2/3 のコードで DNL 標準偏差が大きくなる傾向がみられる。

〈4・3〉 3 段 4 進 DAC シミュレーション結果

図 4 の回路について行ったモンテカルロシミュレーションの結果から、コードごとの DNL の標準偏差を求めた。結果を図 9 に示す。

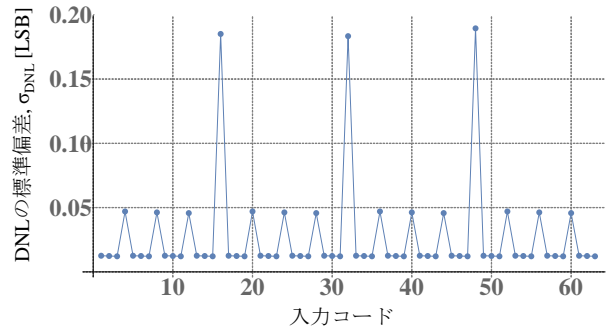


図 9 モンテカルロシミュレーションによる DNL 標準偏差 (3 段 4 進 DAC) .

Fig.9 3-stage quaternary DAC, standard deviation of DNL from Monte-Carlo simulation results.

図 9 から、4 進ラダーを用いた DAC においては、入力レンジの 1/4 と 2/4 と 3/4 での DNL 標準偏差が最大になっている。この傾向は R-2R DAC において上位 2 ビットを温度計コードによる駆動にした場合と同じである。また、入力レンジを 1/4 にずつに分割した領域においても、同様にその 1/4 と 2/4 と 3/4 のコードで DNL 標準偏差が大きくなる傾向がみられる。

5. まとめ

電流を R-2R ラダーとは異なる非 2 進比に分流する抵抗ラダーを用いて、電流モード DAC を構成した場合の DNL の特性について、数式を用いた近似とモンテカルロシミュレーションを用いて解析した。特に 3 進および 4 進抵抗ラダーを用いた電流モード DAC で、構成する抵抗間および電流源間に相対ミスマッチがある場合に、統計的に DNL が劣化するコードの特性を示した。この結果はこれらの DAC の歩留まりの推定、効果的なキャリブレーションおよび量産試験アルゴリズムの開発に役立てることが期待できる。

文 献

- (1) F. Maloberti, Data Converters, Springer (2010).
- (2) The Data Conversion Handbook, Analog Devices Inc. (2005)
- (3) C. Chen, N. Lu, "Nonlinearity analysis of R-2R Ladder-Based Current-Steering Digital to Analog Converter," IEEE International Symposium on Circuits and Systems (May 2013)
- (4) M. Hirai, S. Yamamoto, H. Arai, A. Kuwana, H. Tanimoto, Y. Gendai, H. Kobayashi, "Systematic Construction of Resistor Ladder Network for N-ary DACs", IEEE ASICON (Oct. 2019)
- (5) M. Hirai, H. Tanimoto, Y. Gendai, S. Yamamoto, A. Kuwana, H. Kobayashi, "Nonlinearity Analysis of Resistive Ladder-Based Current-Steering Digital-to-Analog Converter" 17th International SOC Design Conference Yeosu, Korea (Oct. 2020)
- (6) Y. Kobayashi, S. Shibuya, T. Arafune, S. Sasaki, H. Kobayashi, "SAR ADC Design Using Golden Ratio Weight Algorithm", International Symposium on Communications and Information Technologies, Nara, Japan (Oct. 2015)
- (7) S. Yamamoto, M. Hirai, T. Arai, A. Kuwana, H. Kobayashi, K. Kubo, "Proposal of Ternary Resistor Network DACs", 5th Taiwan and Japan Conference on Circuits and Systems, Nikko, Tochigi, Japan (Aug. 2019).
- (8) Y. Du, X. Bai, M. Hirai, S. Yamamoto, A. Kuwana, H. Kobayashi, K. Kubo, "Digital-to-Analog Converter Architectures Based on Polygonal and Prime Numbers", 17th International SOC Design Conference Yeosu, Korea (Oct. 2020)