

ECT-20-074

## 抵抗ラダー型デジタルアナログ 変換器の微分非直線性の解析

平井 愛統, 谷本 洋, 源代 裕治  
山本 修平, 桑名 杏奈, 小林 春夫

群馬大学  
北見工業大学

10月9日 13:00~14:30

Kobayashi Lab.  
Gunma University

# アウトライン

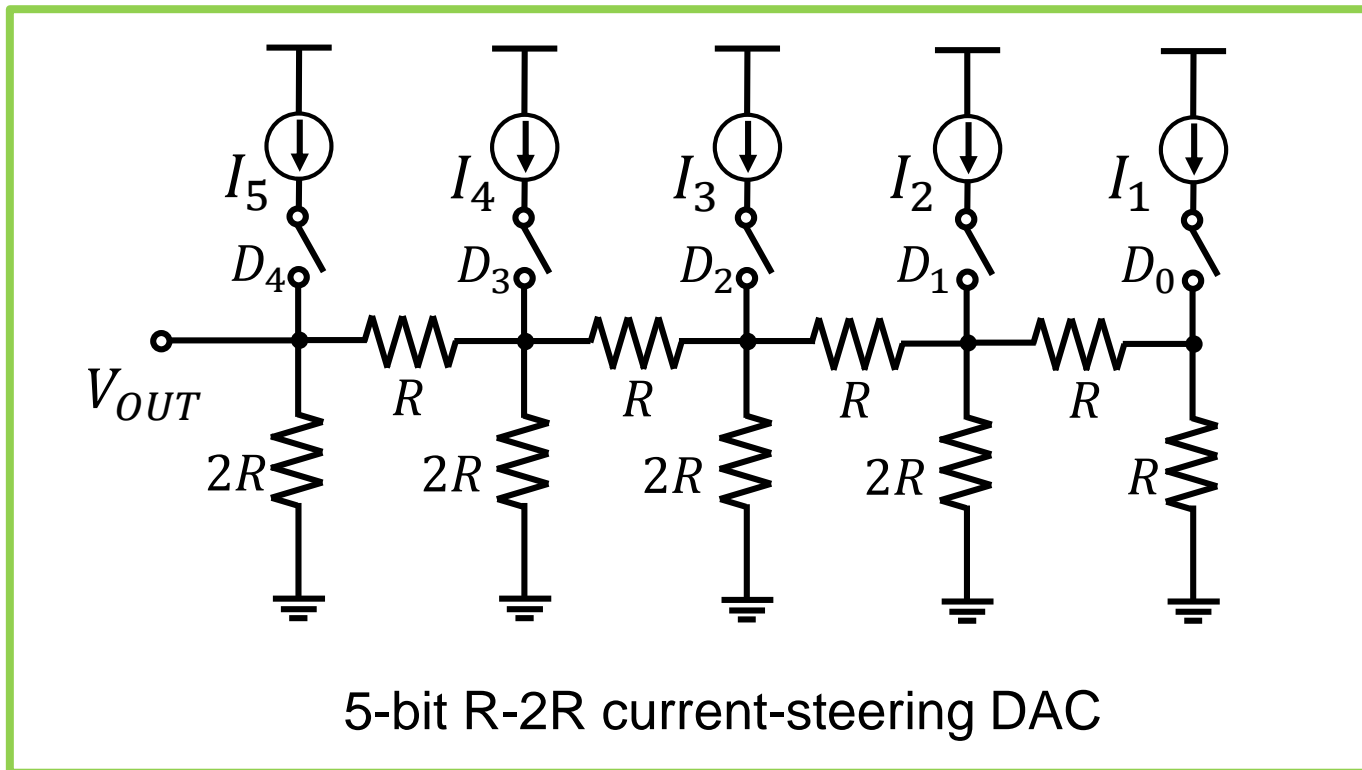
- 背景と目的
- N進抵抗ラダーDAC
  - 構成と例
- 素子ばらつきによるDNL劣化の解析
  - 数式による出力電圧誤差の見積もり
  - N進DACへの適用
- シミュレーションによる検討
- まとめ

# アウトライン

- 背景と目的
- N進抵抗ラダーDAC
  - 構成と例
- 素子ばらつきによるDNL劣化の解析
  - 数式による出力電圧誤差の見積もり
  - N進DACへの適用
- シミュレーションによる検討
- まとめ

# 背景

- 電流モード R-2R DAC
  - 電流源による比較的高速な動作
  - R-2R 抵抗ラダー …… デコーダが不要



# 背景・目的

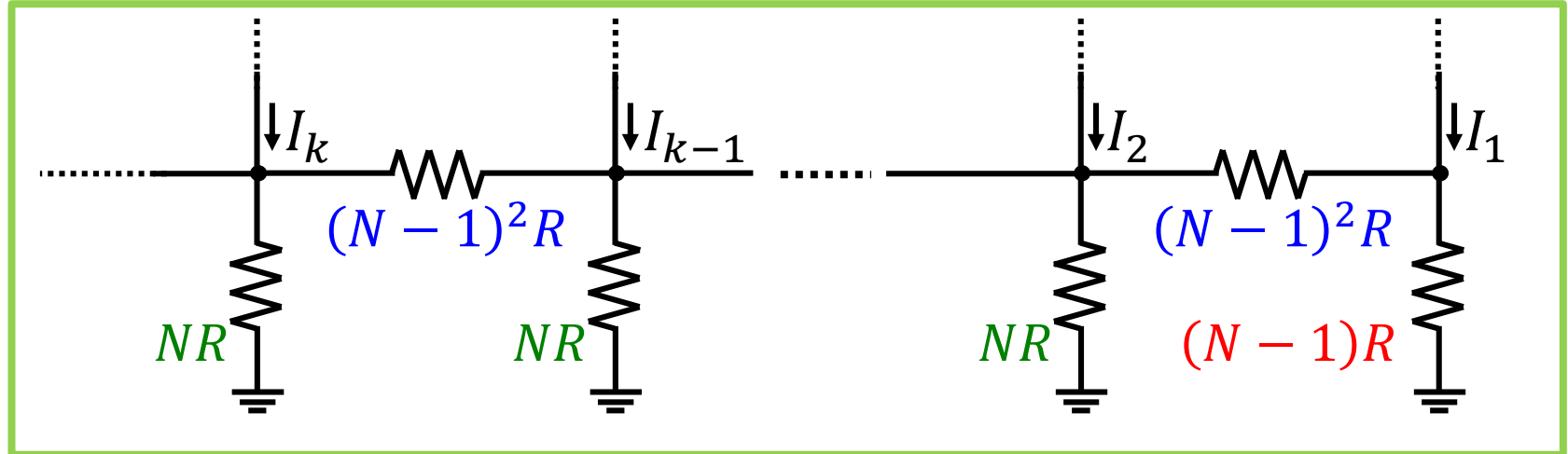
- 電流モード R-2R DACの問題点
  - 分解能の増加 ⇒ 線形性の劣化
  - 原因
    - 回路中の電流源と抵抗のミスマッチ
- これまでの検討内容
  - 「N進抵抗ラダー」を用いたDAC構成
    - ⇒ 電流を非2進に分流する抵抗ラダーを用いる
- 目的
  1. N進抵抗ラダーDACにおける線形性劣化傾向を明らかにし、
  2. 自己校正や量産テストの手法開発に役立てる

# アウトライン

- 背景と目的
- **N進抵抗ラダーDAC**
  - 構成と例
- 素子ばらつきによるDNL劣化の解析
  - 数式による出力電圧誤差の見積もり
  - N進DACへの適用
- シミュレーションによる検討
- まとめ

# N進抵抗ラダー

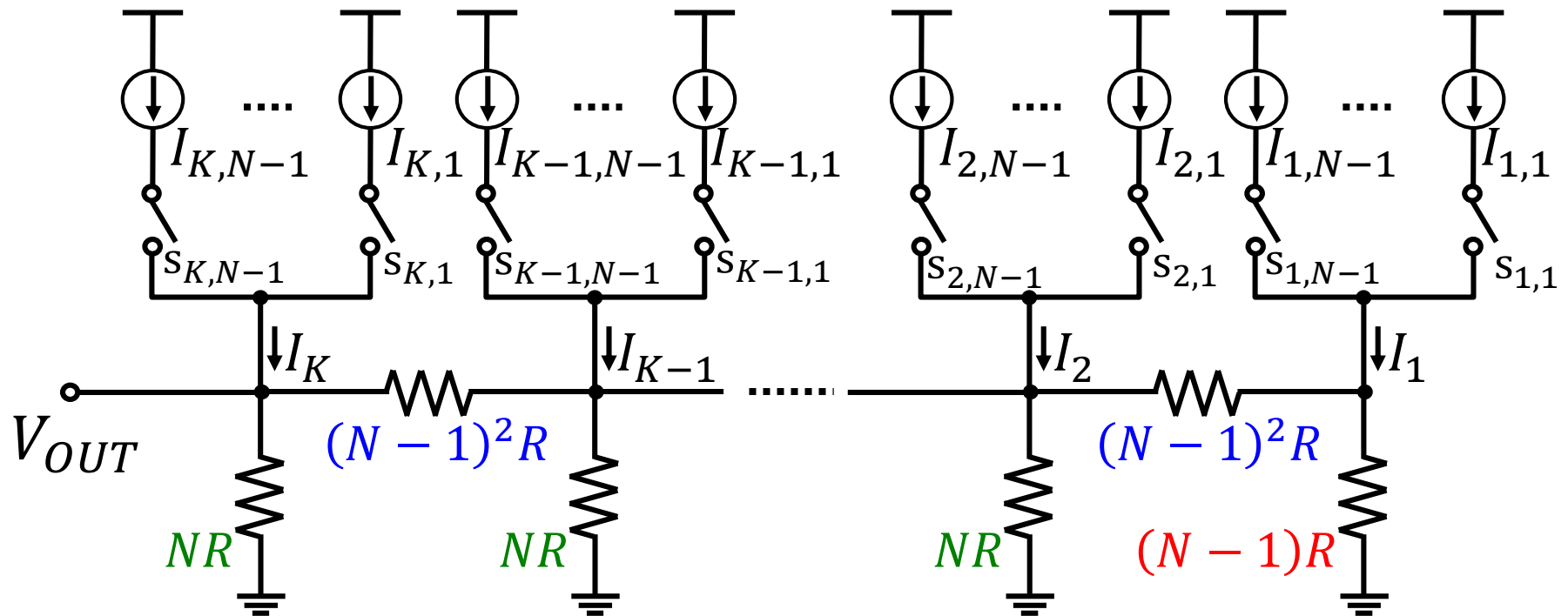
## • N進抵抗ラダー



- 電流をR-2Rラダーとは異なる比に分流
- ラダーの抵抗比は  $N : (N-1)^2$   
終端の抵抗  $(N-1)R$
- $N=2$ の場合、R-2R ラダー

(4) M. Hirai, S. Yamamoto, H. Arai, A. Kuwana, H. Tanimoto, Y. Gendai, H. Kobayashi, "Systematic Construction of Resistor Ladder Network for N-ary DACs", IEEE ASICON (Oct. 2019)

# N進抵抗ラダーDACの構成



$N$  : 電流分割比

$K$  : ラダー段数

$I_j$  :  $j$  番目ノードに流し込まれる電流

$R$  : 単位抵抗

$I$  : 単位電流

- $N = 2$  の場合  $\Rightarrow$   **$K$ -bit R-2R DAC**



# 出力電圧と出力ステップ数

- 出力電圧

$$V_{\text{OUT}}(I_1, \dots, I_K, R, N, K) = (N - 1)R \sum_{j=1}^K \left( \frac{I_j}{N^{K-j}} \right)$$

- 出力電圧最大値

$$V_{\text{MAX}}(I, R, N, K) = RI \cdot N(N - 1) \cdot \left( 1 - \frac{1}{N^K} \right)$$

- 出力電圧最小ステップ

$$V_{\text{MIN}}(I, R, N, K) = (N - 1)RI \cdot \frac{1}{N^{K-1}}$$

- 出力電圧数  $N^K - 1$

$N$  : 電流分割比

$K$  : ラダ一段数

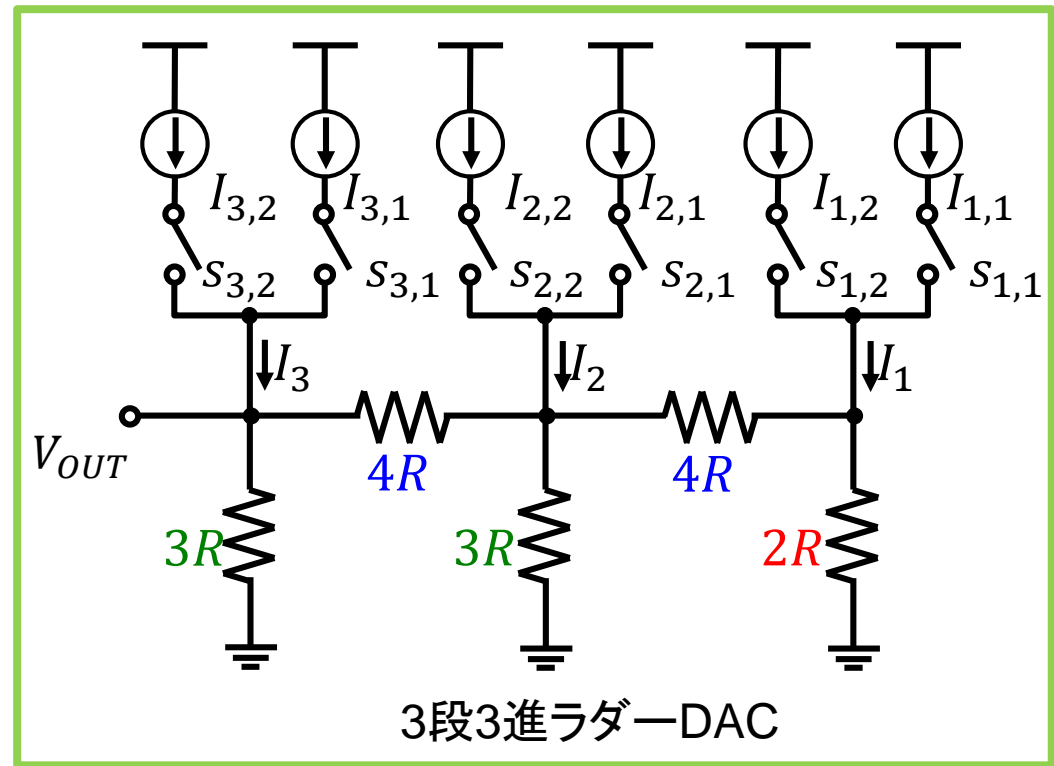
$I_j$  :  $j$  番目ノードに流し込まれる電流

$R$  : 単位抵抗

$I$  : 単位電流

# 構成例 $N = 3$ , 3進ラダー-DAC

- ラダー抵抗比  
 $4R : 3R : 2R$
- 出力電圧ステップ数  
 $N^K - 1$   
 $= 3^3 - 1 = 26$  段階
- 出力電圧

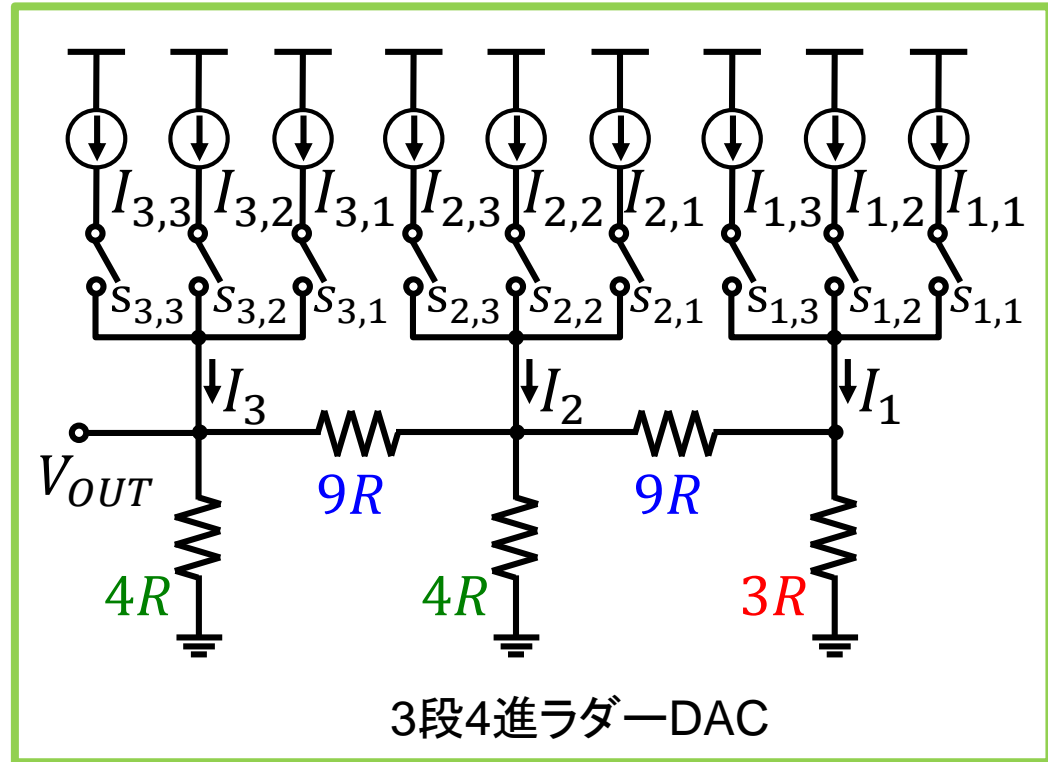


$$V_{OUT}(I_1, I_2, I_3, R) = 2R \left( I_3 + \frac{1}{3^1} I_2 + \frac{1}{3^2} I_1 \right)$$

各段の  $I_j \rightarrow$  出力に対して3倍ずつの重みをもつ

# 構成例 $N = 4$ , 4進ラダー-DAC

- ラダー抵抗比  
 $9R : 4R : 3R$
- 出力電圧ステップ数  
 $N^K - 1$   
 $= 4^3 - 1 = 63$  段階
- 出力電圧



$$V_{OUT}(I_1, I_2, I_3, R) = 3R \left( I_3 + \frac{1}{4^1} I_2 + \frac{1}{4^2} I_1 \right)$$

各段の  $I_j$  → 出力に対して4倍ずつの重みをもつ

# アウトライン

- 背景と目的
- N進抵抗ラダーDAC
  - 構成と例
- 素子ばらつきによるDNL劣化の解析
  - 数式による出力電圧誤差の見積もり
  - N進DACへの適用
- シミュレーションによる検討
- まとめ

# R-2R DACのDNL解析 先行研究

## [先行研究]電流モード R-2R DACのDNL解析

1. 単位抵抗と電流源にばらつきを仮定
2. 出力電圧の誤差を、抵抗ばらつき起因と電流ばらつき起因に分割  
(両方のばらつきがかかわる項を無視して近似)
3. それぞれの素子誤差を考慮して $j$ ビット目 $D_j = 1$ の時の出力電圧を表し、誤差を含む各コード出力を得る
4. MSB切り替わり時の出力電圧誤差を求め、 $DNL \leq 0.5 \text{ LSB}$ になるためのマッチングを求める
5. シミュレーション結果と比較

[3] C. Chen, N. Lu, "Nonlinearity analysis of R-2R Ladder-Based Current-Steering Digital to Analog Converter,"  
IEEE International Symposium on Circuits and Systems (May 2013)

# R-2R DACのDNL解析 先行研究

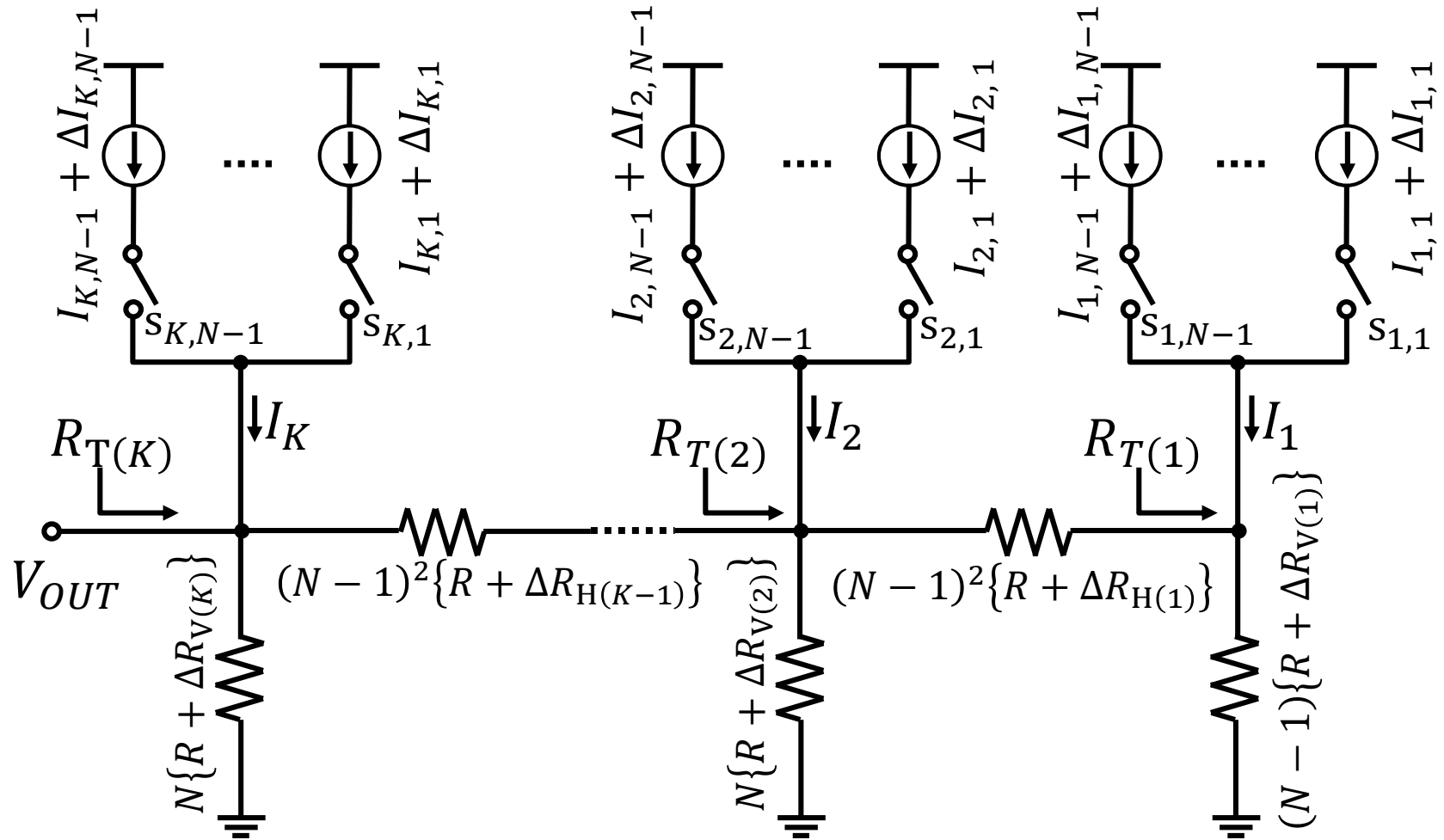
## [先行研究]電流モード R-2R DACのDNL解析

1. 単位抵抗と電流源にばらつきを仮定
2. 出力電圧の誤差を、抵抗ばらつき起因と電流ばらつき起因に分割  
(両方のばらつきがかかわる項を無視して近似)
3. それぞれの素子誤差を考慮して $j$ ビット目 $D_j = 1$ の時の出力電圧を表し、誤差を含む各コード出力を得る
4. MSB切り替わり時の出力電圧誤差を求め、 $DNL \leq 0.5$  LSBになるためのマッチングを求める
5. シミュレーション結果と比較

[3] C. Chen, N. Lu, "Nonlinearity analysis of R-2R Ladder-Based Current-Steering Digital to Analog Converter,"  
IEEE International Symposium on Circuits and Systems (May 2013)

# 素子ばらつきを仮定

- 単位抵抗と電流源にばらつきを仮定した回路図



# 出力電圧誤差の見積もり

- ある入力コードにおける出力電圧  
 $\Rightarrow s_{j,i}$  導通時の出力電圧を入力コードに応じて加算
- $j$  番目ノードにのみ電流が流されている場合

$$V_{OUT}|_{s_{j,i}=1} = (I + \Delta I_{j,i}) \cdot \left\{ \frac{R(N-1)}{N^{K-i}} + f(\Delta R_{s_{j,i}}) \right\}$$

$$\cong \underbrace{\frac{N-1}{N^{K-i}} RI}_{\text{-----}} + \underbrace{\frac{(N-1)R}{N^{K-i}} \cdot \Delta I_{j,i}}_{\text{-----}} + \underbrace{f(\Delta V_R)}_{\text{-----}}$$

- 素子のばらつきがない場合の出力電圧
- 電流のばらつきに起因する出力電圧誤差
- 抵抗のばらつきに起因する出力電圧誤差

$\Delta I_{j,i}$  は  $N^{K-i}$  で効く

この項を詳しく  
求める必要あり

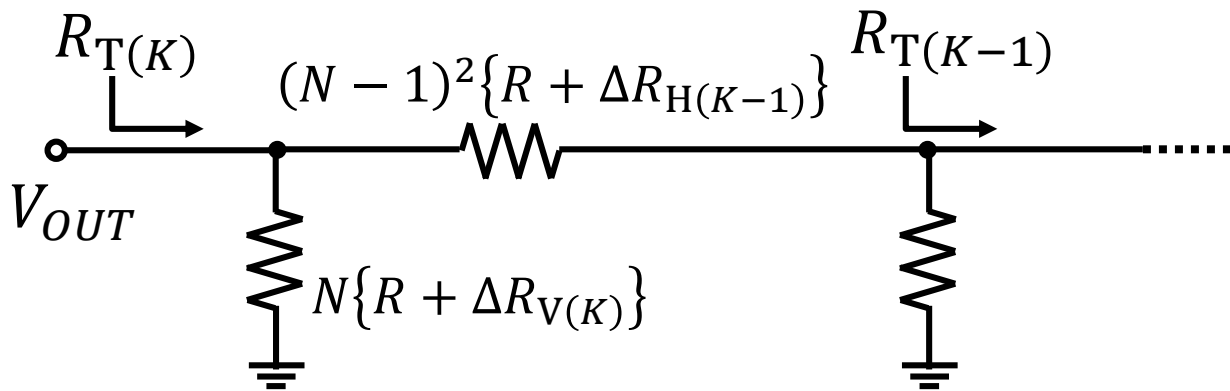
※第4項  $\Delta I_{j,i} \cdot f(\Delta R_{s_{j,i}})$  は

出力への寄与が小さいものとして無視



# 誤差を考慮した $R_{T(K)}$

- $R_{T(K)}$ を  $N$ ,  $R$ ,  $\Delta R_{V(K)}$ ,  $\Delta R_{H(K-1)}$ ,  $\Delta R_{T(K-1)}$  で表示



$$R_{T(K)} = \frac{\{N(R + \Delta R_{V(K)})\}}{\{(N-1)^2(R + \Delta R_{H(K-1)}) + (N-1)R + \Delta R_{T(K-1)}\}}$$

$$= \frac{N(R + \Delta R_{V(K)})\{(N-1)^2(R + \Delta R_{H(K-1)}) + (N-1)R + \Delta R_{T(K-1)}\}}{N^2R + N\Delta R_{V(K)} + (N-1)^2\Delta R_{H(K-1)} + \Delta R_{T(K-1)}}$$

誤差どうしの積を無視

$$\approx \frac{NR\{N(N-1)R + N(N-1)\Delta R_{V(K)} + (N-1)^2\Delta R_{H(K-1)} + \Delta R_{T(K-1)}\}}{N^2R + N\Delta R_{V(K)} + (N-1)^2\Delta R_{H(K-1)} + \Delta R_{T(K-1)}}$$

# 誤差を考慮した $R_{T(K)}$

- $x \ll 1$ の時のテイラー展開1次項までの近似式  
 $1/(1+x) \cong 1-x$  を用いて近似

$$R_{T(K)} = \frac{(N-1)R + (N-1)\Delta R_{V(K)} + \frac{(N-1)^2}{N}\Delta R_{H(K-1)} + \frac{\Delta R_{T(K-1)}}{N}}{1 + \frac{N\Delta R_{V(K)}}{N^2R} + \frac{(N-1)^2\Delta R_{H(K-1)}}{N^2R} + \frac{\Delta R_{T(K-1)}}{N^2R}}$$

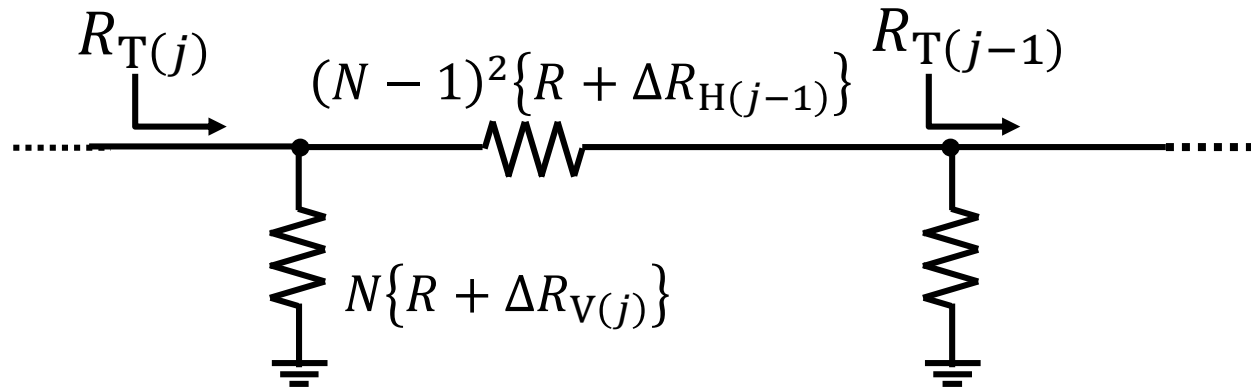
この部分を $x$ として、テイラー展開で近似

$$\cong \left\{ (N-1)R + (N-1)\Delta R_{V(K)} + \frac{(N-1)^2}{N}\Delta R_{H(K-1)} + \frac{\Delta R_{T(K-1)}}{N} \right\} \\ \times \left\{ 1 - \frac{\Delta R_{V(K)}}{NR} - \frac{(N-1)^2\Delta R_{H(K-1)}}{N^2R} - \frac{(N-1)\Delta R_{T(K-1)}}{N^2R} \right\}$$

$$\cong (N-1)R + \frac{(N-1)^2}{N} \cdot \Delta R_{V(K)} + \frac{(N-1)^2}{N^2} \cdot \Delta R_{H(K-1)} + \frac{1}{N^2} \cdot \Delta R_{T(K-1)}$$

# 抵抗誤差を考慮した $V_{OUT}|_{s_{K,i}=1}$

- 同様の手順で、 $j$ 番目のノードから見込んだ抵抗  $R_{T(j)}$  を近似



$$R_{T(j)} \cong (N-1)R + \frac{(N-1)^2}{N} \cdot \Delta R_{V(j)} + \frac{(N-1)^2}{N^2} \cdot \Delta R_{H(j-1)} + \frac{1}{N^2} \cdot \Delta R_{T(j-1)}$$

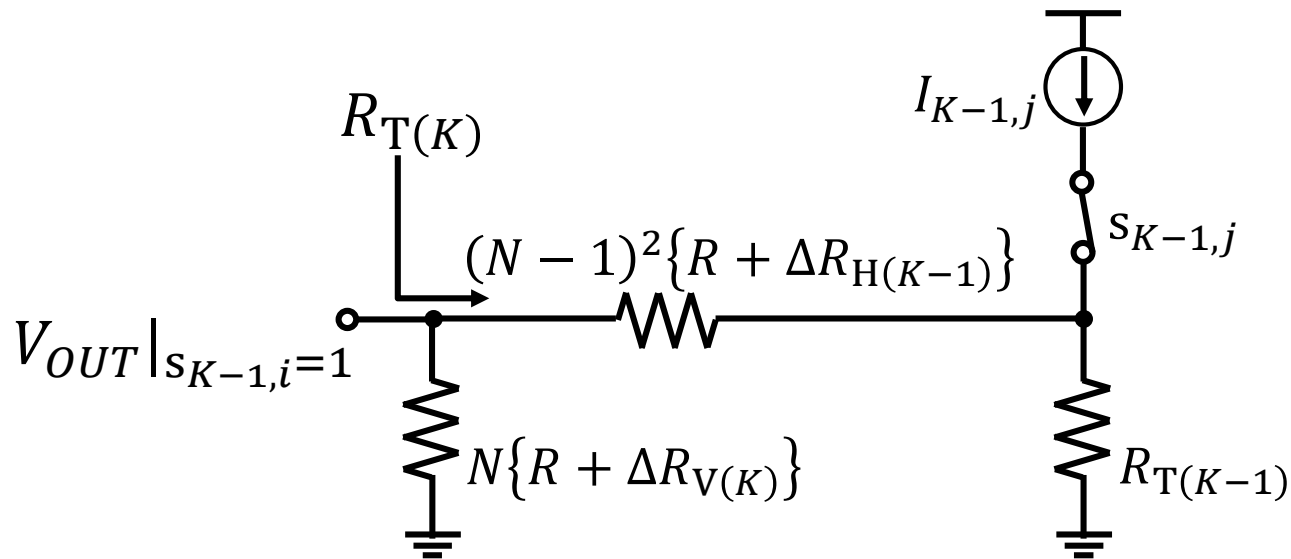
- $K$ 番目のノードに電流  $I_{K,i}$  を流し込んだ時の出力電圧

$$V_{OUT}|_{s_{K,i}=1} = I_{K,i} \cdot \underline{R_{T(K)}}$$

- $R_{T(j)}$  を用いて  $R_{T(K)}$  を展開  
すべての  $\Delta R_{V(j)}$  と  $\Delta R_{H(j)}$  を用いて、誤差を含む出力を表せる

# $S_{K-1,j} = 1$ での出力電圧

- $K - 1$  番目ノードに電流を流し込んだ時の出力電圧



$$\begin{aligned}
 & V_{OUT} |_{s_{K-1,i}=1} \\
 &= I_{K-1,i} \cdot \frac{R_{T(K-1)} \cdot R_{V(K)}}{R_{V(K)} + R_{H(K-1)} + R_{T(K-1)}} \\
 &= \frac{I_{K-1,i} \cdot \{(N-1)R + \Delta R_{T(K-1)}\} \cdot \{N(R + \Delta R_{V(K)})\}}{(N-1)R + \Delta R_{T(K-1)} + N(R + \Delta R_{V(K)}) + (N-1)^2(R + \Delta R_{H(K-1)})}
 \end{aligned}$$

# $V_{OUT}|_{s_{K-1,i}=1}$ の近似

誤差どうしの積を無視

$$V_{OUT}|_{s_{K-1,i}=1} \cong \frac{I_{K-1,i} \{N(N-1)R + NR\Delta R_{T(K-1)} + N(N-1)R\Delta R_{V(K)}\}}{N^2R + \Delta R_{T(K-1)} + N\Delta R_{V(K)} + (N-1)^2\Delta R_{H(K-1)}}$$

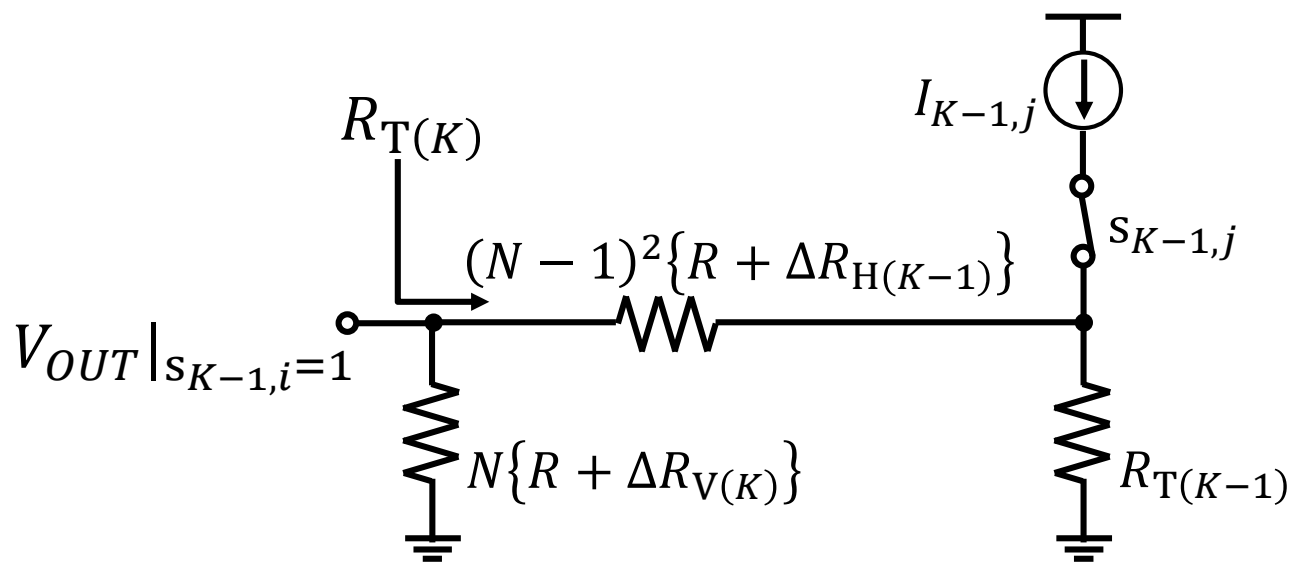
$$= \frac{I_{K-1,i} \left\{ \frac{(N-1)R}{N} + \frac{\Delta R_{T(K-1)}}{N} + \frac{(N-1)\Delta R_{V(K)}}{N} \right\}}{1 + \frac{\Delta R_{T(K-1)}}{N^2R} + \frac{N\Delta R_{V(K)}}{N^2R} + \frac{(N-1)^2\Delta R_{H(K-1)}}{N^2R}}$$

テイラー展開を用いて近似

$$\cong I_{K-1,i} \cdot \left\{ \frac{(N-1)R}{N} + \frac{\Delta R_{T(K-1)}}{N} + \frac{(N-1)\Delta R_{V(K)}}{N} \right\} \\ \times \left\{ 1 - \frac{\Delta R_{T(K-1)}}{N^2R} - \frac{N\Delta R_{V(K)}}{N^2R} - \frac{(N-1)^2\Delta R_{H(K-1)}}{N^2R} \right\}$$

# 抵抗誤差を含んだ $V_{OUT}|_{s_{K-1,i}=1}$

- 抵抗の誤差を考慮して近似した  $V_{OUT}|_{s_{K-1,i}=1}$

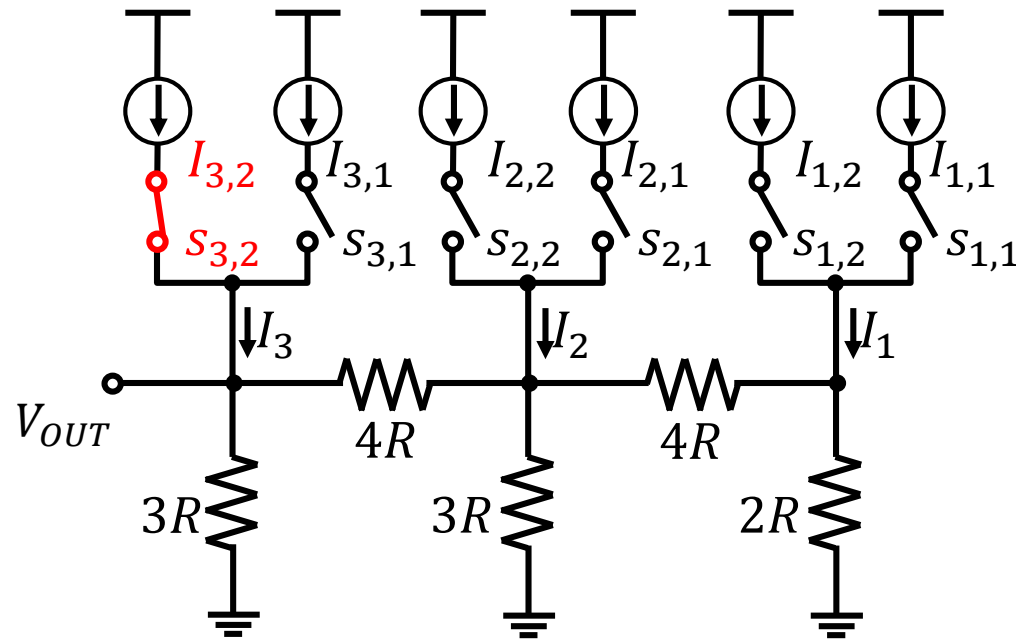


$$V_{OUT}|_{s_{K-1,i}=1} \cong I_{K-1,j}$$

$$\cdot \left\{ \frac{N-1}{N} R + \frac{(N-1)^2}{N^2} \Delta R_{V(K)} + \frac{N^2 - N + 1}{N^3} \Delta R_{T(K-1)} - \frac{(N-1)^3}{N^3} \Delta R_{H(K-1)} \right\}$$

ある  $s_{j,i}$  導通時の電圧  $\rightarrow$  コードごとの誤差を含む出力電圧

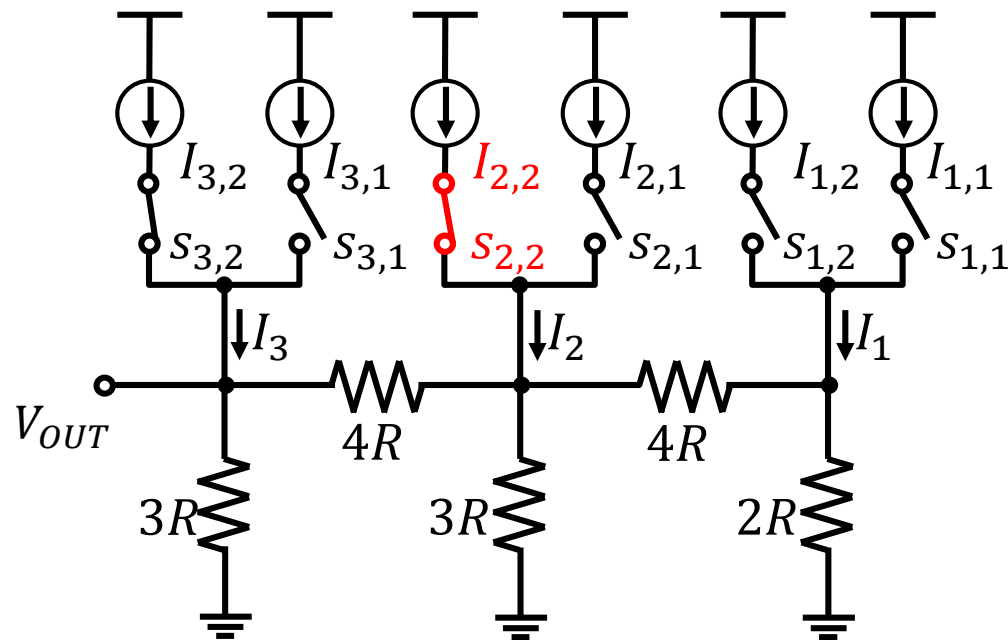
# 3段3進ラダーDAC, $s_{3,i} = 1$



$$V_{OUT}|_{s_{3,i}=1} \cong I_{3,i} \cdot \left\{ 2R + \frac{4\Delta R_{V(3)}}{3} + \frac{4\Delta R_{H(2)}}{9} + \frac{\Delta R_{T(2)}}{9} \right\}$$

$$\cong I_{3,i} \cdot \left\{ 2R + \frac{4\Delta R_{V(3)}}{3} + \frac{4\Delta R_{H(2)}}{9} + \frac{4\Delta R_{V(2)}}{27} + \frac{4\Delta R_{H(2)}}{81} + \frac{2\Delta R_{V(1)}}{81} \right\}$$

# 3段3進ラダーDAC, $s_{2,i} = 1$

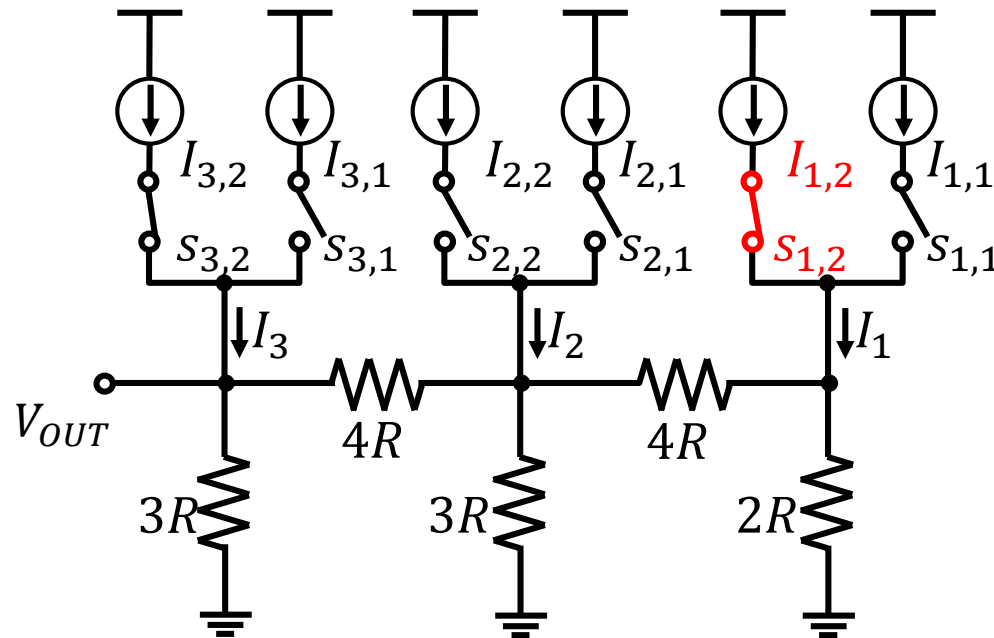


$$V_{OUT}|_{s_{2,i}=1} \cong I_{2,i} \cdot \left\{ \frac{2R}{3} + \frac{4\Delta R_{V(3)}}{9} - \frac{8\Delta R_{H(2)}}{27} + \frac{7\Delta R_{T(2)}}{27} \right\}$$

$$\cong I_{2,i} \cdot \left\{ \frac{2R}{3} + \frac{4\Delta R_{V(3)}}{9} - \frac{8\Delta R_{H(2)}}{27} + \frac{28\Delta R_{V(2)}}{81} + \frac{28\Delta R_{H(1)}}{243} + \frac{14\Delta R_{V(1)}}{243} \right\}$$



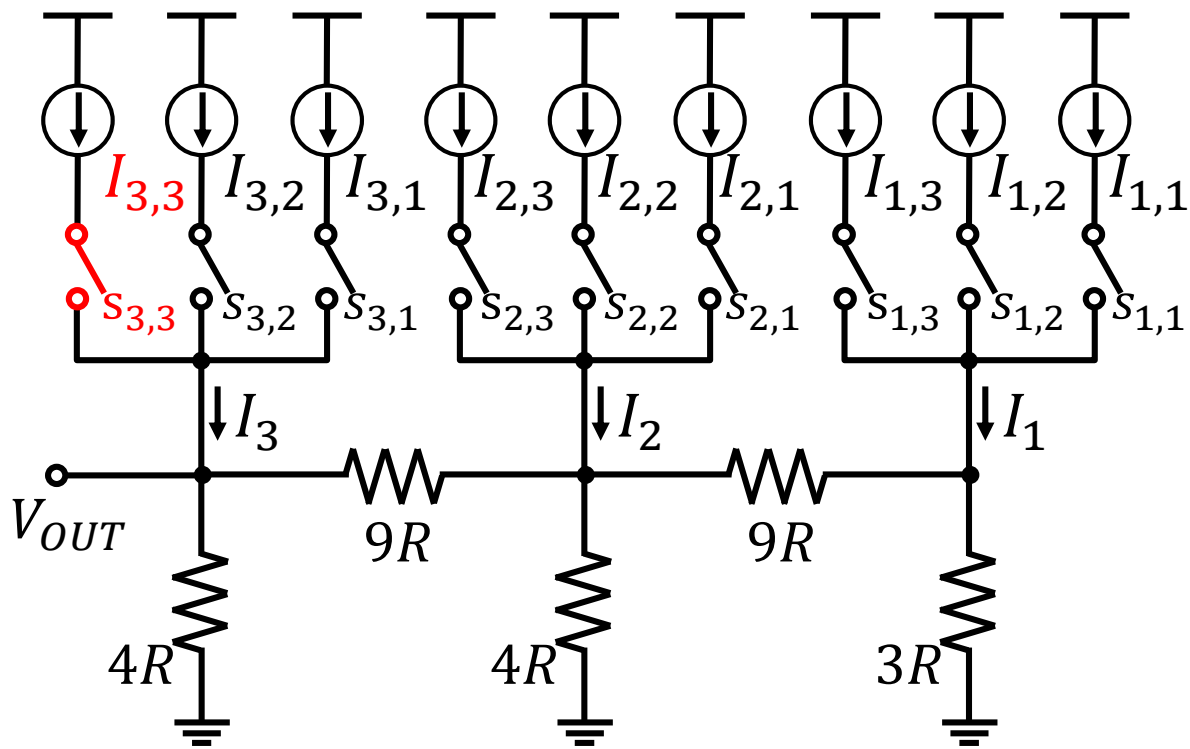
# 3段3進ラダーDAC, $s_{1,i} = 1$



$$V_{OUT}|_{s_{1,i}=1} \cong$$

$$I_{1,j} \cdot \left\{ \frac{2R}{9} + \frac{4\Delta R_{V(3)}}{27} - \frac{8\Delta R_{H(2)}}{81} + \frac{28\Delta R_{V(2)}}{243} - \frac{80\Delta R_{H(1)}}{729} + \frac{122\Delta R_{V(1)}}{729} \right\}$$

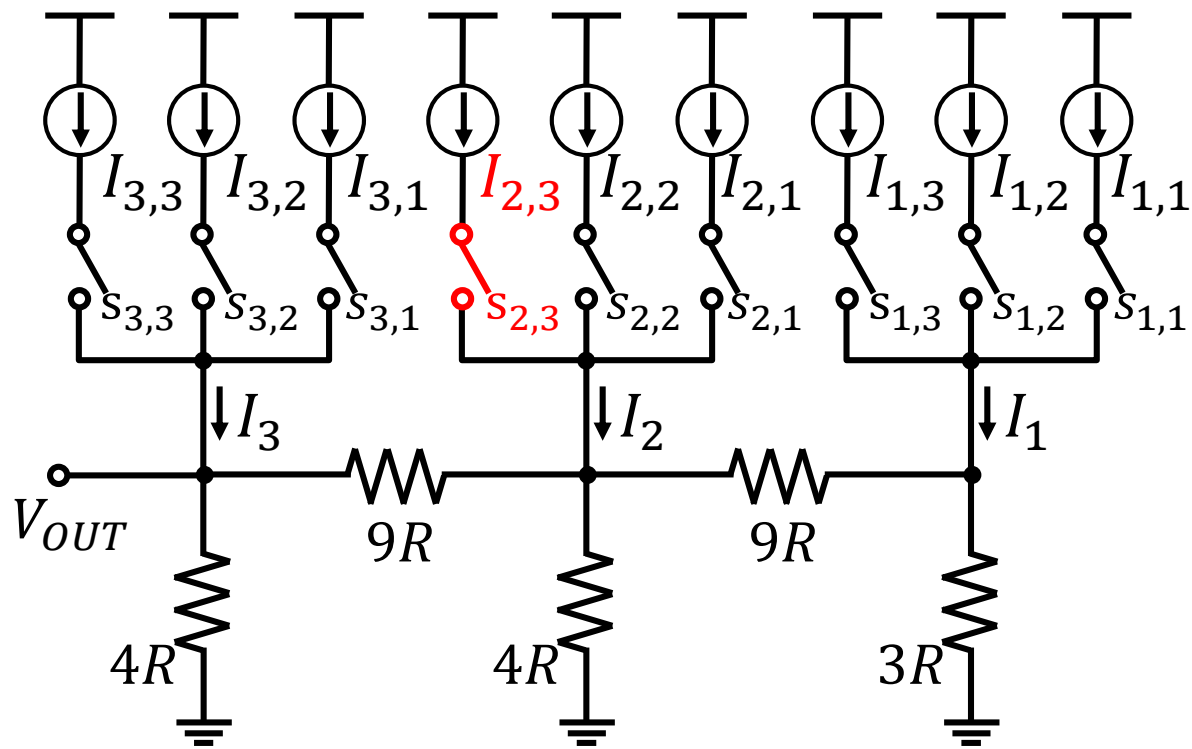
# 3段4進ラダーDAC, $s_{3,i} = 1$



$$V_{OUT}|_{s_{3,i}=1} \cong I_{3,i} \cdot \left\{ 3R + \frac{9\Delta R_{V(3)}}{4} + \frac{9\Delta R_{H(2)}}{16} + \frac{\Delta R_{T(2)}}{16} \right\}$$

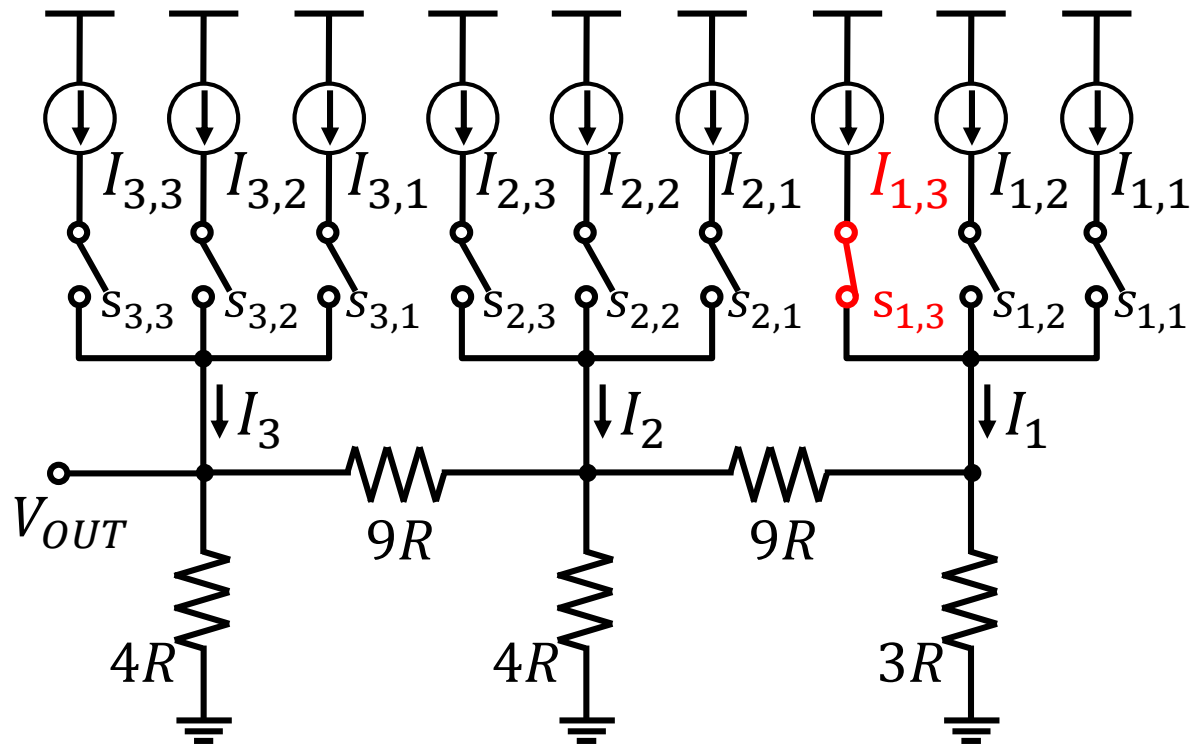
$$\cong I_{3,i} \cdot \left\{ 3R + \frac{9\Delta R_{V(3)}}{4} + \frac{9\Delta R_{H(2)}}{16} + \frac{9\Delta R_{V(2)}}{64} + \frac{9\Delta R_{H(2)}}{256} + \frac{3\Delta R_{V(1)}}{256} \right\}$$

# 3段4進ラダーDAC, $s_{2,i} = 1$



$$\begin{aligned}
 V_{OUT}|_{s_{2,i}=1} &\cong I_{2,i} \cdot \left( \frac{3R}{4} + \frac{3\Delta R_{V(3)}}{9} - \frac{27\Delta R_{H(2)}}{64} + \frac{13\Delta R_{T(2)}}{64} \right) \\
 &\cong I_{2,i} \cdot \left\{ \frac{3R}{4} + \frac{3\Delta R_{V(3)}}{9} - \frac{27\Delta R_{H(2)}}{64} + \frac{17\Delta R_{V(2)}}{256} + \frac{117\Delta R_{H(1)}}{1024} + \frac{39\Delta R_{V(1)}}{1024} \right\}
 \end{aligned}$$

# 3段4進ラダーDAC, $s_{1,i} = 1$



$$V_{OUT}|_{s_{1,i}=1}$$

$$\cong I_{1,j} \cdot \left\{ \frac{3R}{16} + \frac{9\Delta R_{V(3)}}{64} - \frac{27\Delta R_{H(2)}}{256} + \frac{117\Delta R_{V(2)}}{1024} - \frac{459\Delta R_{H(1)}}{4096} + \frac{615\Delta R_{V(1)}}{4096} \right\}$$

# アウトライン

- 背景と目的
- N進抵抗ラダーDAC
  - 構成と例
- 素子ばらつきによるDNL劣化の解析
  - 数式による出力電圧誤差の見積もり
  - N進DACへの適用
- シミュレーションによる検討
- まとめ

# DNLの計算

- DNLの定義

$$DNL(n) = \frac{V_{OUT}(n) - V_{OUT}(n-1)}{V_{LSB}} - 1$$

$V_{LSB}$  : 最小の出力電圧の理想値

- DNL標準偏差  $\sigma_{DNL}$

- スライド16における近似

$$V_{OUT}|_{s_{j,i}=1} \cong \frac{N-1}{N^{K-i}} RI + \frac{(N-1)R}{N^{K-i}} \cdot \Delta I_{j,i} + f(\Delta V_R)$$

- 抵抗誤差起因のDNL標準偏差  $\sigma_{DNL\_R}$   
電流誤差起因のDNL標準偏差  $\sigma_{DNL\_I}$ を用いて、

$$\sigma_{DNL}^2 = \sigma_{DNL\_R}^2 + \sigma_{DNL\_I}^2$$

# 3段3進ラダーDACのDNL

- 3段3進ラダーDACについて

$$DNL(9) = \frac{V_{OUT}|_{s_{3,1}=1} - \sum_{i=1}^2 (V_{OUT}|_{s_{2,i}=1} + V_{OUT}|_{s_{1,i}=1})}{V_{LSB}} - 1$$

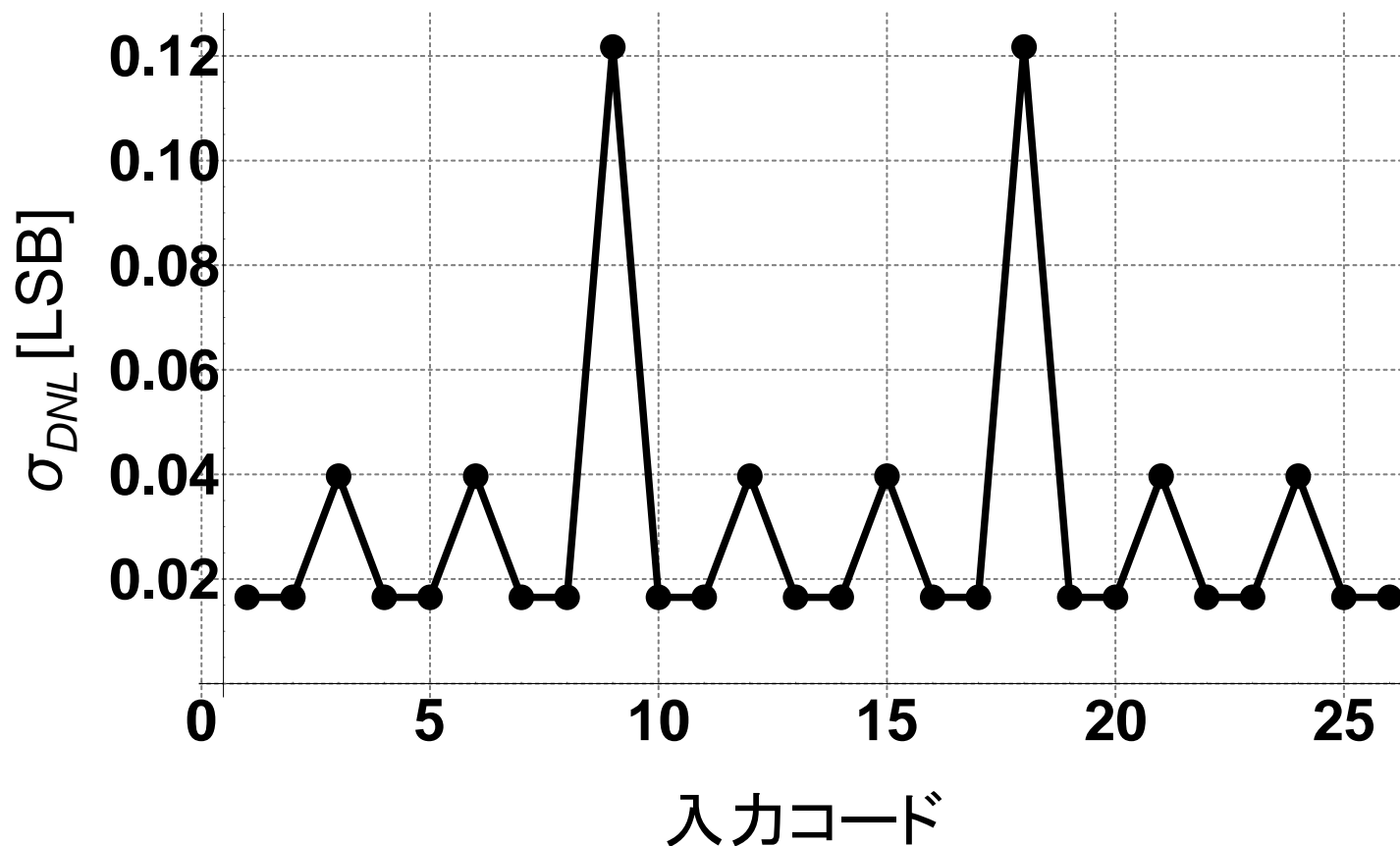
$$DNL(3) = \frac{V_{OUT}|_{s_{2,1}=1} - (V_{OUT}|_{s_{1,1}=1} + V_{OUT}|_{s_{1,2}=1})}{V_{LSB}} - 1$$

$$DNL(1) = \frac{V_{OUT}|_{s_{1,1}=1} - 0}{V_{LSB}} - 1$$

- 単位抵抗と単位電流のばらつき
  - 正規分布
  - 標準偏差 1%

# 3段3進ラダーDAC $\sigma_{DNL}$ 計算結果

- コード9 と 18で $\sigma_{DNL}$ が最大
- 最大 $\sigma_{DNL}$ は2番目に大きい $\sigma_{DNL}$ のおよそ3倍
- 最小 $\sigma_{DNL}$ は2入力について連続で現れる





# 3段4進ラダーDACのDNL

- 3段4進ラダーDACについて

$$DNL(16) = \frac{V_{OUT}|_{s_{3,1}=1} - \sum_{i=1}^3 (V_{OUT}|_{s_{2,i}=1} + V_{OUT}|_{s_{1,i}=1})}{V_{LSB}} - 1$$

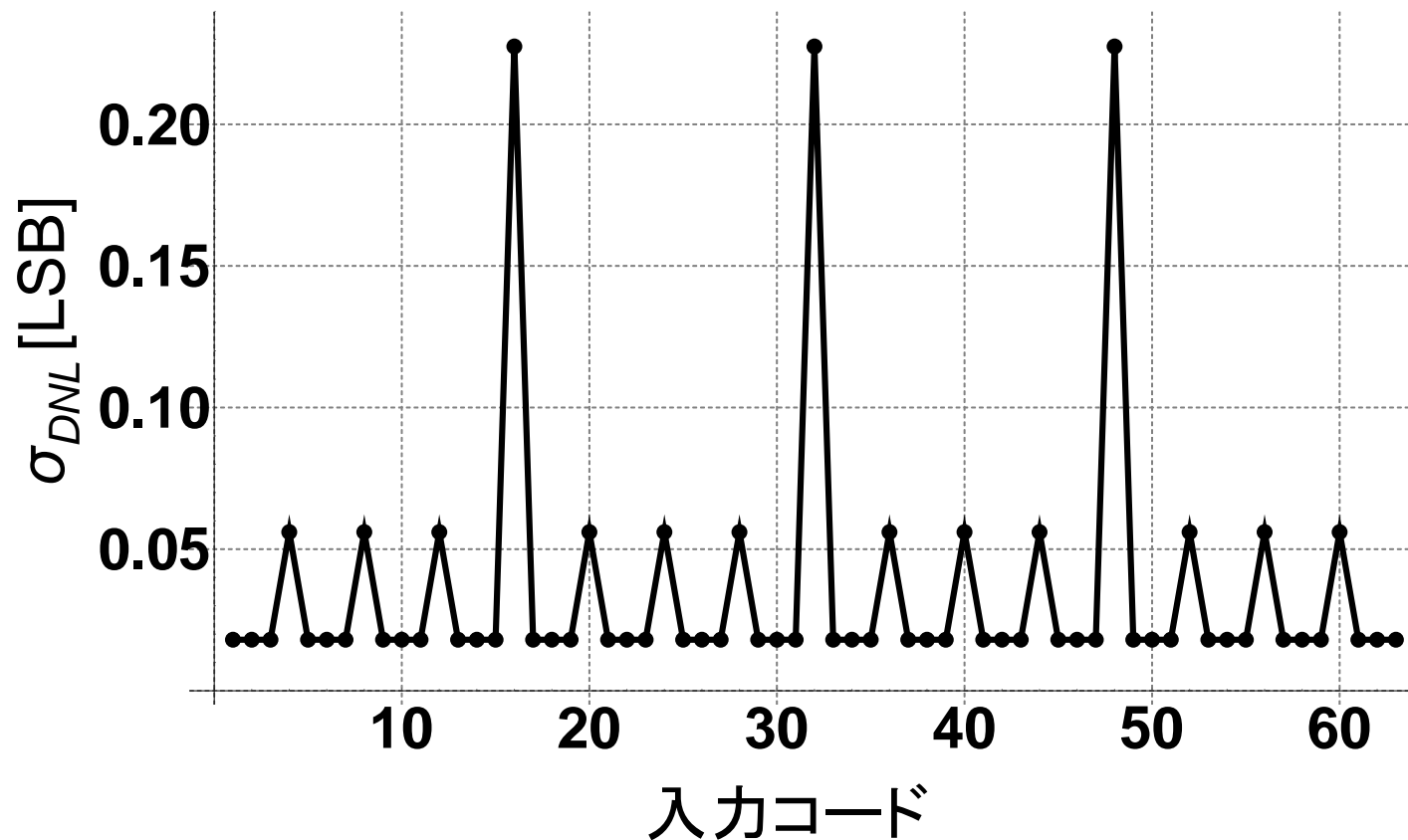
$$DNL(4) = \frac{V_{OUT}|_{s_{2,1}=1} - \sum_{i=1}^3 (V_{OUT}|_{s_{1,i}=1})}{V_{LSB}} - 1$$

$$DNL(1) = \frac{V_{OUT}|_{s_{1,1}=1} - 0}{V_{LSB}} - 1$$

- 単位抵抗と単位電流のばらつき
  - 正規分布
  - 標準偏差 1%

# 3段4進ラダーDAC $\sigma_{DNL}$ 計算結果

- コード16, 32, 48で $\sigma_{DNL}$ が最大
- 最大 $\sigma_{DNL}$ は2番目に大きい $\sigma_{DNL}$ のおよそ4倍
- 最小 $\sigma_{DNL}$ は3入力について連続で現れる

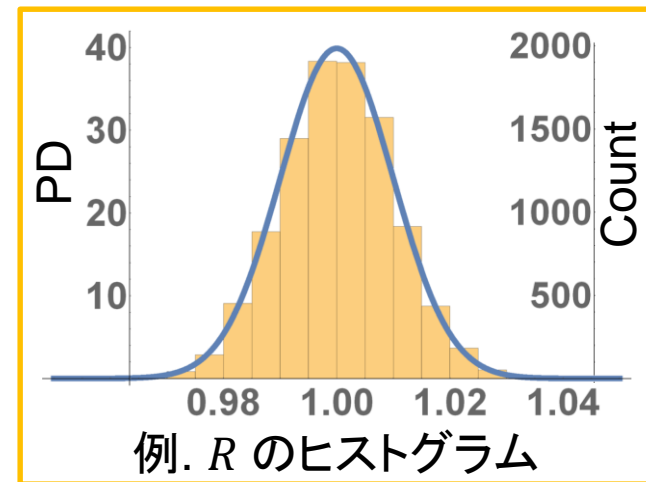


# アウトライン

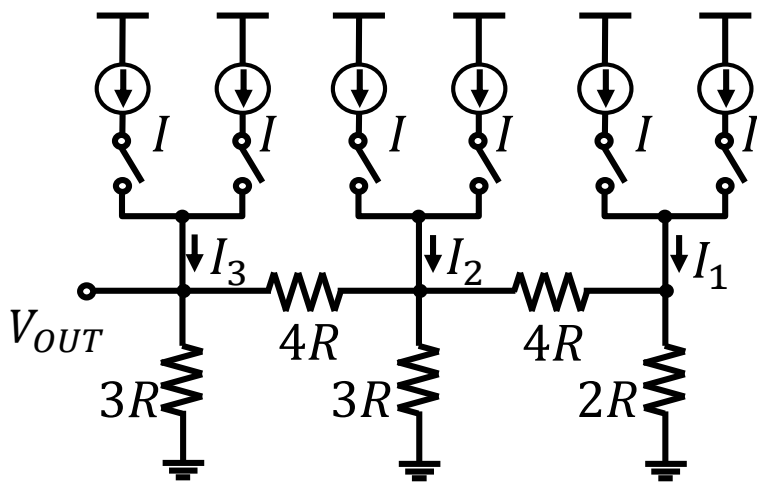
- 背景と目的
- N進抵抗ラダーDAC
  - 構成と例
- 素子ばらつきによるDNL劣化の解析
  - 数式による出力電圧誤差の見積もり
  - N進DACへの適用
- シミュレーションによる検討
- まとめ

# シミュレーション条件

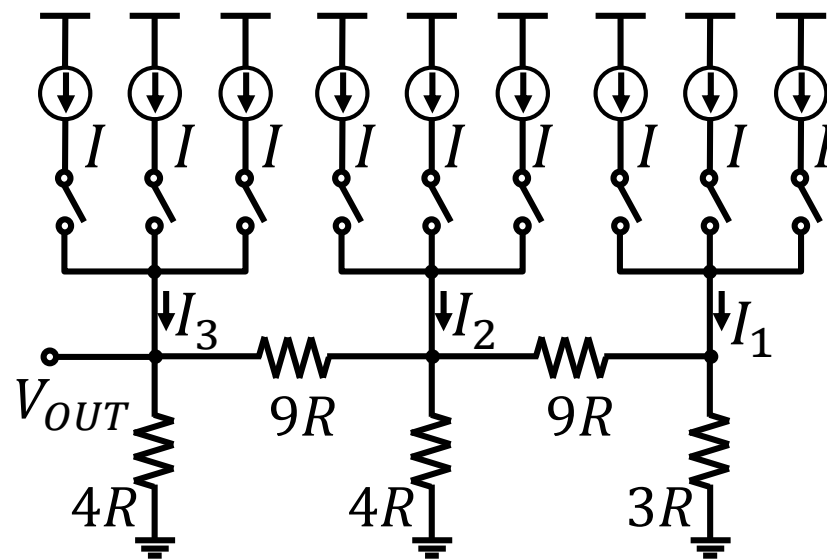
- シミュレーションの条件
  - シミュレーションセット数 **3000回**
  - 単位抵抗 $R$ と単位電流 $I$ に**正規分布のばらつき**を仮定
  - 標準偏差 $\sigma$ は**平均値の1%**



- シミュレーションした回路



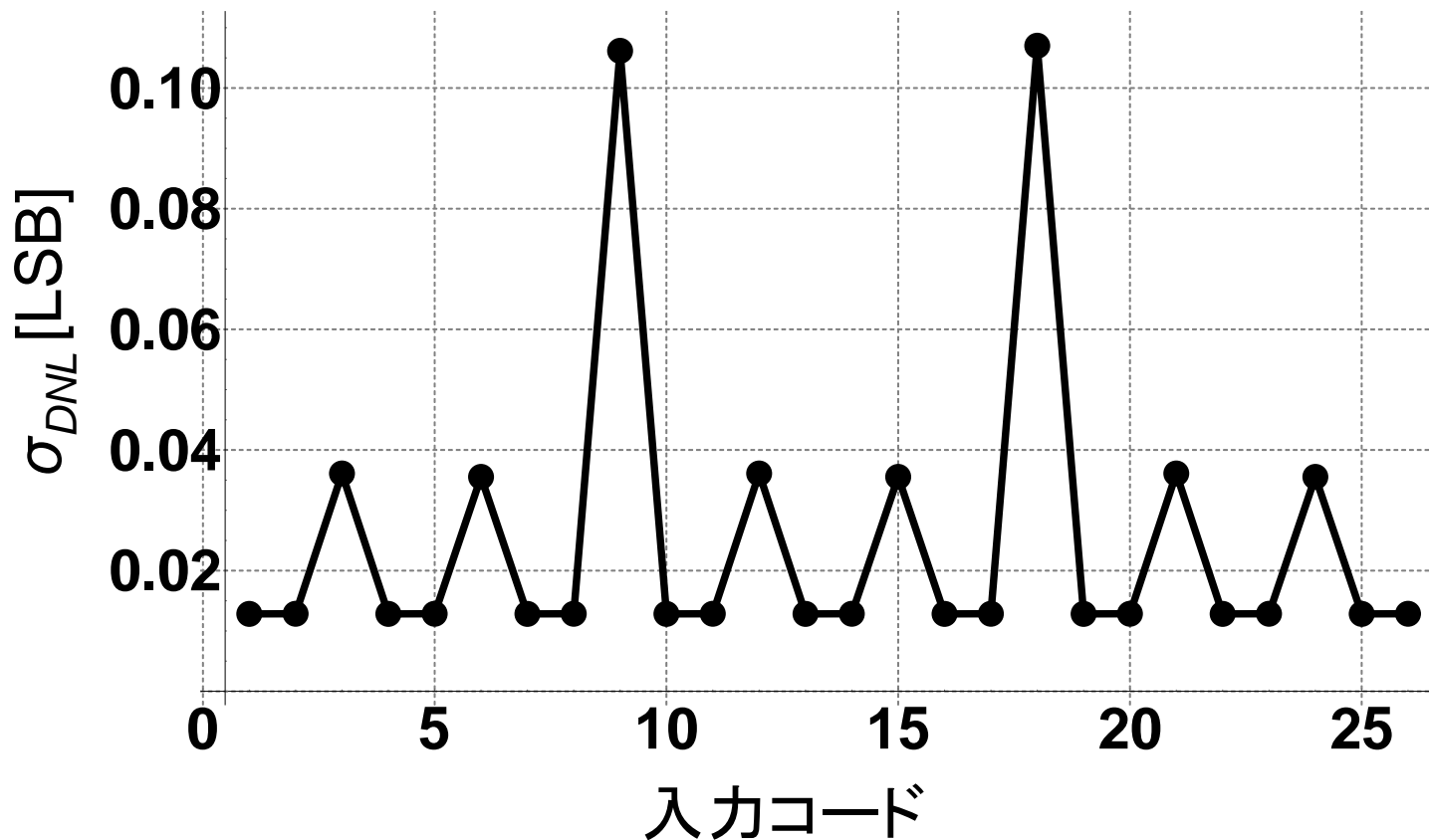
3段3進ラダーDAC



3段4進ラダーDAC

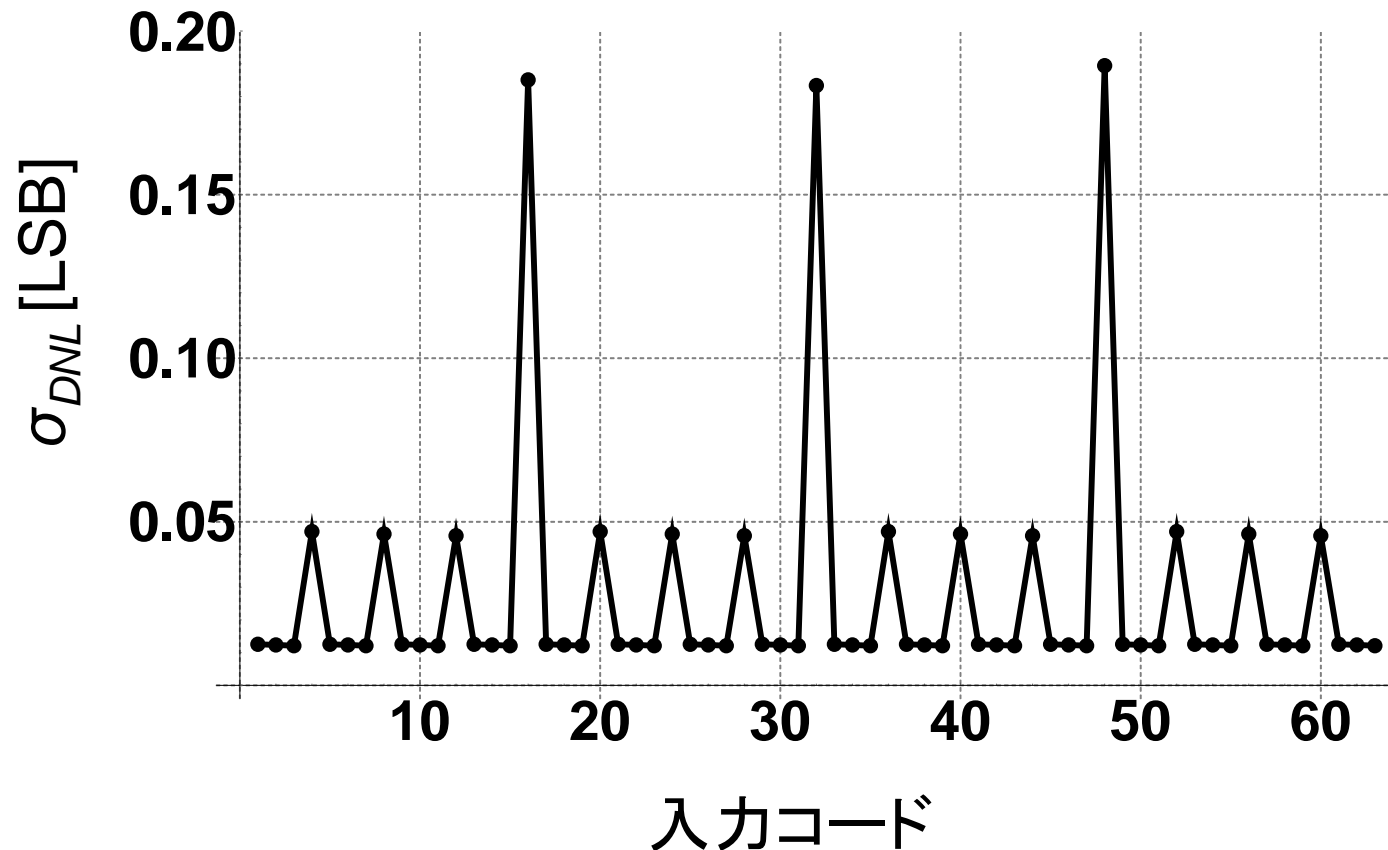
# 3段3進ラダーDAC シミュレーション

- コード9 と 18で $\sigma_{DNL}$ が最大
- 最大 $\sigma_{DNL}$ は2番目に大きい $\sigma_{DNL}$ のおよそ3倍
- 最小 $\sigma_{DNL}$ は2入力について連続で現れる



# 3段4進ラダーDAC シミュレーション

- コード16, 32, 48で $\sigma_{DNL}$ が最大
- 最大 $\sigma_{DNL}$ は2番目に大きい $\sigma_{DNL}$ のおよそ4倍
- 最小 $\sigma_{DNL}$ は3入力について連続で現れる



# アウトライン

- 背景と目的
- N進抵抗ラダーDAC
  - 構成と例
- 素子ばらつきによるDNL劣化の解析
  - 数式による出力電圧誤差の見積もり
  - N進DACへの適用
- シミュレーションによる検討
- まとめ

# まとめ

- 電流非2進比に分流する抵抗ラダーを用いた電流モード DACのDNLの特性について、近似した数式を用いた結果とモンテカルロシミュレーションの結果を示した
  - 抵抗と電流のばらつきを仮定した3進ラダーDACと4進ラダーDAC
  - 3進ラダー: DNLは約1/3ずつ小さくなっていく
  - 4進ラダー: DNLは約1/4ずつ小さくなっていく
- DNLの標準偏差 $\sigma_{DNL}$ はラダーDACの構成に依存した特定のコードで劣化する
  - DNLが劣化する特定コードについて着目し、歩留まりの推定、効果的な自己校正、量産試験アルゴリズムの開発に役立てる



# コメント・Q&A

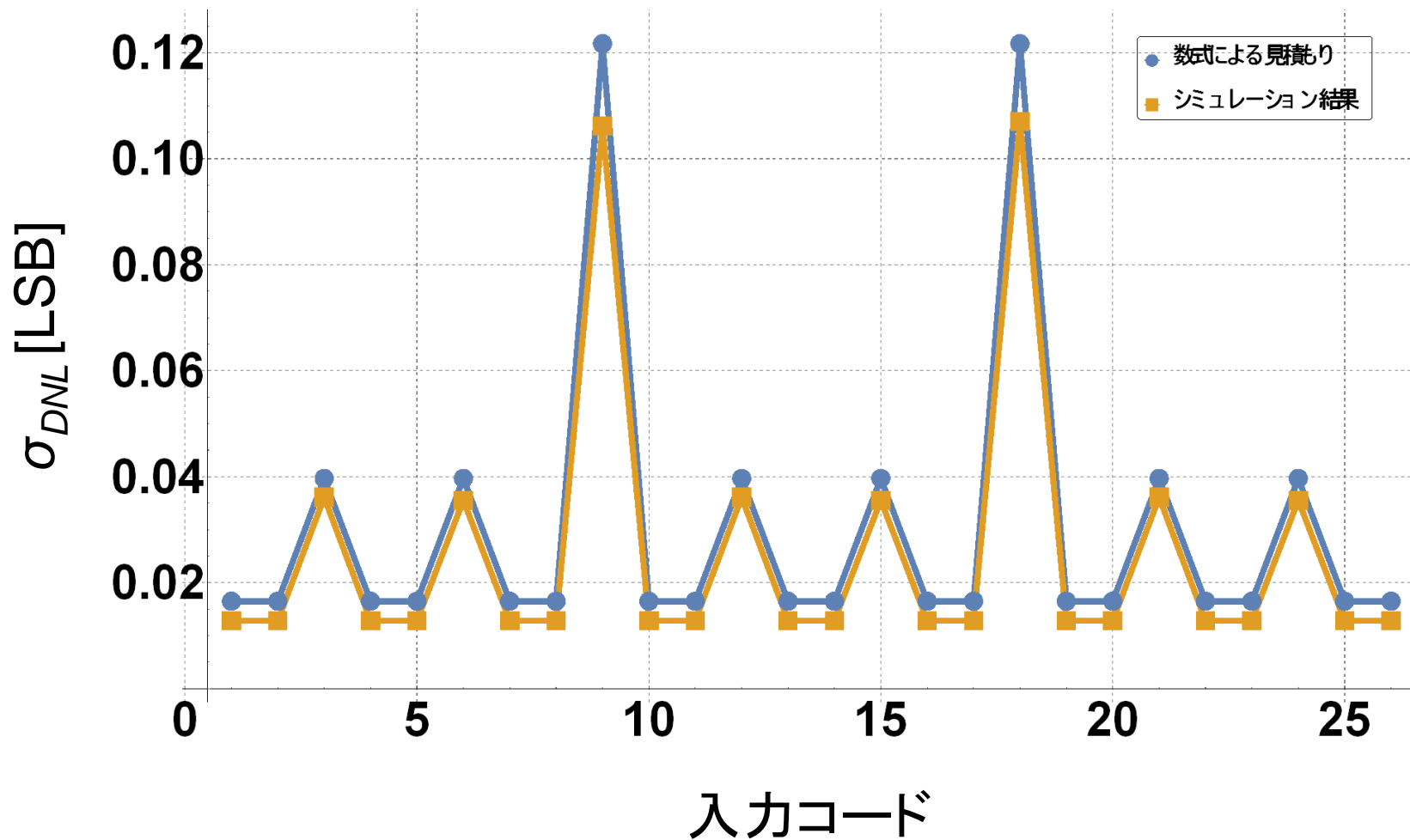
- ラダーの構成を変えて、その構成に応じた境界でDNLが劣化していることを示しているのか。
  - そうです。
  - このままつかうことはあまり現実的ではないとは考えている。(R-2R のデコーダ不要→要デコーダになるなどなど)部分的に構成を変化させて、DNL/コストがよくなるような構成を考えられないかを検討している。
- 「近くの素子のばらつきが小さい」や「素子値が勾配を持つ場合」などを考慮して計算を行うことはできるか？
  - 今の段階ではできない。  
(計算はランダムばらつきのみを仮定している)  
今後の検討課題とします。

# 以降 資料

---

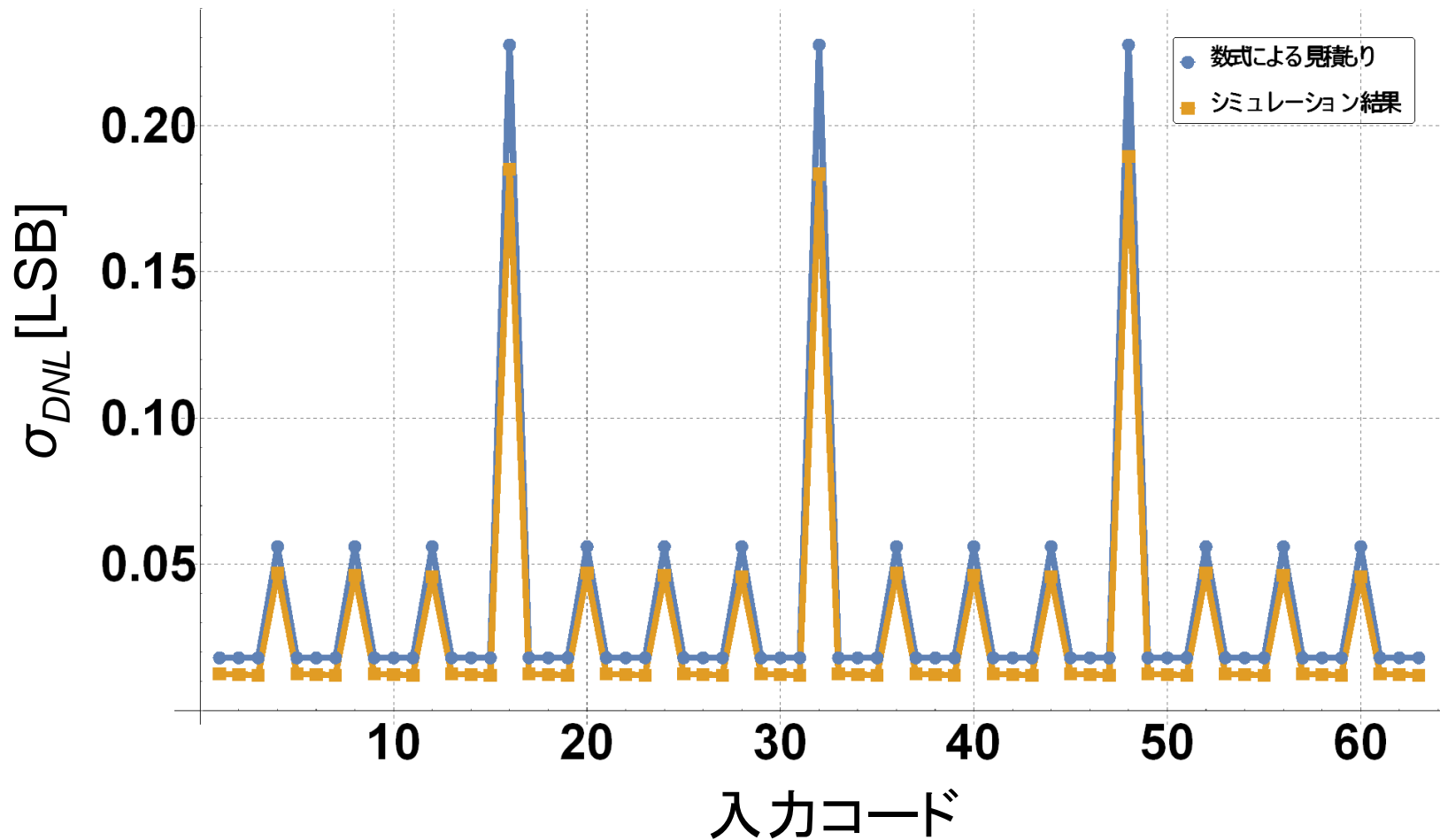
# 3段3進 比較

- 数式による検討とシミュレーションとの比較



# 3段4進 比較

- 数式による検討とシミュレーションとの比較



# 参考文献における図・表

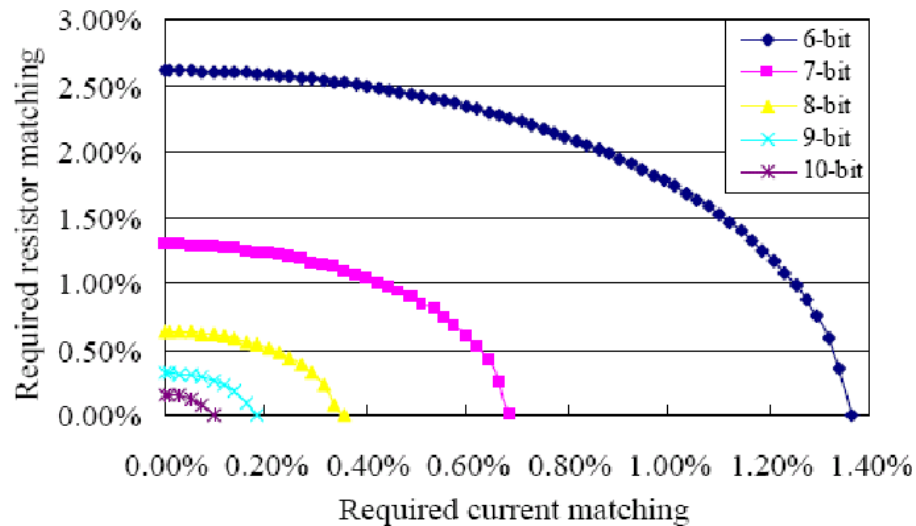


Figure 2. Elliptic curves to demonstrate the theoretical current/resistor matching derived

TABLE I. MONTE-CARLO SIMULATION RESULTS FOR VARIOUS DEVICE MATCHING CALCULATED FROM (17)

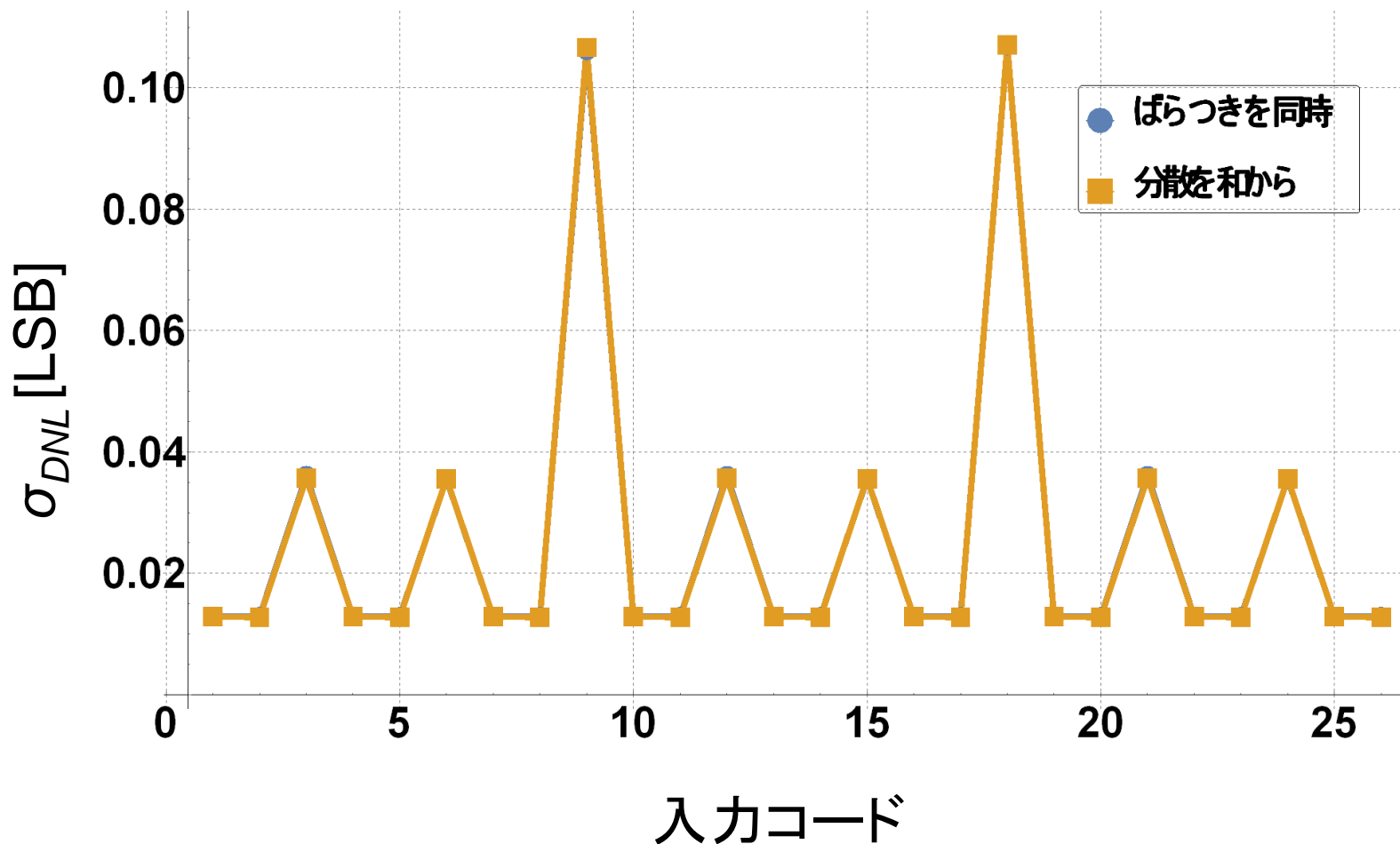
# of Bits	Device matching calculated from (17)		Monte-Carlo Simulated $\sigma_{DNL}$
	$\sigma_{AR}$	$\sigma_{AI}$	$\sigma_{DNL} (LSB)$
6	2.00 %	0.870 %	0.490
	1.00 %	1.250 %	0.493
	0.50 %	1.328 %	0.494
7	1.00 %	0.426 %	0.485
	0.50 %	0.623 %	0.486
	0.25 %	0.664 %	0.489
8	0.50 %	0.210 %	0.501
	0.25 %	0.311 %	0.511
9	0.20 %	0.131 %	0.493
	0.10 %	0.161 %	0.494
10	0.10 %	0.066 %	0.489

“Additionally, the slight discrepancy between simulated  $\sigma_{DNL}$  and theoretical 0.5 LSB is owing to neglect of  $\Delta I \cdot f(\Delta R_{Di})$  term in (1).”

[3] C. Chen, N. Lu, “Nonlinearity analysis of R-2R Ladder-Based Current-Steering Digital to Analog Converter,” IEEE International Symposium on Circuits and Systems (May 2013)

# 3段3進 DNL標準偏差

- 「電流・抵抗のばらつきを同時に考慮した場合」と、「独立にばらつかせた場合の分散の和から求めた場合」



# 3段4進 DNL標準偏差

- 「電流・抵抗のばらつきを同時に考慮した場合」と、「独立にばらつかせた場合の分散の和から求めた場合」

