

2020年度（第11回）

電気学会東京支部栃木・群馬支所合同研究発表会

2021年3月1日（月）

2021年3月1日（月）

栃木・群馬（オンライン、Zoom）

温度不感 MOS 基準電流源回路の 動作と閾値電圧ばらつきの影響

山本颯馬*，阿部優大，細野貴司，沙 磊，神尾崇文，

桑名杏奈，小林春夫（群馬大学）

鈴木 彰，山田 聡，加藤智行，

小野信任，三浦一広（（株）ジーダット）

OUTLINE

- 研究目的
- MOS FET の温度特性
- 温度に依存しないMOS定電流源のコンセプト
- 自己バイアスを用いた回路提案
- NMOSの閾値電圧ばらつきによる回路への影響検証
- まとめ

OUTLINE

- 研究目的
- MOS FET の温度特性
- 温度に依存しないMOS定電流源のコンセプト
- 自己バイアスを用いた回路提案
- NMOSの閾値電圧ばらつきによる回路への影響検証
- まとめ

研究目的

電子回路における信頼性の問題

- Process(プロセス)
- Voltage(電源電圧)
- Temperature(温度)



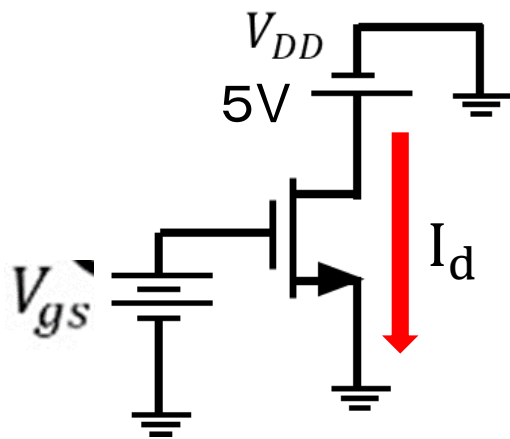
今回

温度に依存しない定電流源

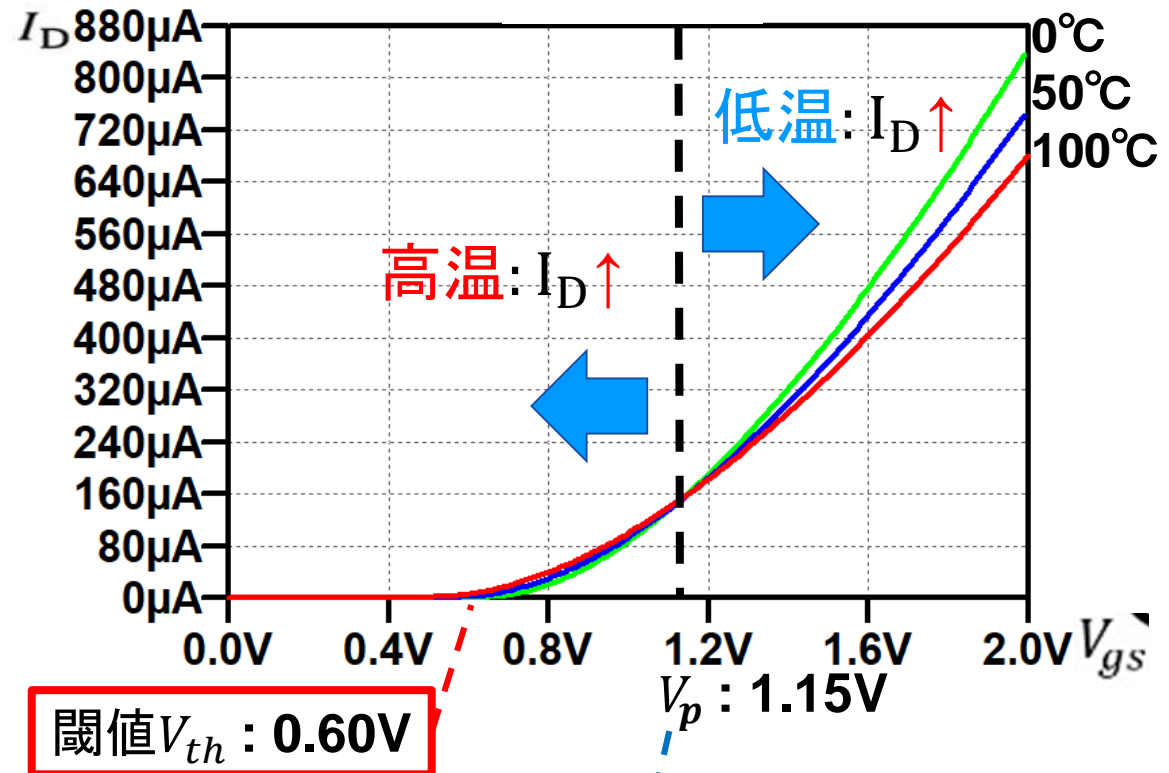
OUTLINE

- 研究目的
- MOS FET の温度特性
- 温度に依存しないMOS定電流源のコンセプト
- 自己バイアスを用いた回路提案
- NMOSの閾値電圧ばらつきによる回路への影響検証
- まとめ

MOS FETの温度特性



DC解析 $V_{gs} : 0 \sim 2.0V$



電流が温度に依存しないゲート電圧

MOS FET:オンセミコンダクタ0.25μmプロセス

OUTLINE

- 研究目的
- MOS FET の温度特性
- 温度に依存しないMOS定電流源のコンセプト
- 自己バイアスを用いた回路提案
- NMOSの閾値電圧ばらつきによる回路への影響検証
- まとめ

温度に依存しないMOS定電流源のコンセプト

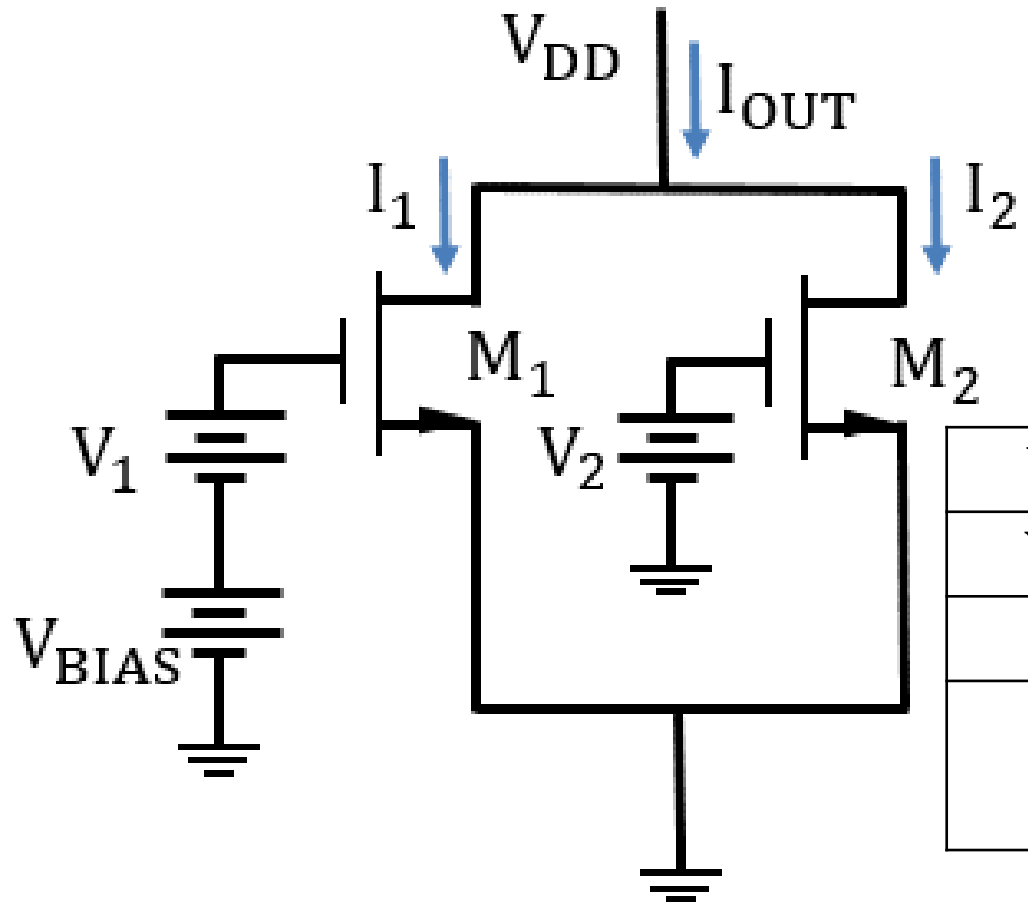
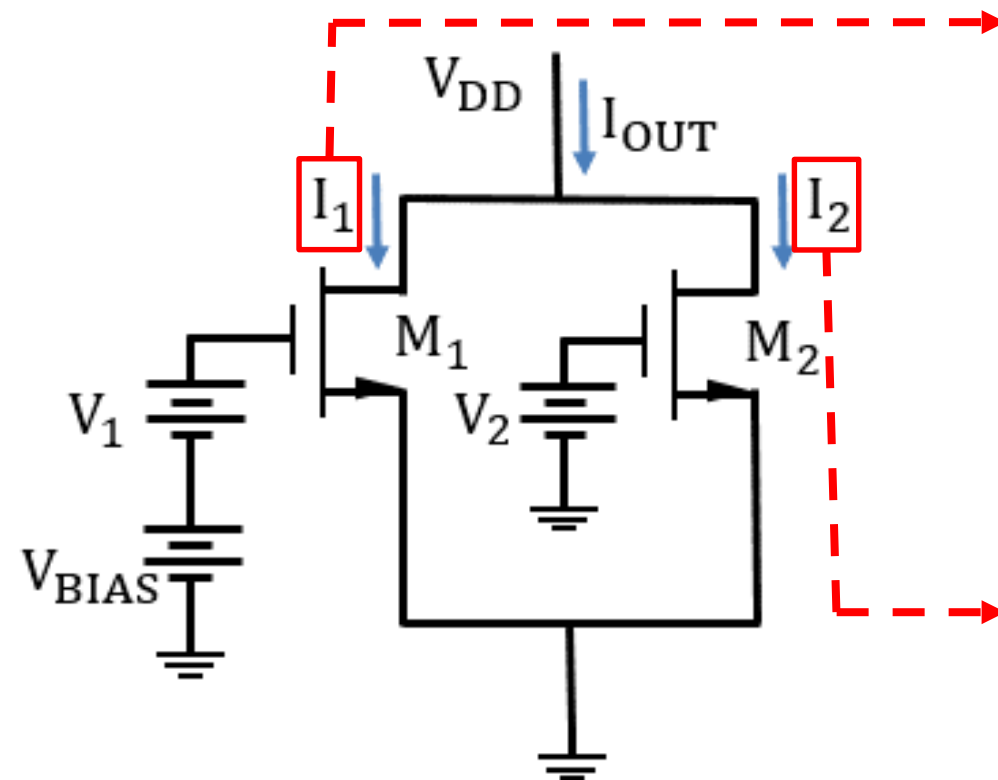


表1 シミュレーション条件

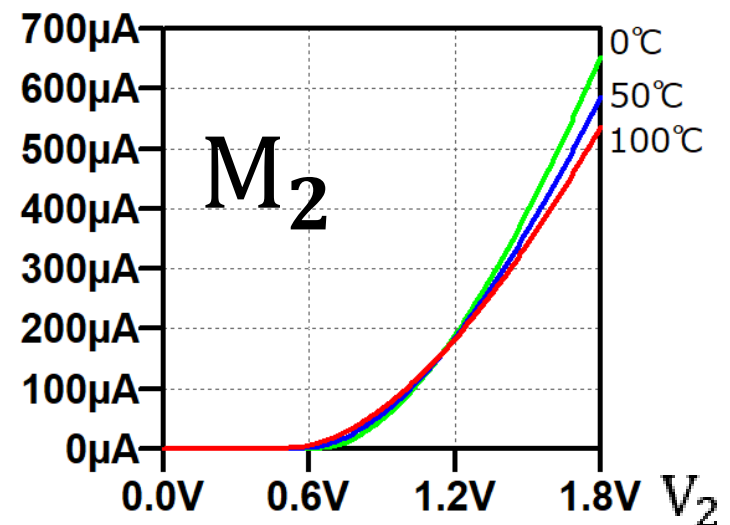
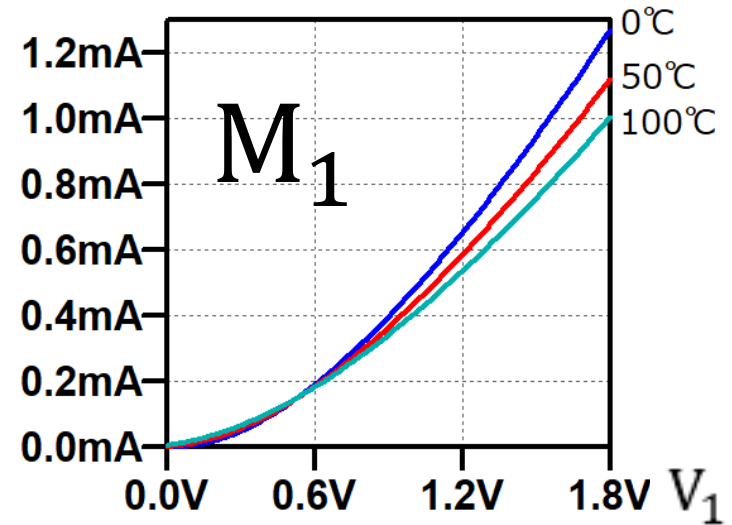
V_{BIAS}	0.6 V
V_1, V_2	0 ~ 1.8 V
V_{DD}	5.0 V
M_1, M_2	W=20 μ m, L=2.0 μ m

提案基準電流源回路のコンセプト

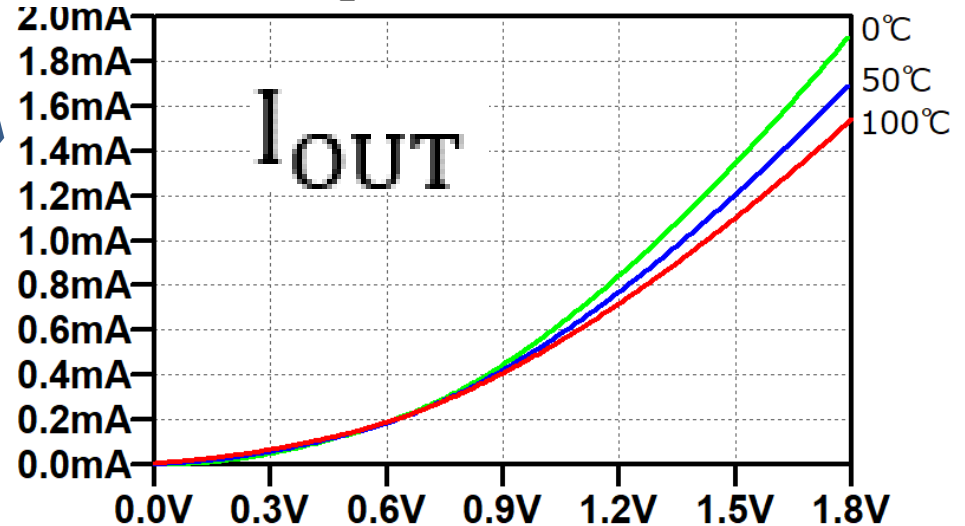
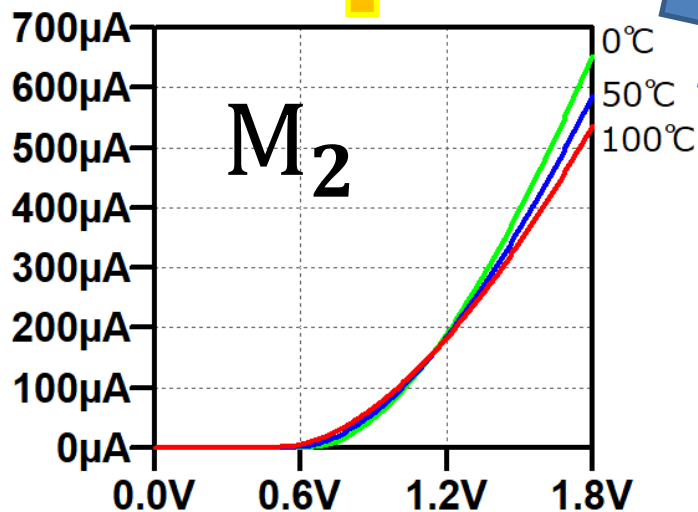
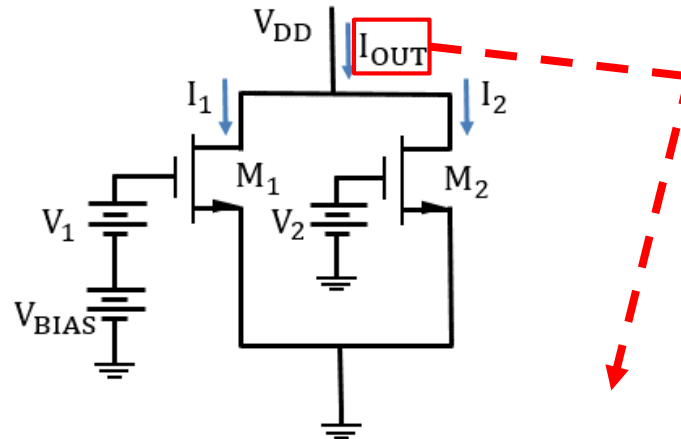
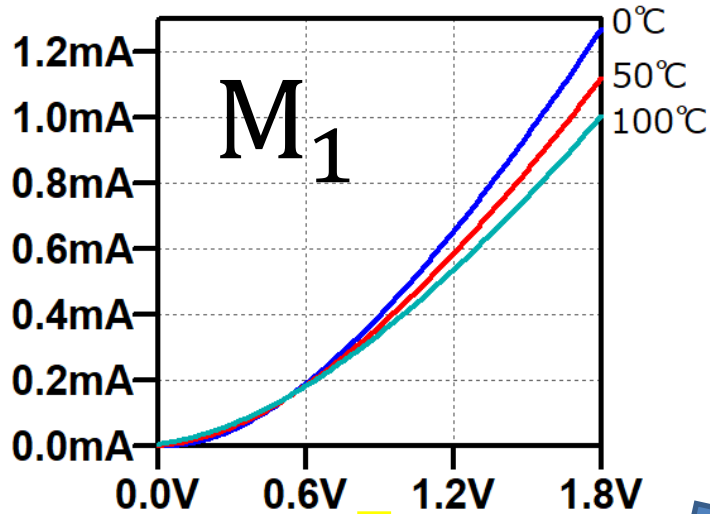
各MOS FETの $I_D - V_{GS}$ 特性



提案基準電流源回路のコンセプト



温度特性のキャンセル

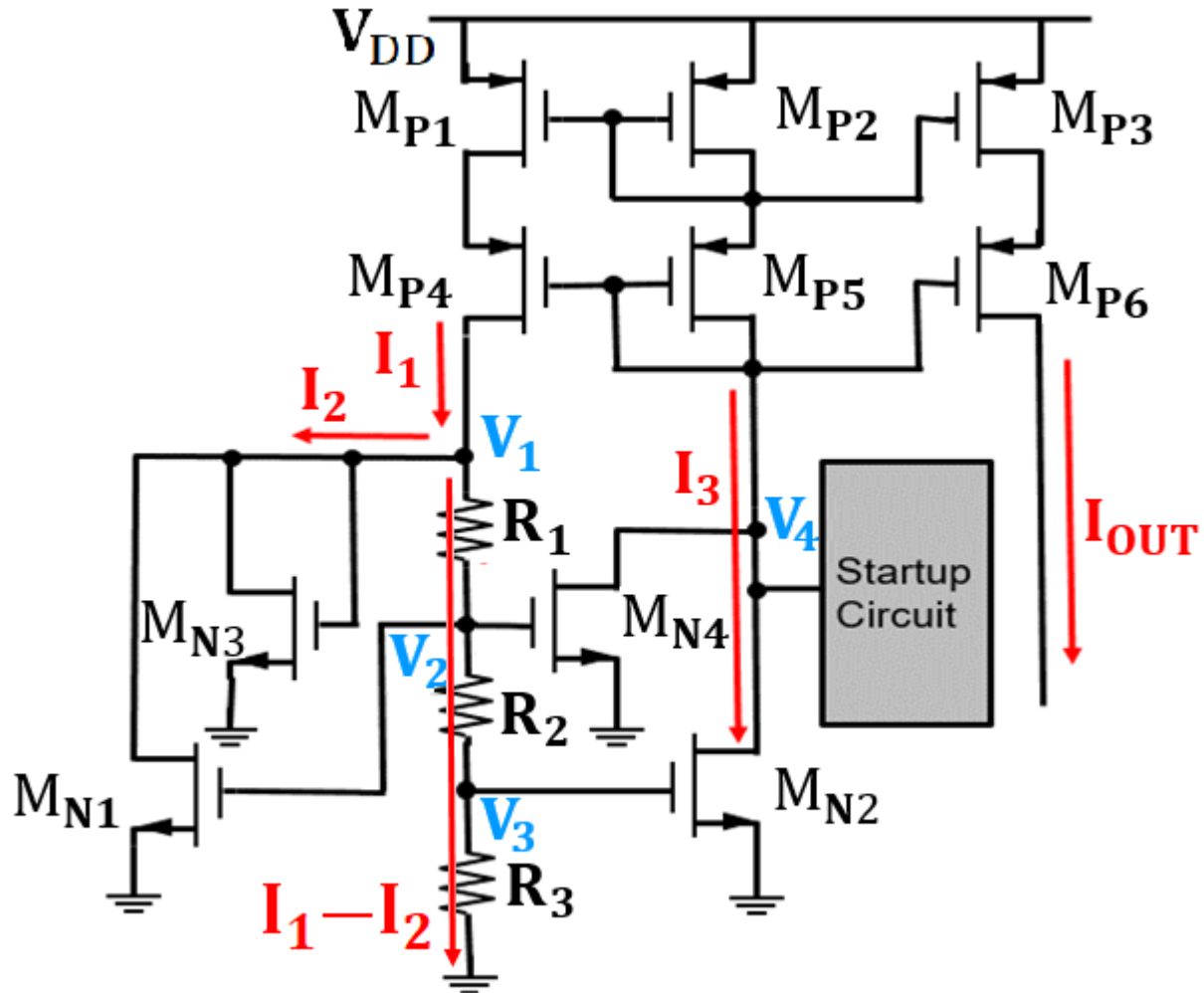


出力電流 I_{OUT}

OUTLINE

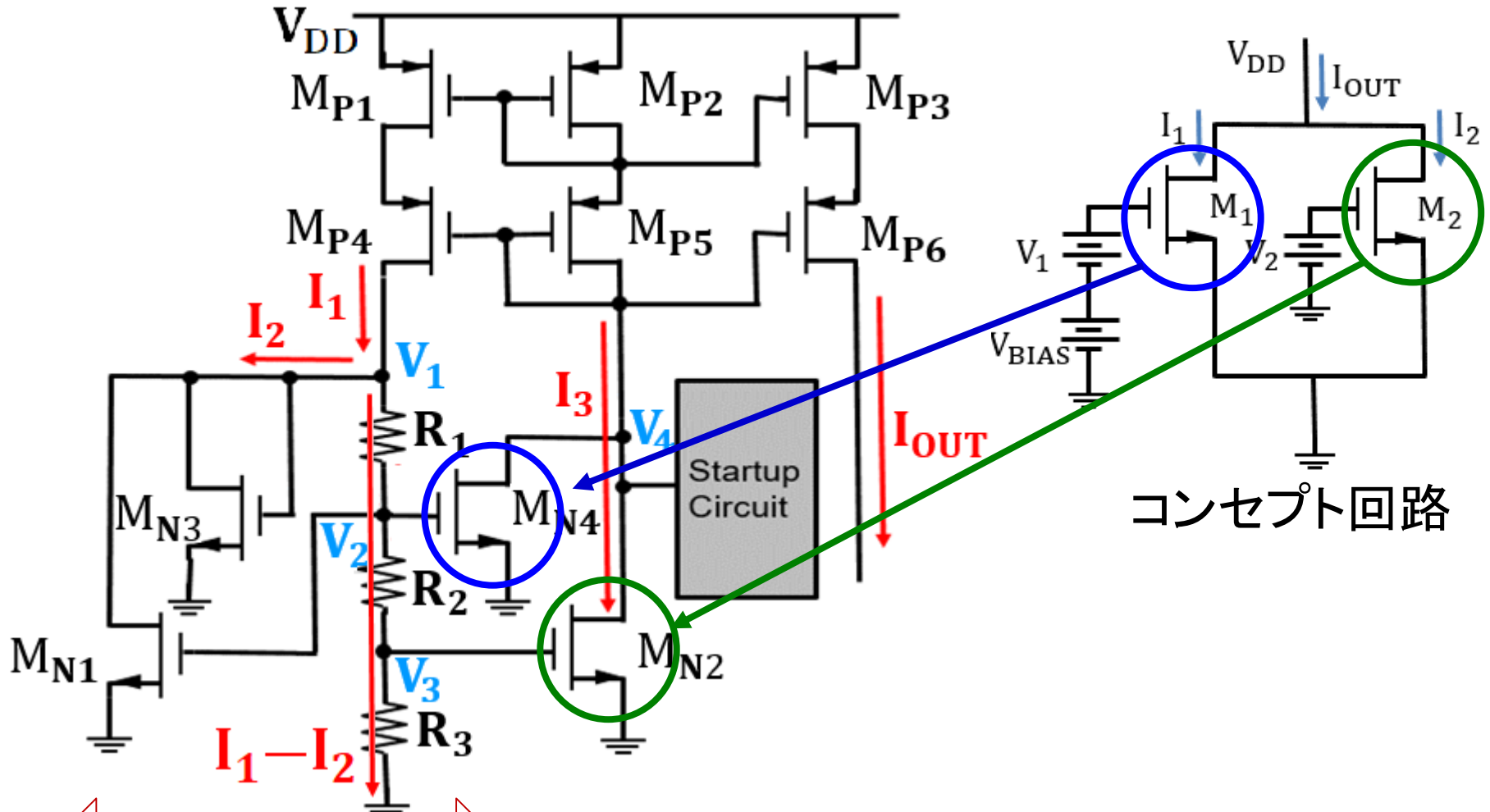
- 研究目的
- MOS FET の温度特性
- 温度に依存しないMOS定電流源のコンセプト
- 自己バイアスを用いた回路提案
- NMOSの閾値電圧ばらつきによる回路への影響検証
- まとめ

提案回路



自己バイアスを用いた提案回路

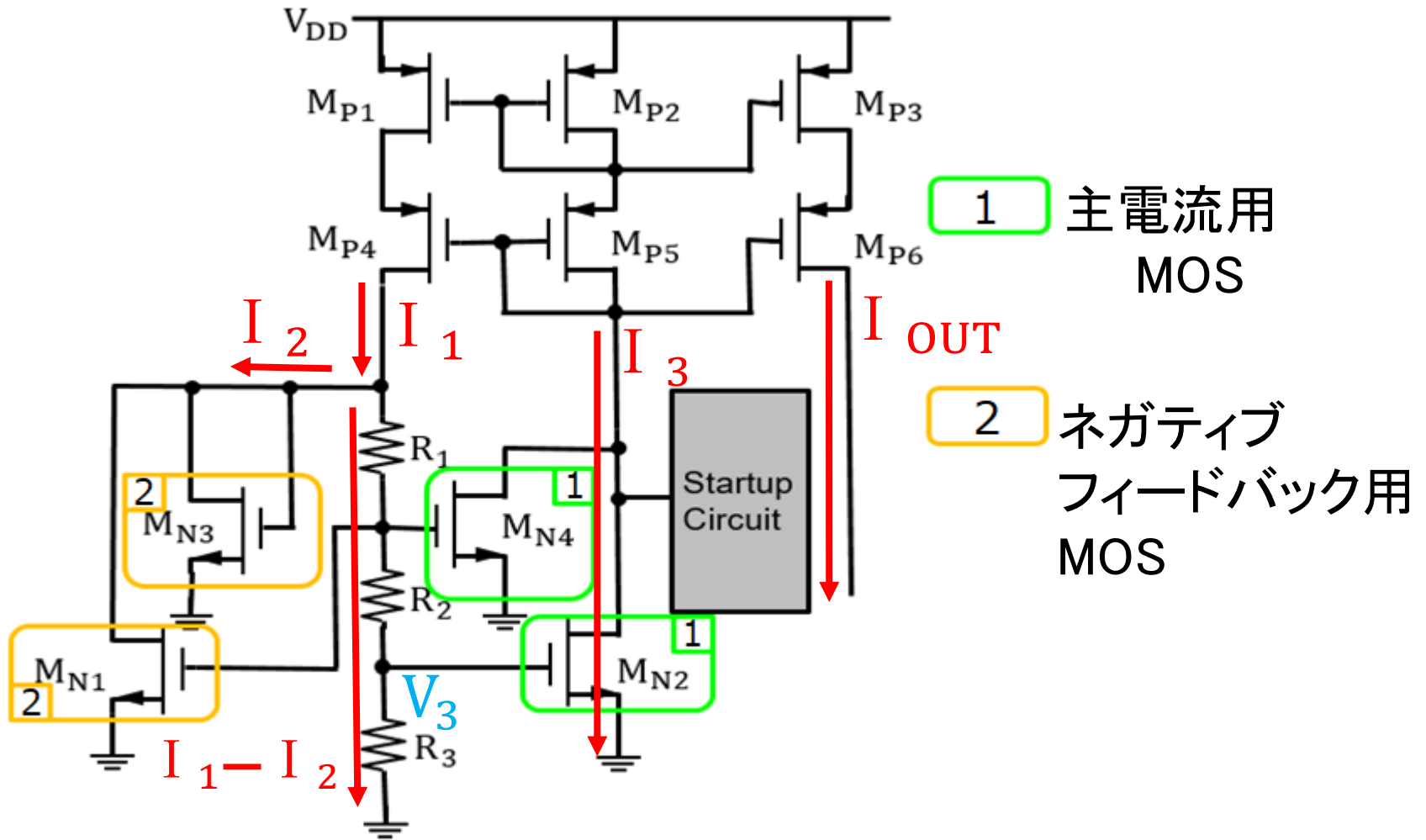
コンセプト回路との比較



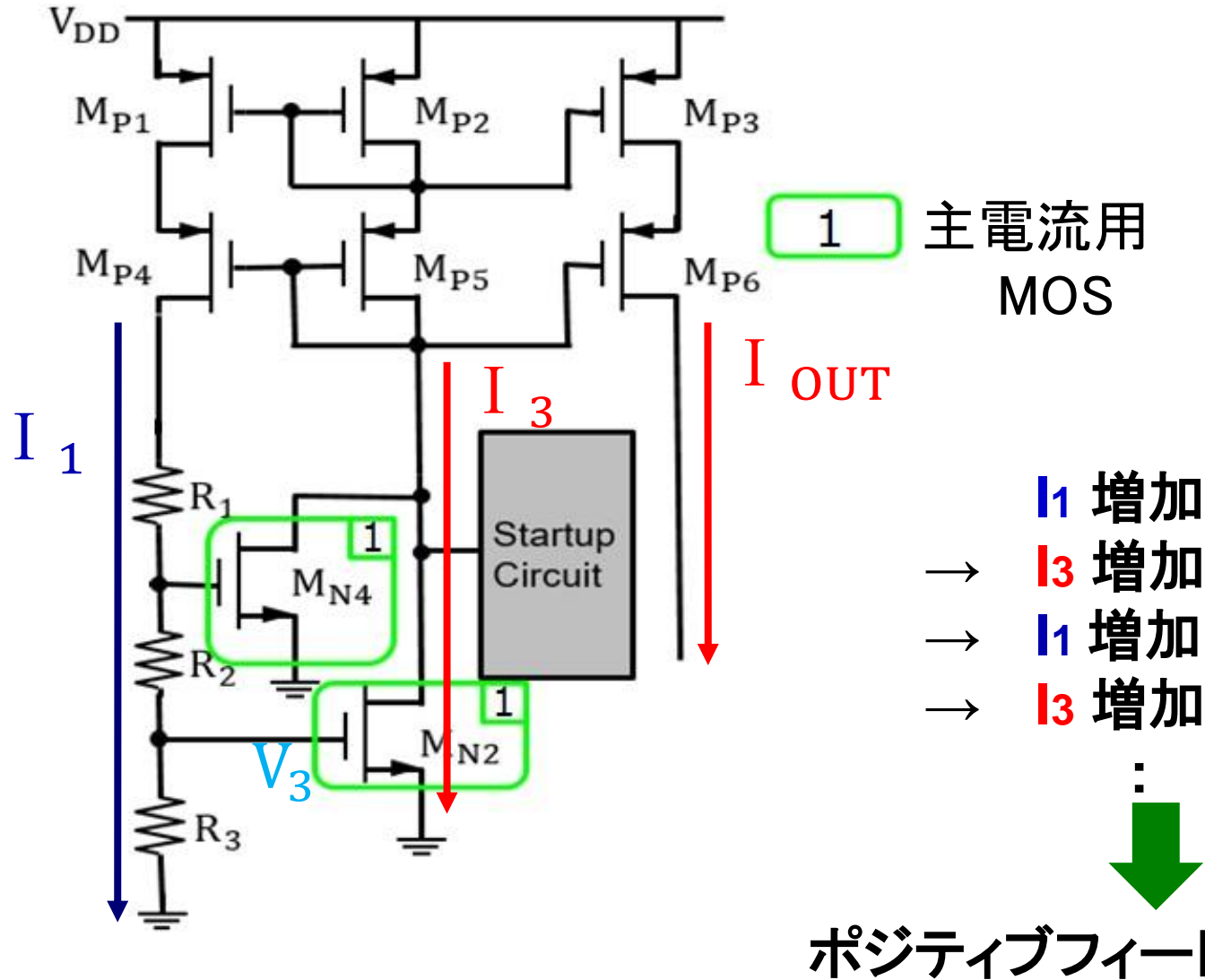
コンセプト回路

自己バイアス回路

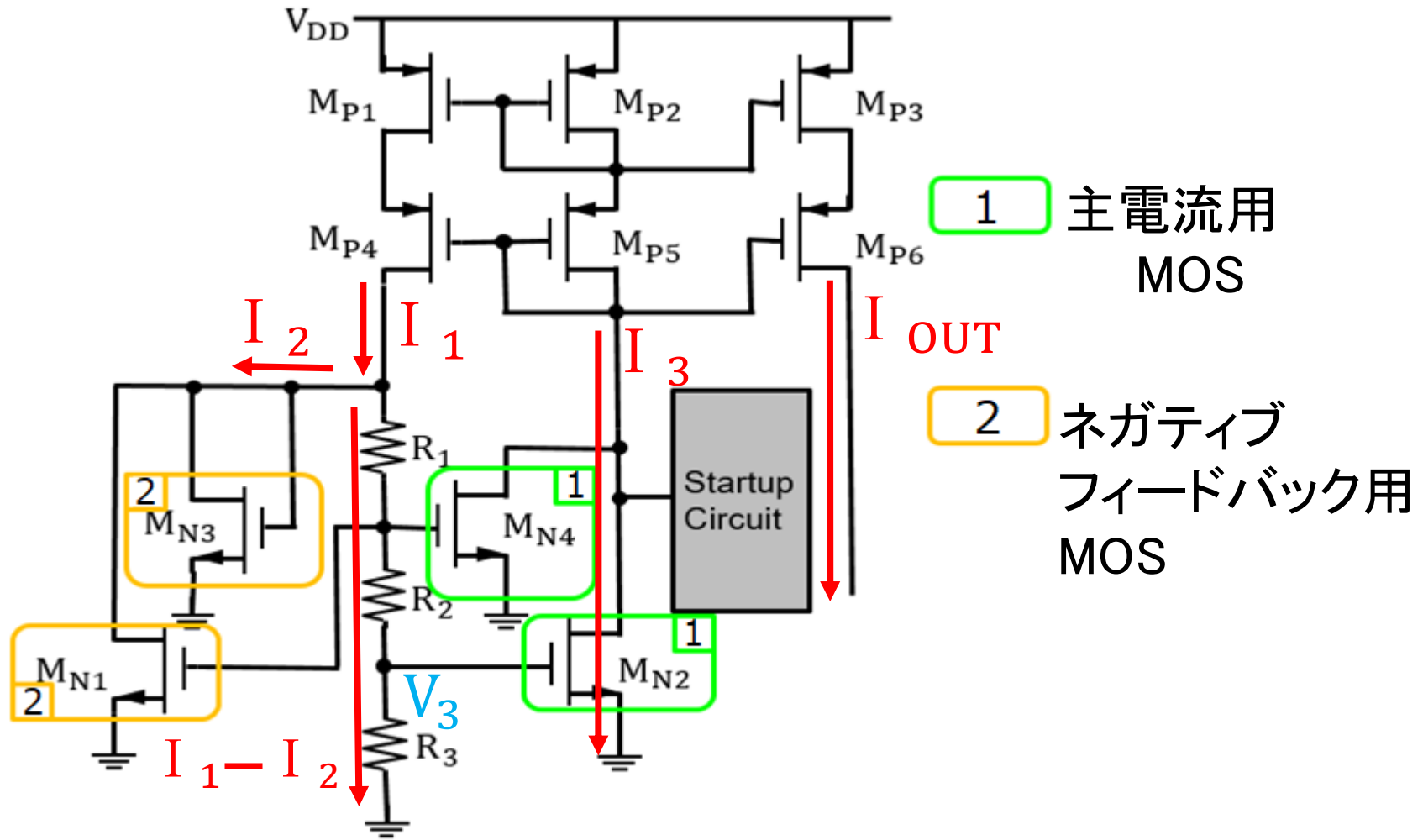
自己バイアス回路によるネガティブフィードバック



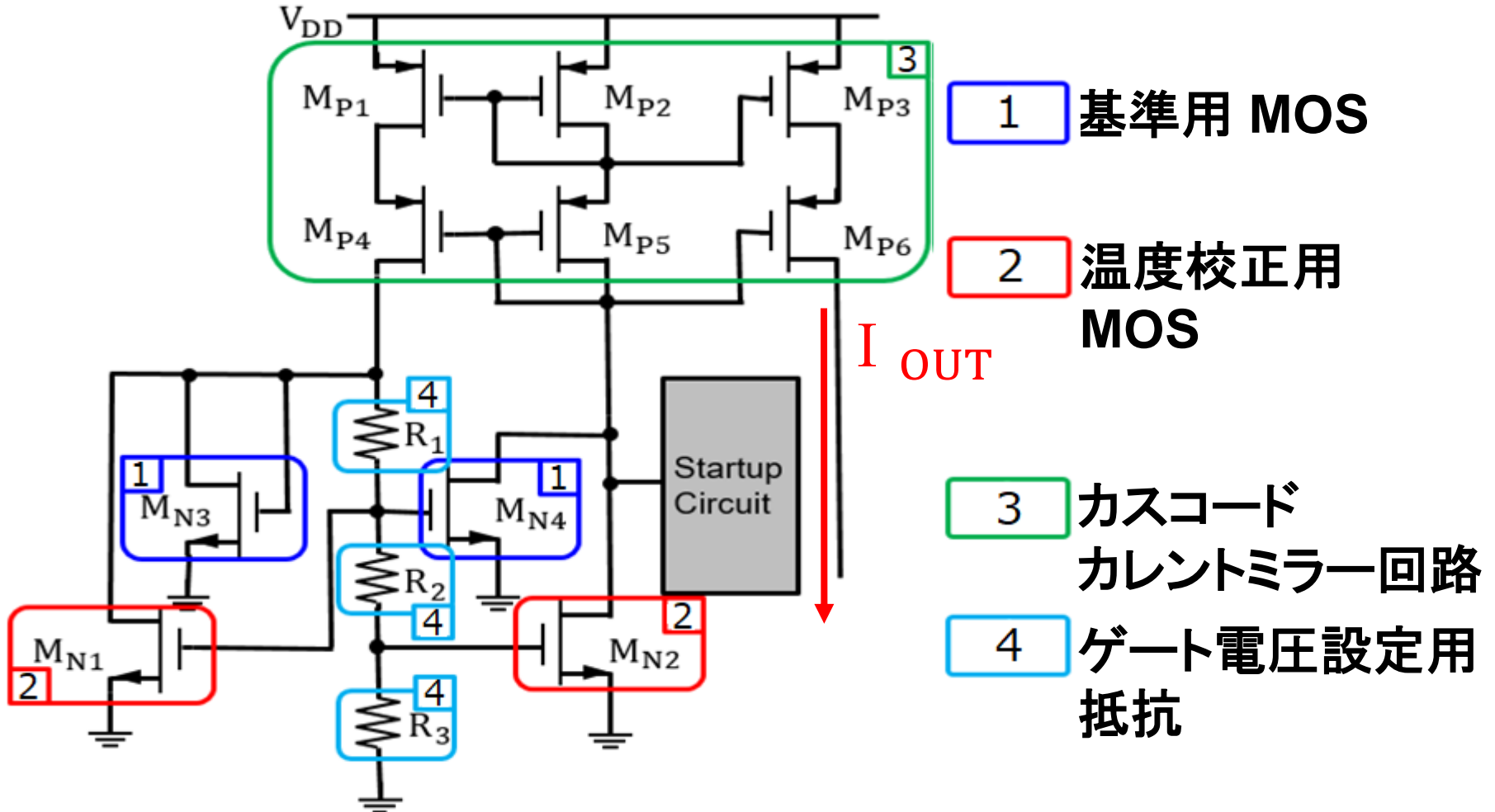
自己バイアス回路がない場合の問題



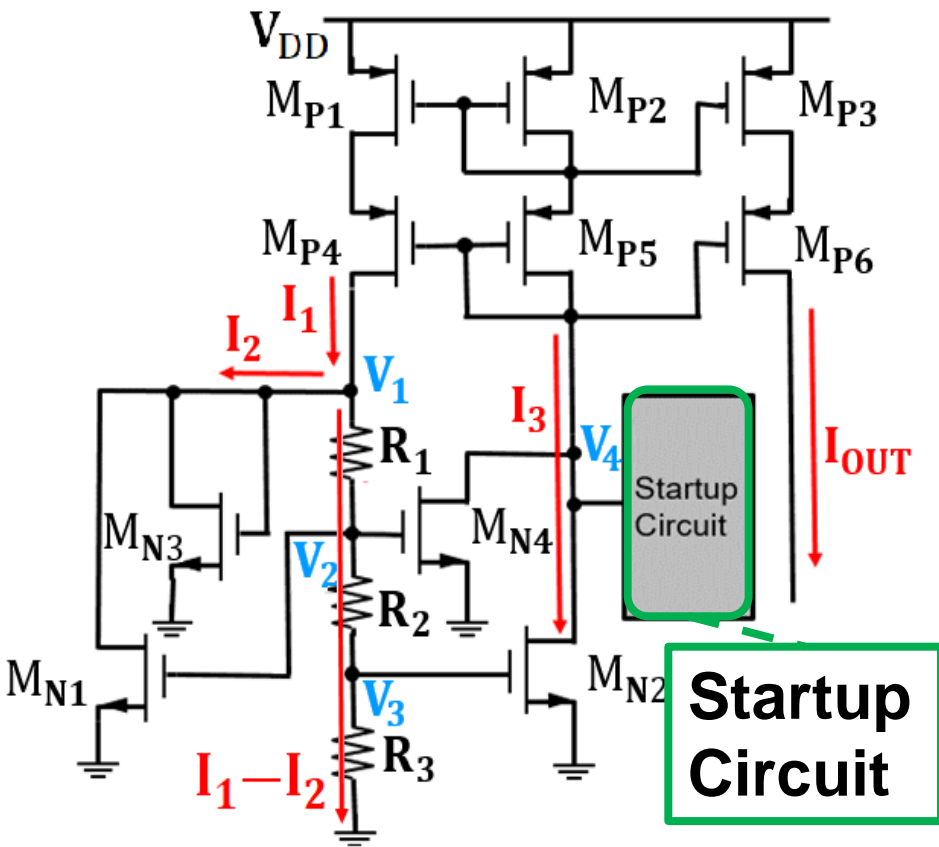
自己バイアス回路によるネガティブフィードバック



各MOS FETと抵抗の役割

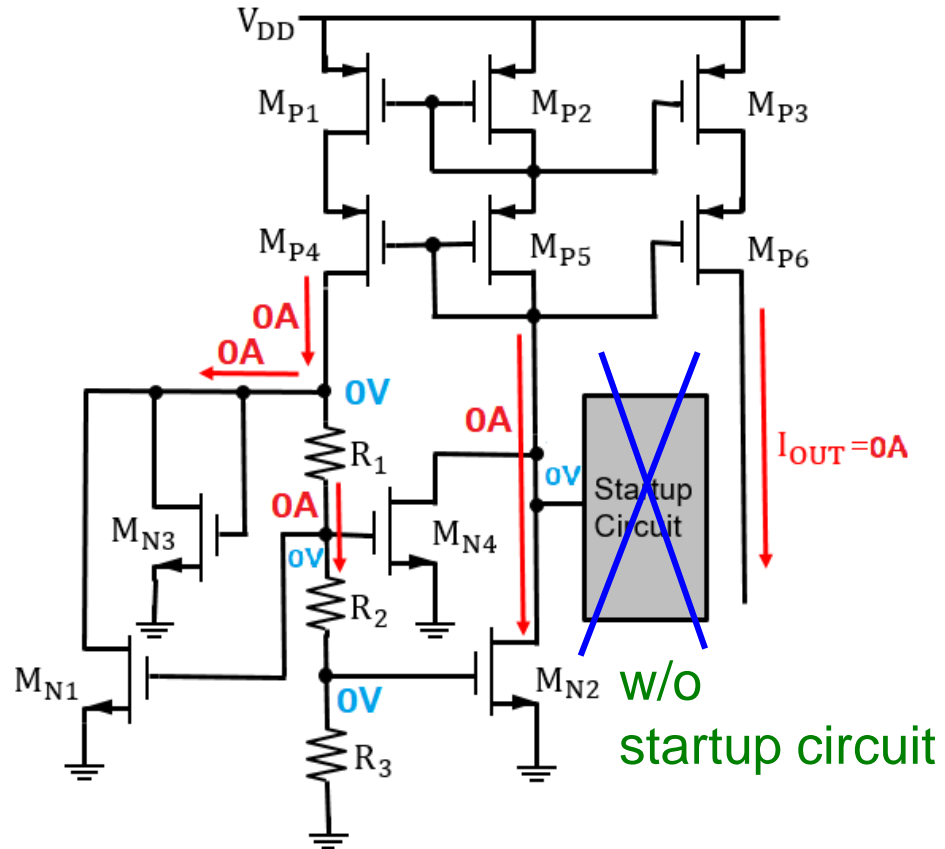


スタートアップ回路の必要性



I_{OUT} 導通状態

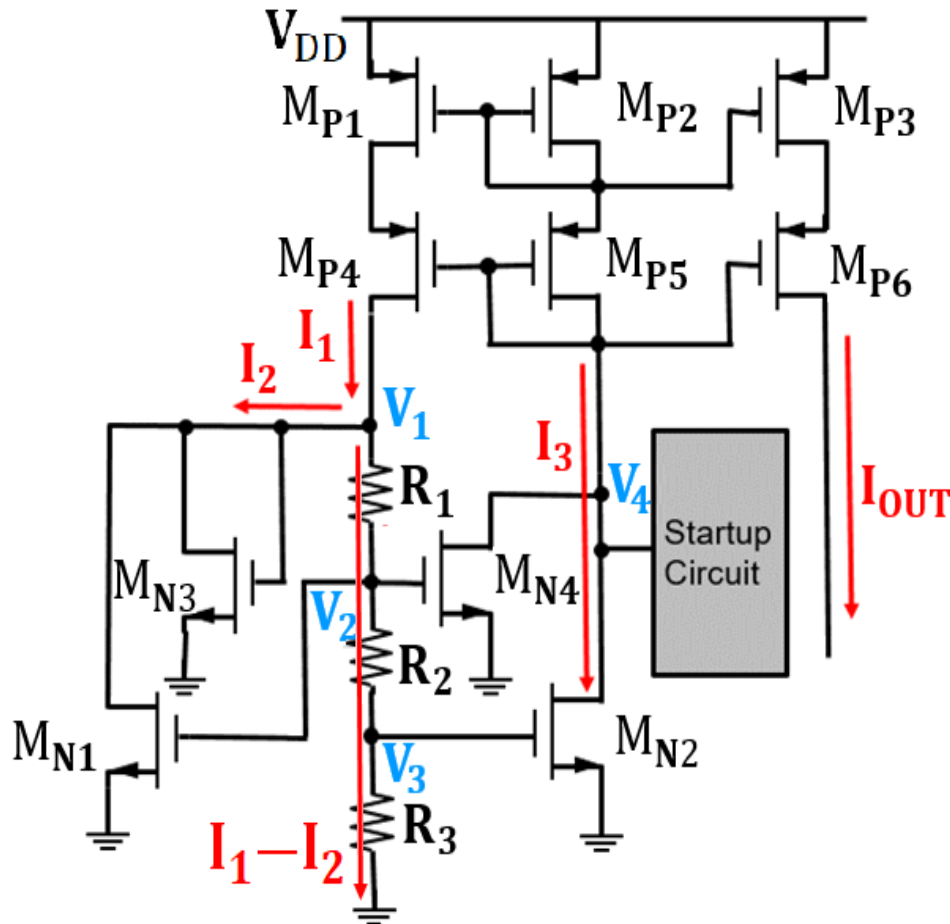
望ましい状態



$I_{OUT} = 0$

望ましくない状態

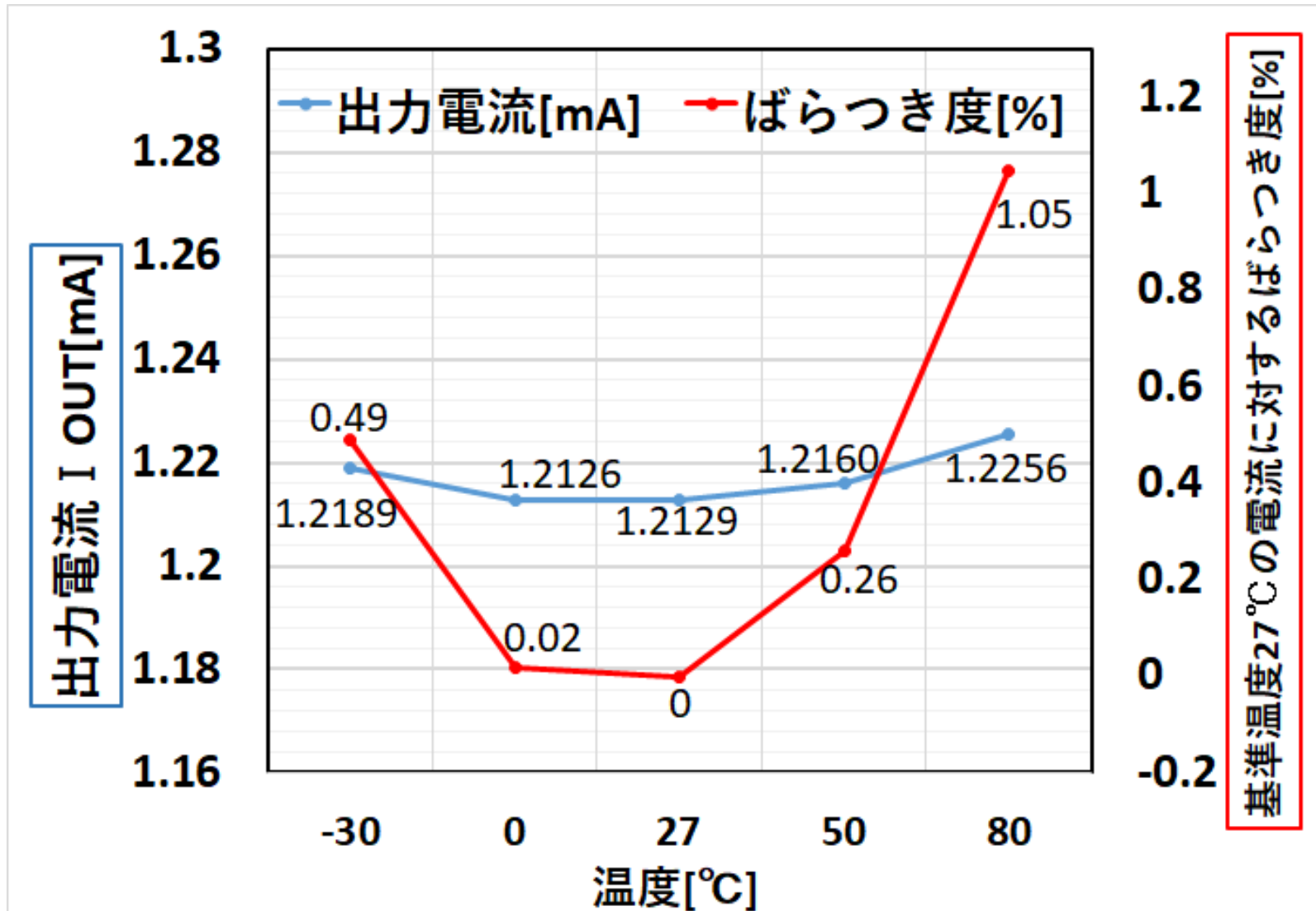
提案回路のシミュレーション条件



シミュレーション条件

$M_{P1} \sim M_{P6}$	$W=800\mu\text{m}, L=2.0\mu\text{m}$
M_{N1}, M_{N3}	$W=0.25\mu\text{m}, L=2.0\mu\text{m}$
M_{N2}	$W=200\mu\text{m}, L=2.0\mu\text{m}$
M_{N4}	$W=20\mu\text{m}, L=2.0\mu\text{m}$
R_1	5.0 k Ω
R_2	1.61 k Ω
R_3	1.5 k Ω
V_{DD}	5.0 V

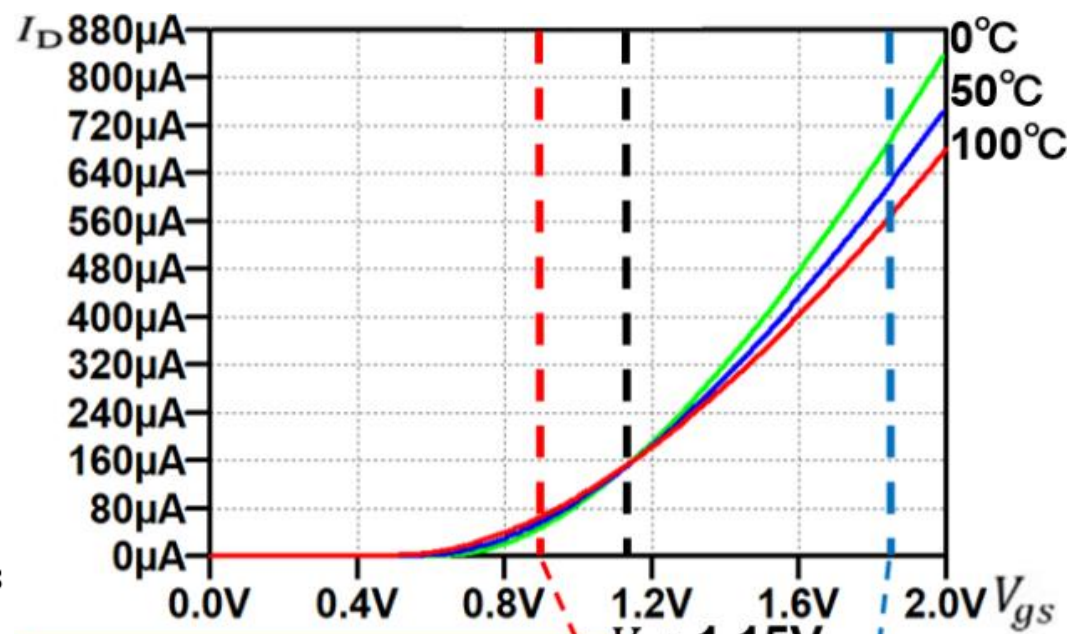
出力電流 I_{OUT} と各温度での誤差



主電流用MOSの各ゲート電圧

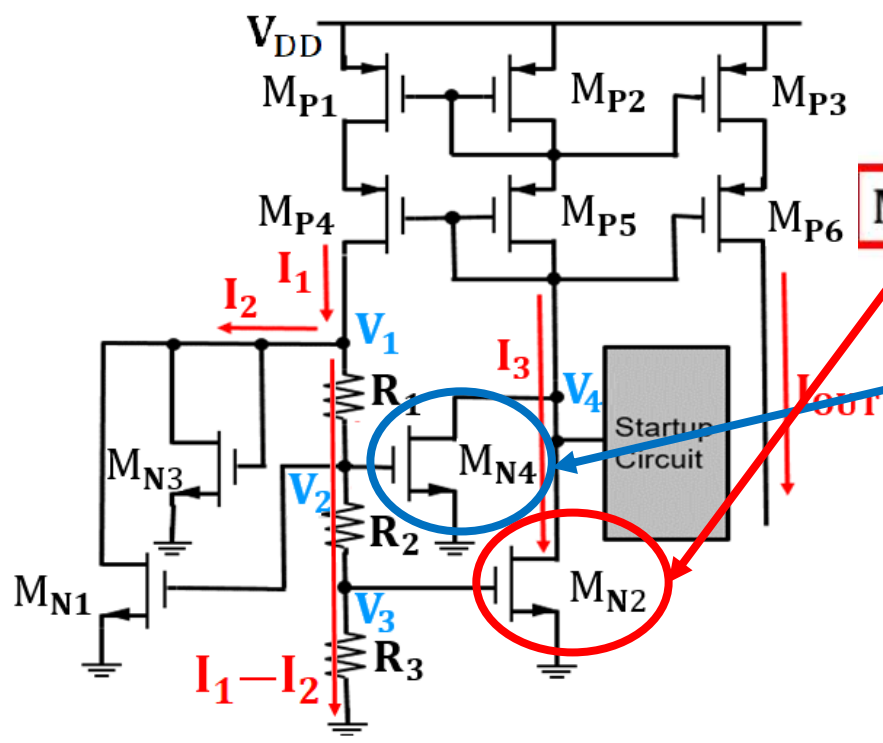
NMOS閾値電圧

$V_{th} = 0.60V$



M_{N2} ゲート電圧 : 約0.90V

M_{N4} ゲート電圧 : 約1.86V

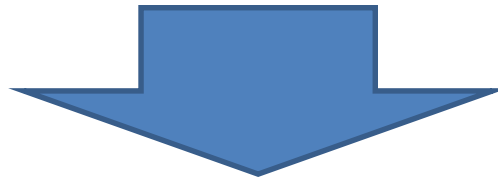


OUTLINE

- 研究目的
- MOS FET の温度特性
- 温度に依存しないMOS定電流源のコンセプト
- 自己バイアスを用いた回路提案
- NMOSの閾値電圧ばらつきによる回路への影響検証
- まとめ

NMOS 閾値電圧変動の影響

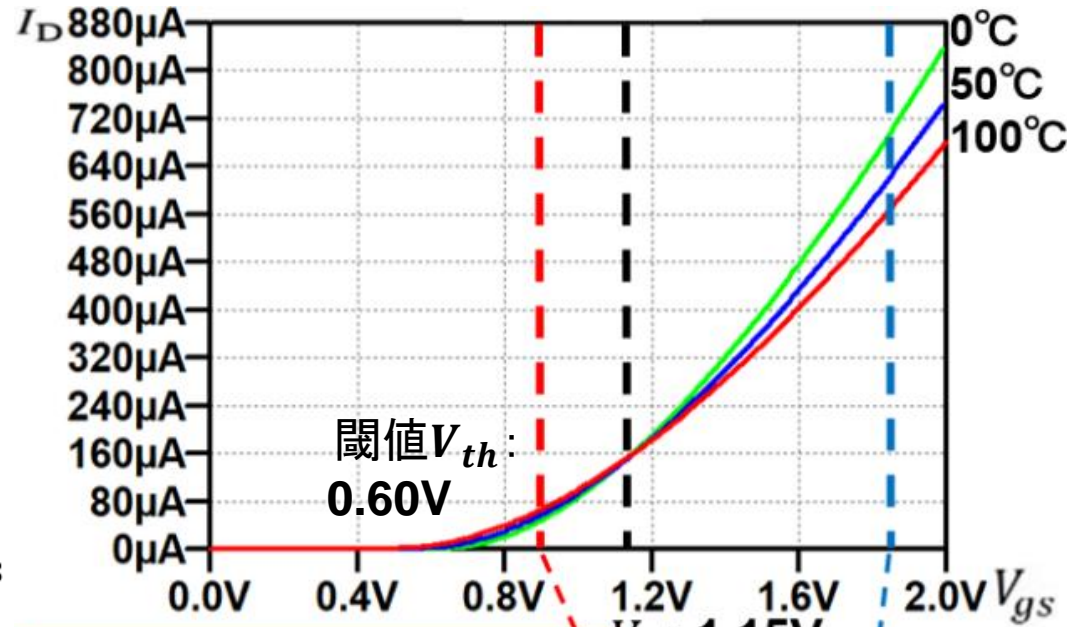
一般的な MOS 製造過程
⇒ 閾値電圧 ±10% ばらつき



提案回路の NMOS 閾値電圧
0.54V(-10%)、0.60V(標準値)、0.66V(+10%)
3種類でNMOSゲート電圧、出力電流比較

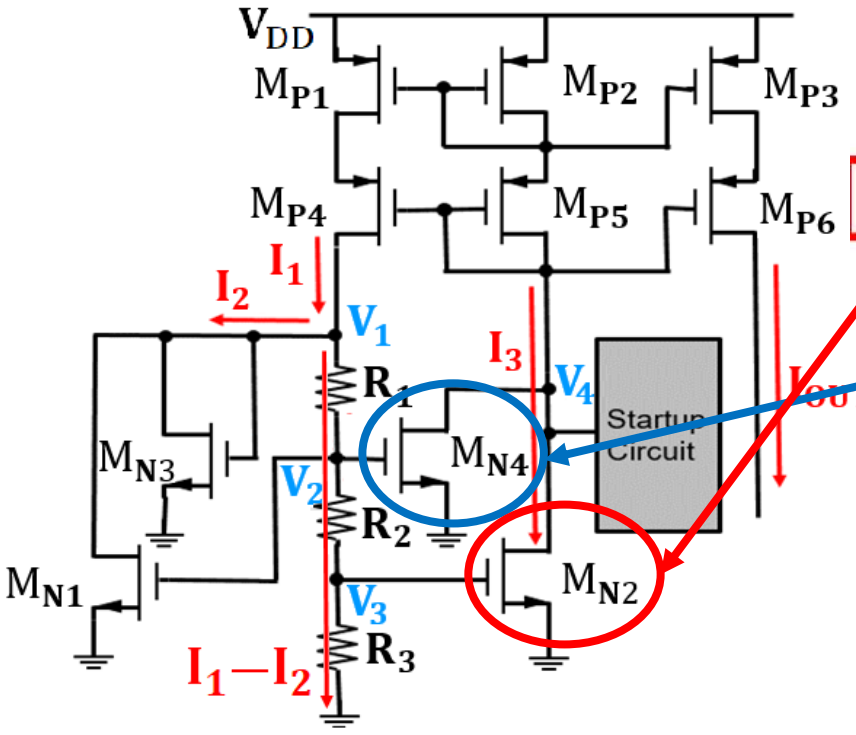
$V_{th}=0.60V$ (標準値)時の各ゲート電圧

NMOS閾値電圧 $V_{th}=0.60V$ (標準値)



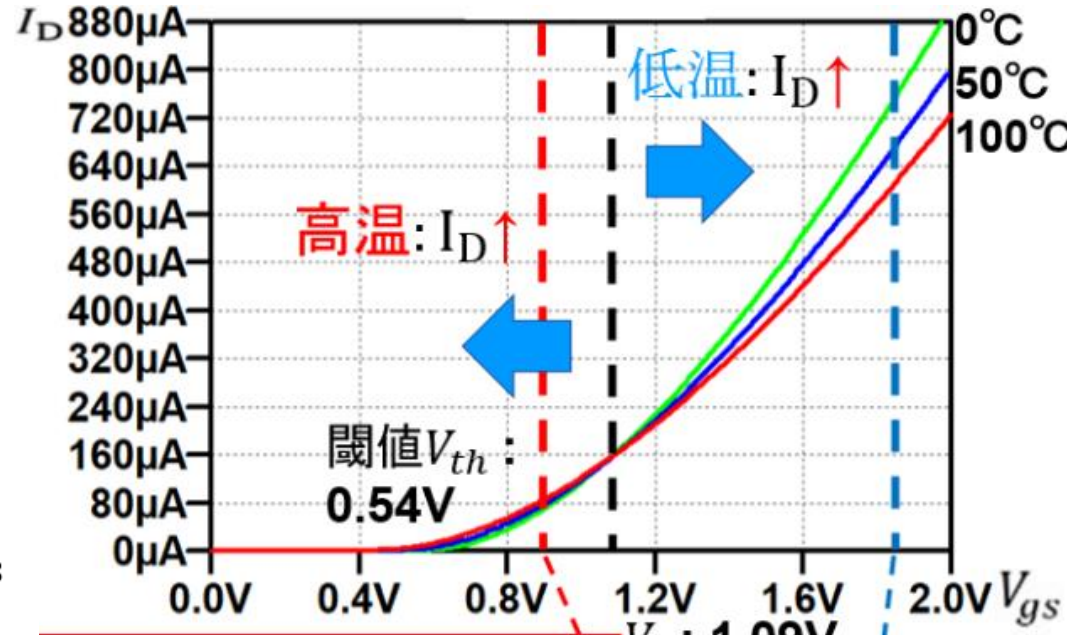
M_{N2} ゲート電圧: 約0.90V

M_{N4} ゲート電圧: 約1.86V



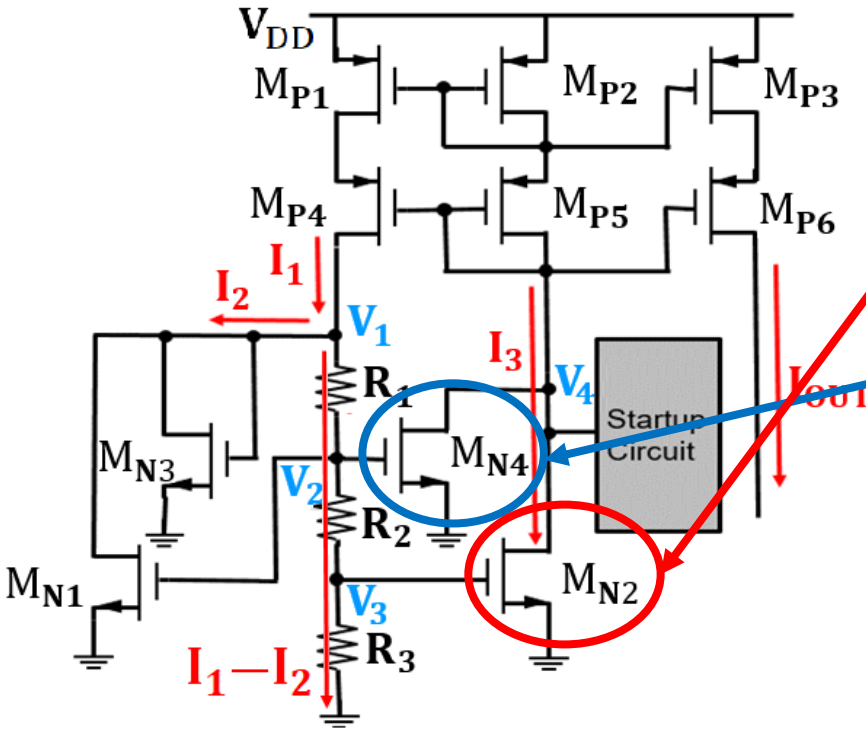
$V_{th}=0.54V(-10\%)$ 時の各ゲート電圧

NMOS閾値電圧 $V_{th}=0.54V(-10\%)$



M_{N2} ゲート電圧 : 約0.90V

M_{N4} ゲート電圧 : 約1.87V

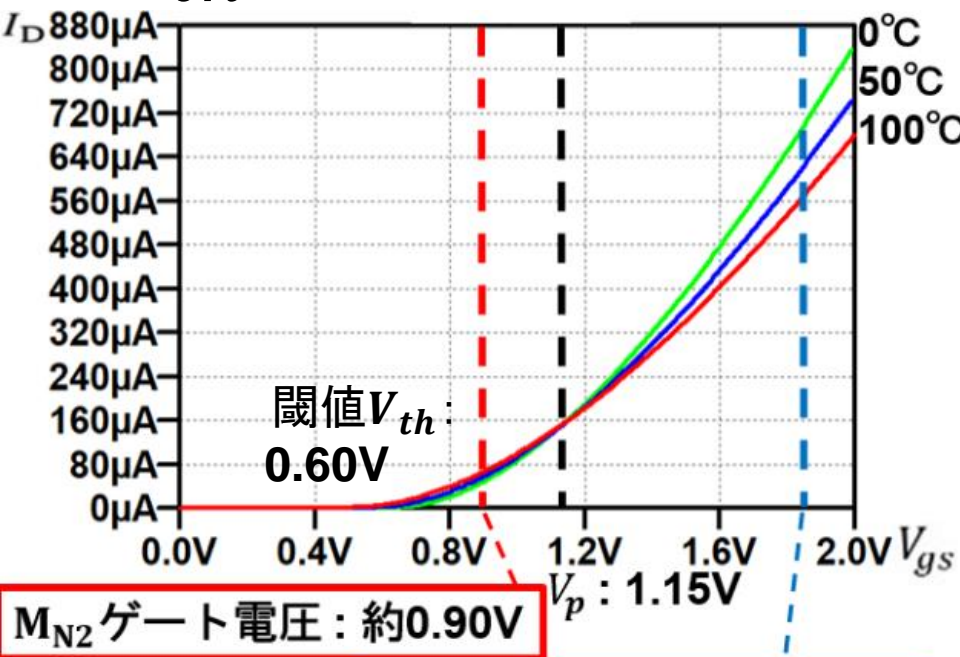


各ゲート電圧の比較(閾値標準値vs-10%)

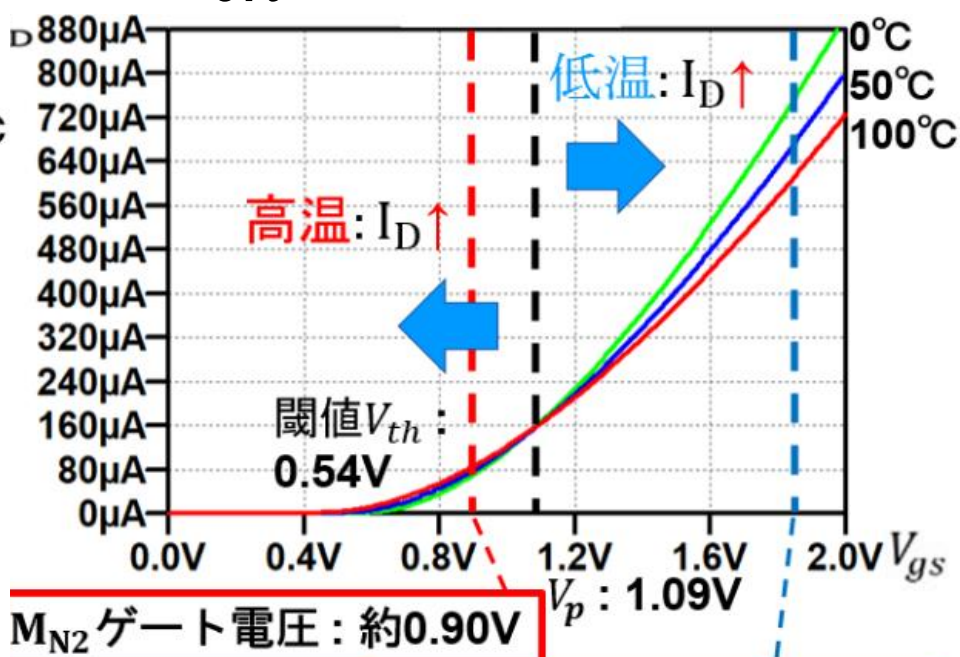
NMOS閾値電圧

$V_{th} = 0.60V$ (標準値)

$V_{th} = 0.54V$ (-10%)



M_{N4} ゲート電圧 : 約1.86V



M_{N4} ゲート電圧 : 約1.87V

$V_{th} = 0.54V$ (-10%) のとき

M_{N2} における温度による電流差(高温時 - 低温時)



小

M_{N4} における温度による電流差(低温時 - 高温時)



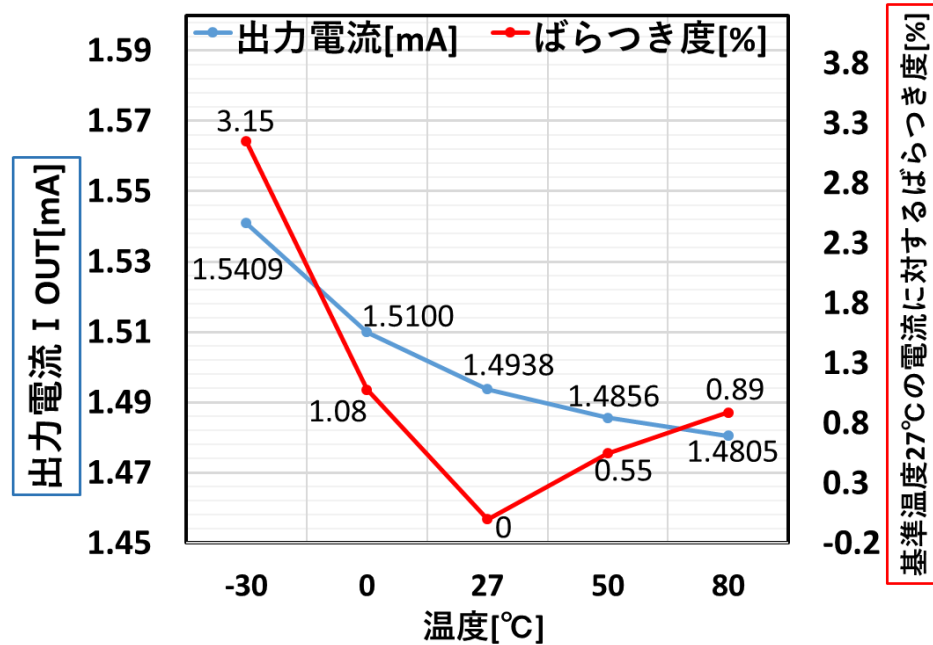
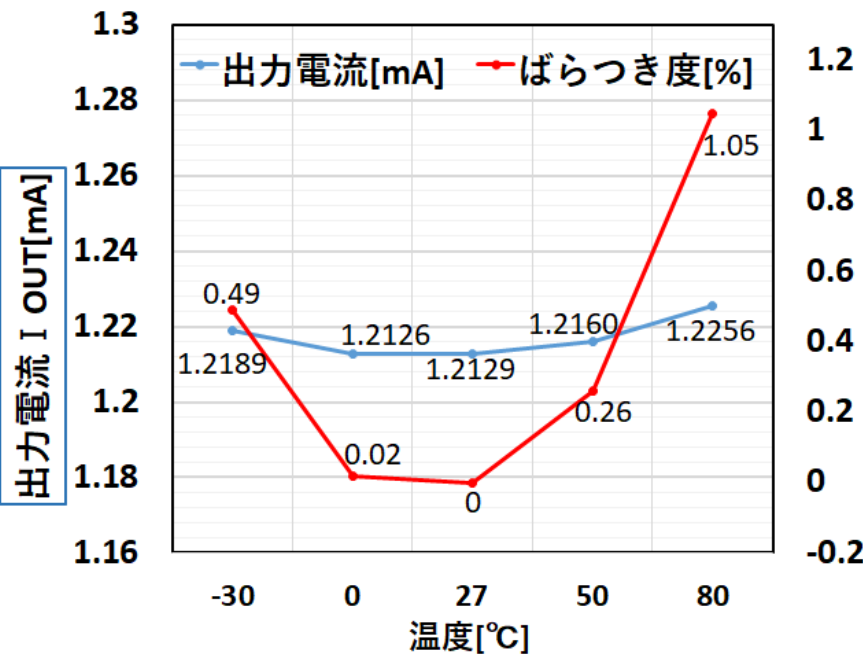
大

電流値&ばらつきと比較(閾値標準値vs-10%)

NMOS閾値電圧

$$V_{th} = 0.60V (\text{標準値})$$

$$V_{th} = 0.54V (-10\%)$$



$V_{th} = 0.54V (-10\%)$ のとき

電流値

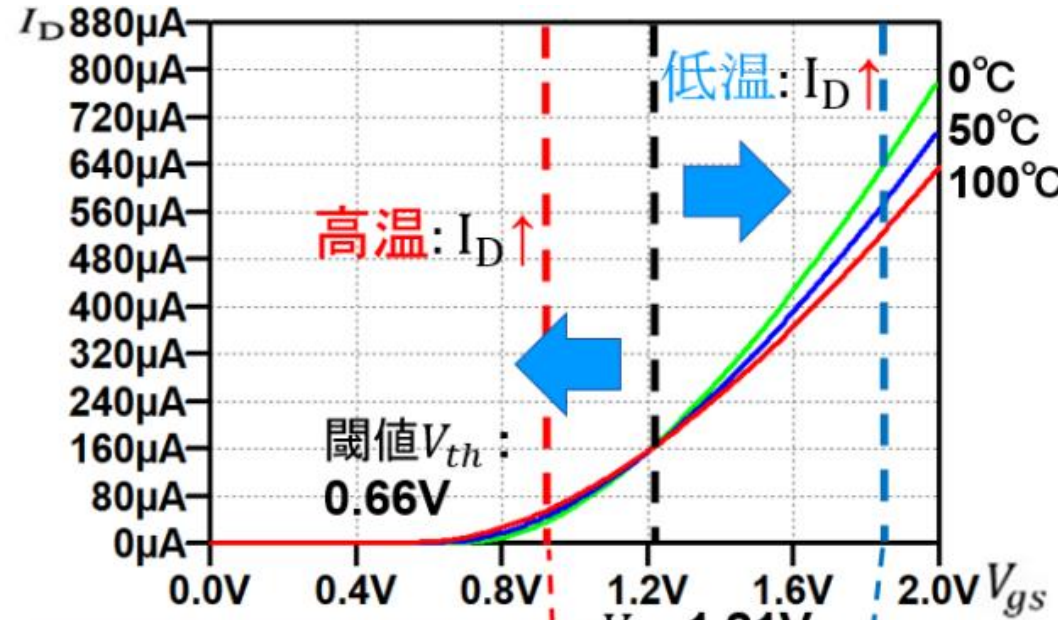


約0.3mA増加

電流ばらつき → 温度低で電流増 最大3.15%

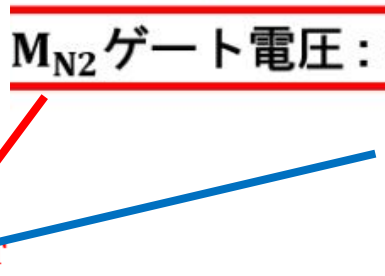
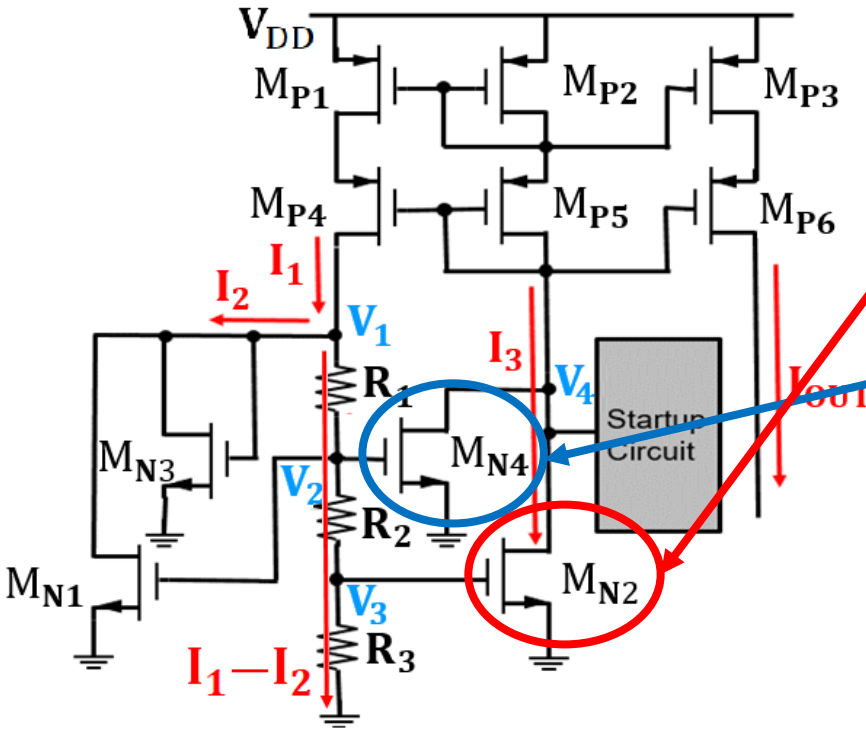
$V_{th}=0.66V(+10\%)$ 時の各ゲート電圧

NMOS閾値電圧 $V_{th}=0.66V(+10\%)$



M_{N2} ゲート電圧: 約 $0.89V$

M_{N4} ゲート電圧: 約 $1.85V$

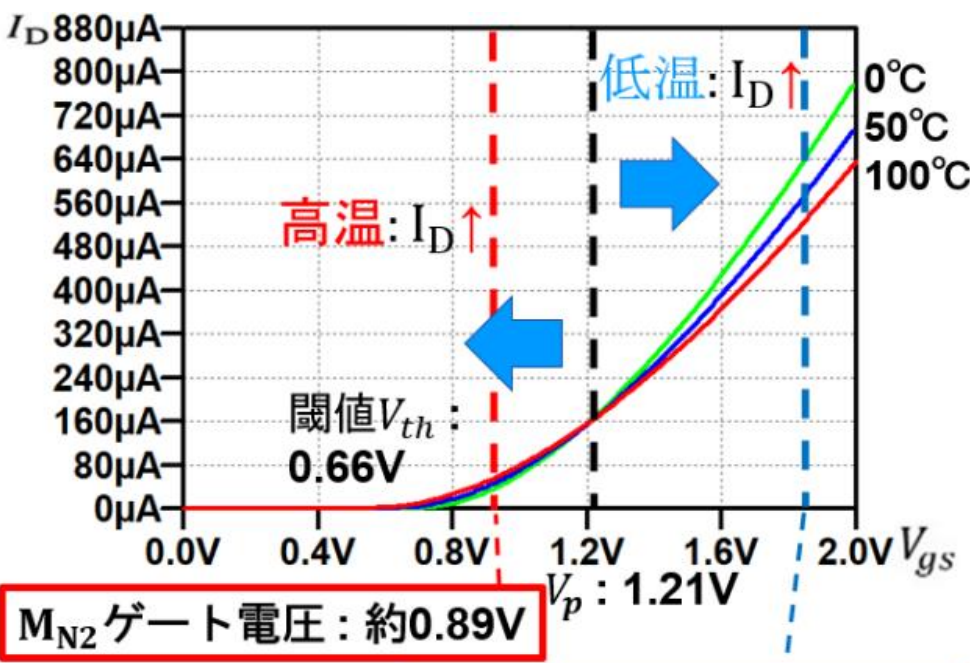
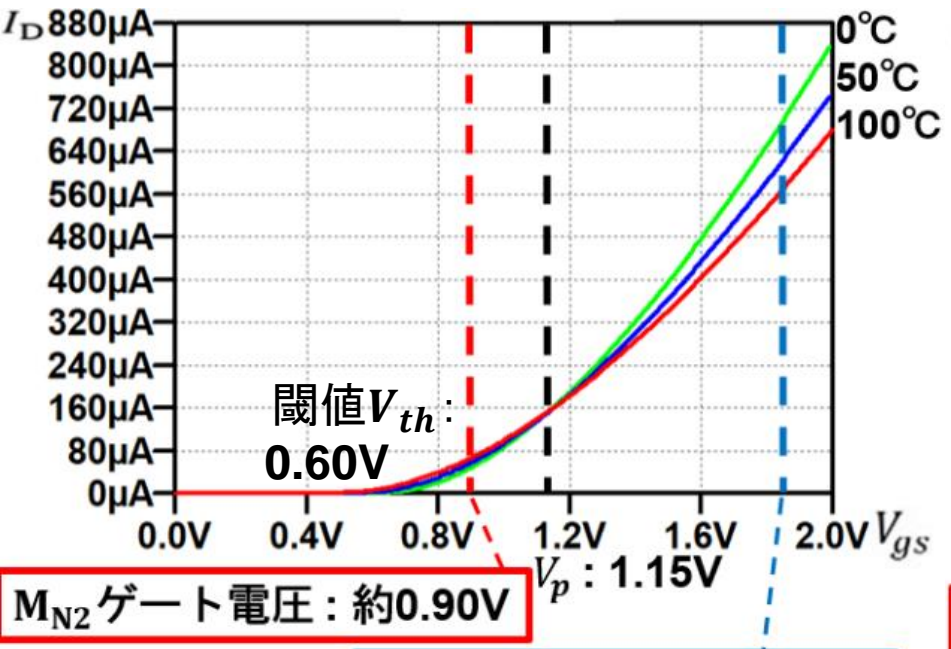


各ゲート電圧の比較(閾値標準値 vs +10%)

NMOS閾値電圧

$V_{th} = 0.60V$ (標準値)

$V_{th} = 0.66V$ (+10%)



$V_{th} = 0.54V$ (+10%) のとき

M_{N2} における温度による電流差 (高温時 - 低温時) \rightarrow 大

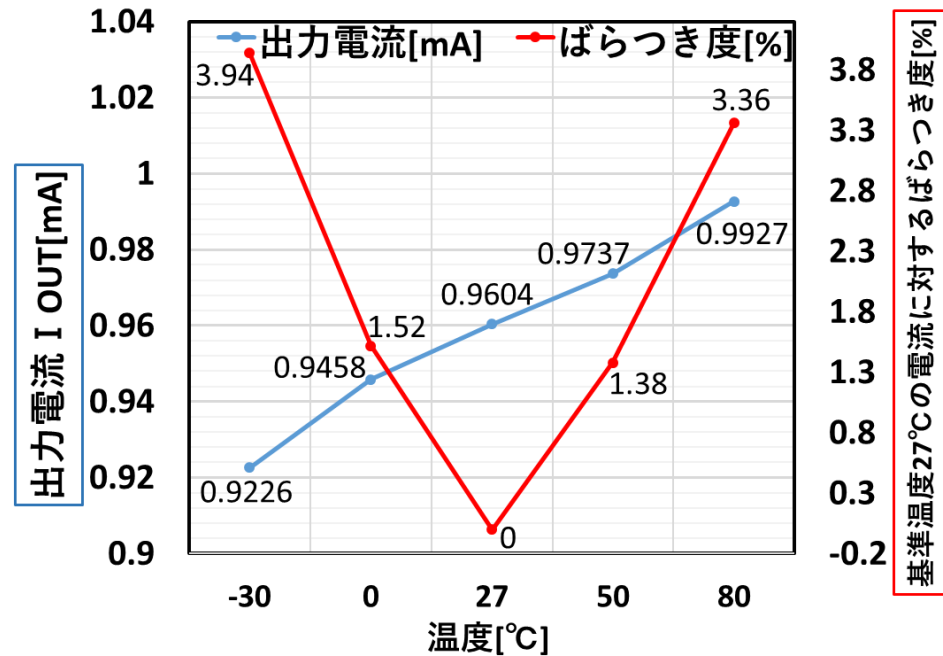
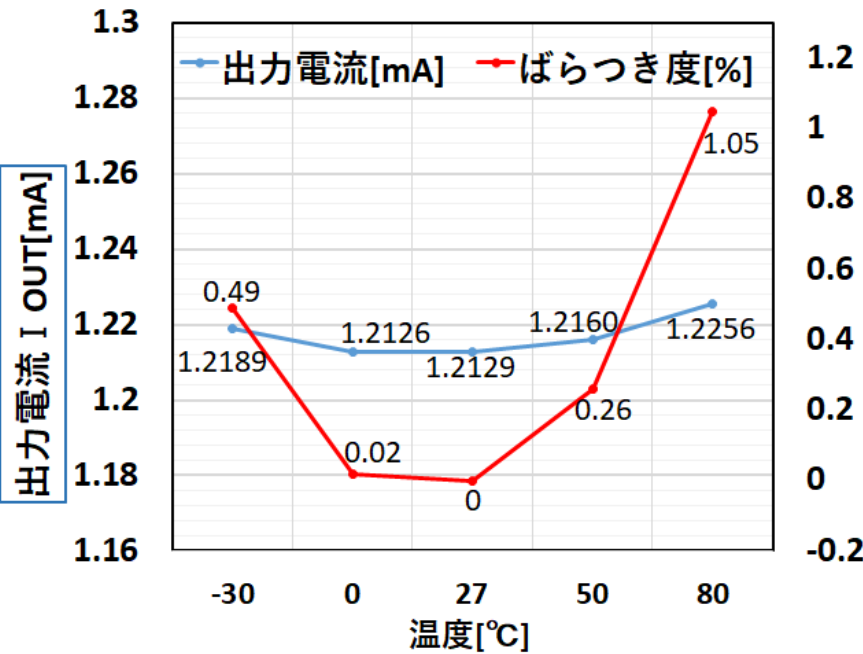
M_{N4} における温度による電流差 (低温時 - 高温時) \rightarrow 小

電流値&ばらつきと比較(閾値標準値vs+10%)

NMOS閾値電圧

$$V_{th} = 0.60V (\text{標準値})$$

$$V_{th} = 0.66V (+10\%)$$



$V_{th} = 0.66V (+10\%)$ のとき

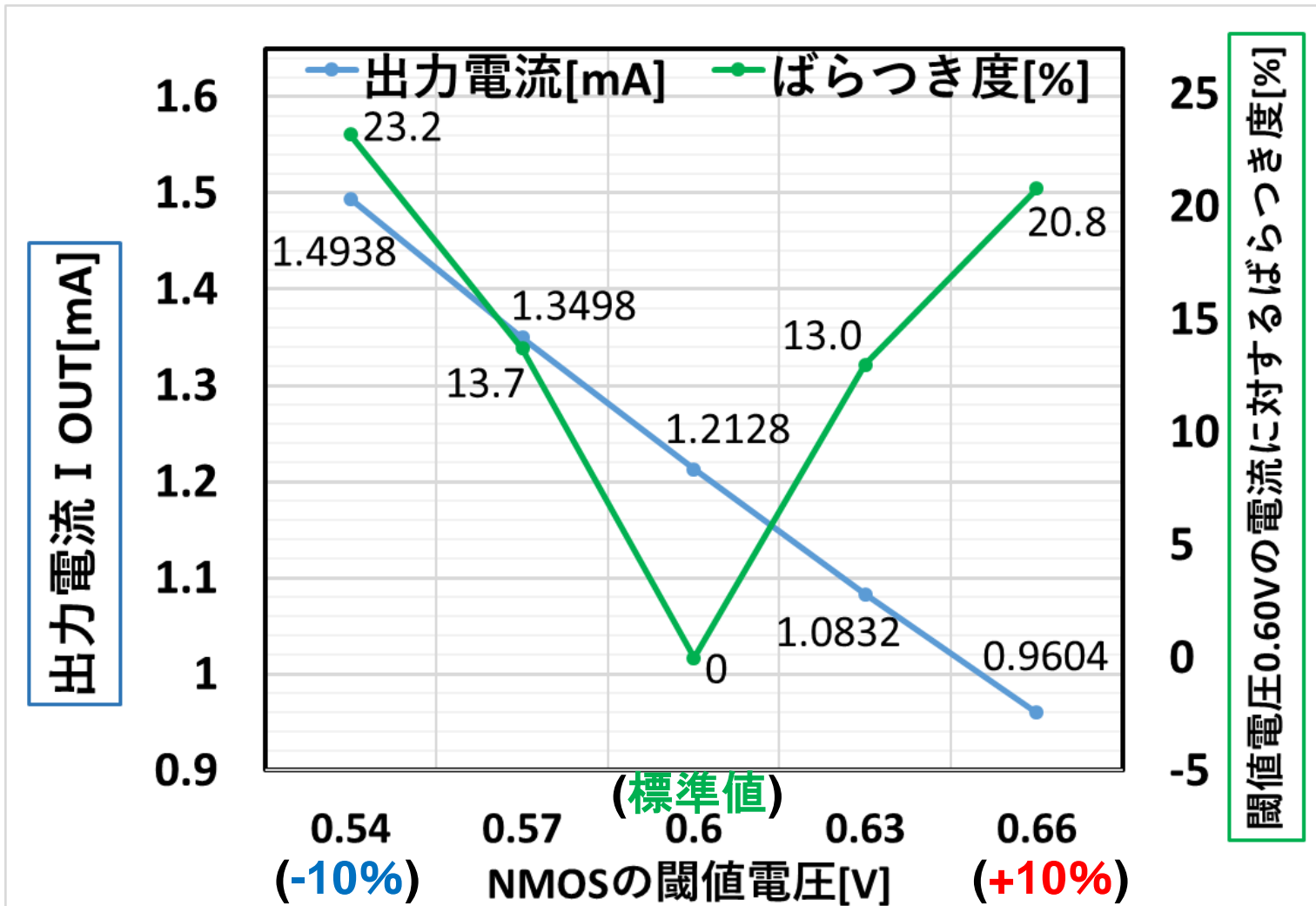
電流値



約0.3mA減少

電流ばらつき → 温度高で電流増 最大3.94%

各閾値電圧の27°C時の I_{OUT} と誤差



OUTLINE

- 研究目的
- MOS FET の温度特性
- 温度に依存しないMOS定電流源のコンセプト
- 自己バイアスを用いた回路提案
- NMOSの閾値電圧ばらつきによる回路への影響検証
- まとめ

まとめ

- まとめ
 - 自己バイアス回路を用いることにより、提案回路においてMOS FETの温度特性をキャンセルできることを確認した。
 - LTspiceシミュレーションによって、NMOSの閾値電圧変動が提案回路の出力電流に大きな影響を与えることが分かった。
- 今後の課題
 - 抵抗値の変動による回路への影響も検証する。

MOS FETのパラメータ

*

* Long channel models from CMOS Circuit Design, Layout, and Simulation,

* Level=3 models VDD=5V, see CMOSedu.com

*

```
.MODEL N_1u NMOS LEVEL = 3
+ TOX  = 200E-10      NSUB  = 1E17      GAMMA = 0.5
+ PHI  = 0.7          VTO   = 0.60      DELTA = 3.0
+ UO   = 650          ETA   = 3.0E-6     THETA = 0.1
+ KP   = 120E-6       VMAX  = 1E5       KAPPA = 0.3
+ RSH  = 0            NFS   = 1E12      TPG   = 1
+ XJ   = 500E-9       LD    = 100E-9
+ CGDO = 200E-12      CGSO  = 200E-12     CGBO  = 1E-10
+ CJ   = 400E-6       PB    = 1          MJ    = 0.5
+ CJSW = 300E-12     MJSW  = 0.5
```

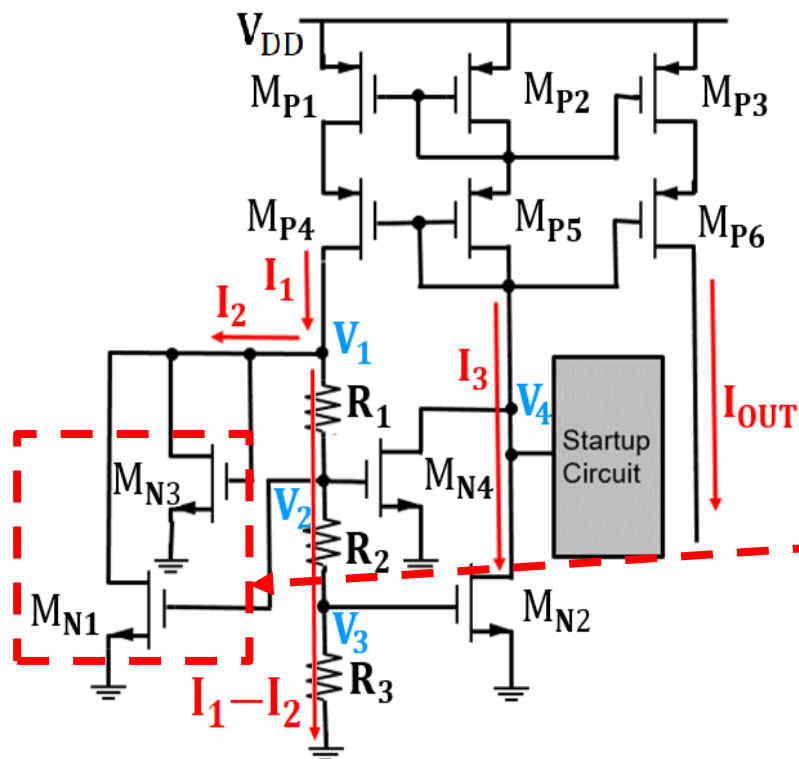
```
.MODEL P_1u PMOS LEVEL = 3
+ TOX  = 200E-10      NSUB  = 1E17      GAMMA = 0.6
+ PHI  = 0.7          VTO   = -0.6     DELTA = 0.1
+ UO   = 250          ETA   = 0          THETA = 0.1
+ KP   = 40E-6        VMAX  = 5E4       KAPPA = 1
+ RSH  = 0            NFS   = 1E12      TPG   = -1
+ XJ   = 500E-9       LD    = 100E-9
+ CGDO = 200E-12      CGSO  = 200E-12     CGBO  = 1E-10
+ CJ   = 400E-6       PB    = 1          MJ    = 0.5
+ CJSW = 300E-12     MJSW  = 0.5
```

質疑応答(Q & A)

シミュレーション条件

$M_{P1} \sim M_{P6}$	$W=800\mu\text{m}, L=2.0\mu\text{m}$
M_{N1}, M_{N3}	$W=0.25\mu\text{m}, L=2.0\mu\text{m}$
M_{N2}	$W=200\mu\text{m}, L=2.0\mu\text{m}$
M_{N4}	$W=20\mu\text{m}, L=2.0\mu\text{m}$
R_1	$5.0\text{ k}\Omega$
R_2	$1.61\text{ k}\Omega$
R_3	$1.5\text{ k}\Omega$
V_{DD}	5.0 V

Q. 従来までの回路と比べて、
どのような点が改善したか
という比較はあるか。



A. 今回は前回と比べて、一部のMOS FETのチャンネル幅(赤字の部分)を変更して検証したが比較はしていなかった。NMOSの閾値変更以外のパラメータ変更による影響も今後検証していく。