

バンドパス ΔΣ AD 変調器への FIR DAC 適用の検討

Nengvang Lengkhang*, 魏 江林, 片山 翔吾, 沙 磊, 桑名 杏奈 (群馬大学)
永沼 和文, 篠井 潔, 斉藤 潤一 (アルプスアルパイン(株)) 小林 春夫 (群馬大学)

Study on Application of FIR DAC to Bandpass ΔΣ AD Modulator

Lengkhang Nengvang*, Jianglin Wei, Shogo Katayama, Lei Sha, Anna Kuwana (Gunma Univ.)

Kazufumi Nagamura, Kiyoshi Sasai, Junichi Saito (Alps Alpine Co., Ltd.)

Haruo Kobayashi (Gunma Univ.)

キーワード : ΔΣAD 変調器, バンドパス, 高次, FIR DAC, 安定性
(Delta-Sigma AD Modulator, Bandpass, High-order, FIR DAC, Stabilization)

1. はじめに

近年, IoT(Internet of Things)が急進展している中、自然界の物理信号であるアナログ信号からデジタル信号への変換を行う AD 変換器(Analog to Digital Converter)の低消費電力化・高性能化の要求がますます高くなっている。その中で ΔΣAD 変換方式のセンサーインターフェースでの使用が研究者の間で注目を集めている。ΔΣAD 変換器は大部分がデジタル回路で構成され比較的低速・低周波数帯でありながら高線形・高分解能・低消費電力という特徴を有する。

ΔΣAD 変換器の AD 変換精度を向上し、信号帯域を広くするためには 1 次、2 次 ΔΣAD 変換器(積分回路が 2 つ)から 3 次 ΔΣAD 変換器(積分回路が 3 つ)にすると実現しやすい。しかしながら、直接 3 次 ΔΣAD 変換器を実現しようとすると回路が不安定になってしまう。そして、これを安定化しようとすると回路が複雑になってしまう。そこで、本論文は有限長インパルス FIR DA 変換回路を用いることで、高次 ΔΣAD 変換器を安定化できることをシミュレーションで確認できたので、報告する。

2. 1 次及び 2 次 ΔΣAD 変換器

2.1 1 次 BP ΔΣAD 変換器

基本となる 1 次 ΔΣAD 変換器の構成を図 1 に示す。一つの積分器で構成されている。そして、積分器にはローパス(LP) フィルタ、バンドパス (BP) フィルタおよびハイパス (HP) フィルタが用いられる。今回は積分器に共振器 (Resonator)を用いた場合を検討する。図 2 に 1 次 BP ΔΣAD 変換器の Z 領域の伝達関数を示す。図 1 の比較器で発生する量子化ノイズを $E_q(z)$ でモデル化する。

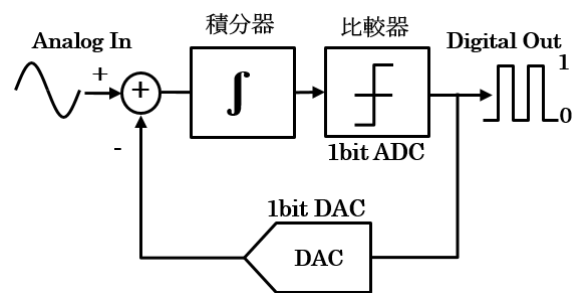


図 1 1 次 ΔΣAD 変換器の構成

Fig. 1. First-order ΔΣ AD modulator block diagram.

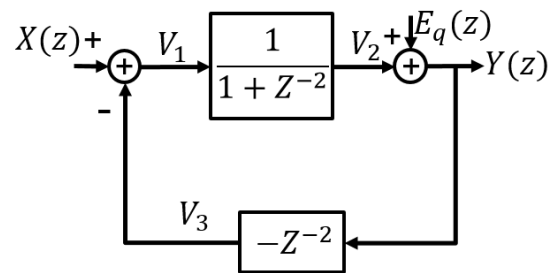


図 2 1 次 BP ΔΣAD 変換器の Z 領域の伝達関数

Fig. 2. First-order band-pass ΔΣ AD modulator signal transfer diagram in Z-domain.

図 2 より伝達関数は次のようになる。

$$Y(z) = V_2(z) + E_q(z) = \frac{1}{1+z^{-2}}\{X(z) + z^{-2}Y(z)\} + E_q(z)$$

$$\therefore Y(z) = X(z) + (1+z^{-2})E_q(z) \quad (1)$$

$$= STF \cdot X(z) + NTF \cdot E_q(z)$$

STF = 1, NTF = (1 + z⁻²)となることがわかる。ここで、STF(Signal Transfer Function)は信号伝達関数で、

NTF(Noise Transfer Function)は雑音伝達関数である。量子ノイズが一回微分（正確には帯域阻止）され、1次ノイズシェーピング特性が得られる。

2.2 2次BPΔΣAD変換器

図3に2次ΔΣAD変換器の構成を示す。図4に2次BPΔΣAD変換器のZ領域の伝達関数を示す。

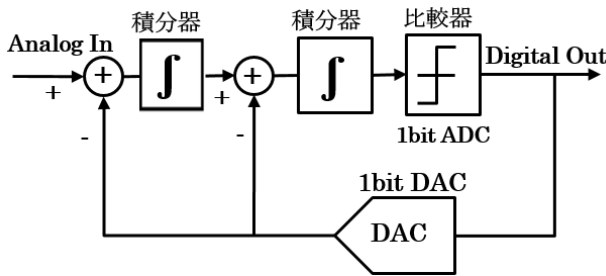


図3 2次ΔΣAD変換器の構成

Fig. 3. Second-order ΔΣ AD modulator block diagram.

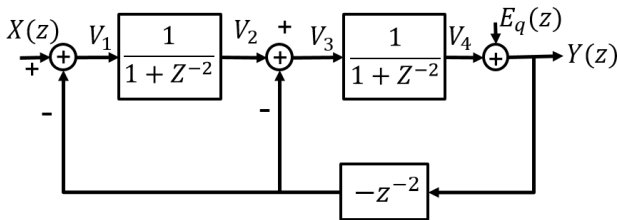


図4 2次BPΔΣAD変換器のZ領域の伝達関数

Fig. 4. Second-order band-pass ΔΣ AD modulator signal transfer diagram in Z-domain.

図4より伝達関数は次のように求めることができる。

$$Y(z) = V_4(z) + E_q(z)$$

$$= \frac{1}{1+z^{-2}} \left\{ \frac{1}{1+z^{-2}} [X(z) + z^{-2}Y(z)] + z^{-2}Y(z) \right\} + E_q(z)$$

$$\therefore Y(z) = X(z) + (1+z^{-2})^2 E_q(z) \quad (2)$$

STF = 1, NTF = (1 + z⁻²)²となることからわかる。よって、ノイズが2回微分（2次の帯域阻止）され、2次ノイズシェーピングすることが得られる。

2.3 シミュレーション結果

1次および2次BP ΔΣAD変換器によるノイズシェーピングをシミュレーションで確認した結果は図5に示す。その結果より2次にすると1次の時よりノイズシェーピングされ、量子化ノイズをさらに低減できることが分かる。そして、横軸にOSR（Over Sampling Rate）を、縦軸にSQNDR(Signal to [Quantization Noise +Distortion] Ratio)をとり、描いたOSR-SQNDR特性は図6に示す。その結果よりOSR = 2³以上になると2次は1次より高いSQNDRを得ることがわかる。OSR、SQNDRの定義式を次に示す。

$$OSR = \frac{f_s}{2 \cdot BW} \quad (3)$$

$$SQNDR = 10 \cdot \log \frac{Signal Power}{\Sigma Noise Power} [dB] \quad (4)$$

ここで、BWを信号帯域とする。

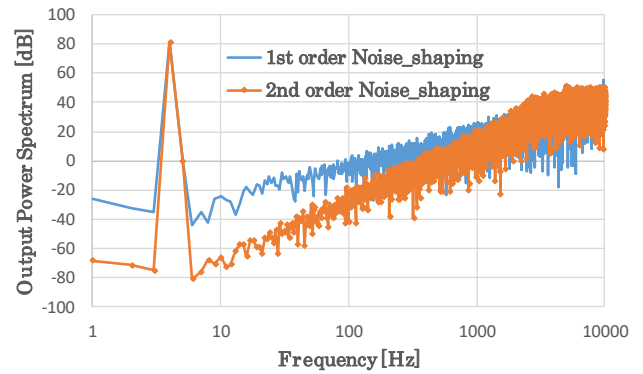


図5 1次および2次ノイズシェーピング比較

Fig. 5. First and second-order noise-shaping comparison

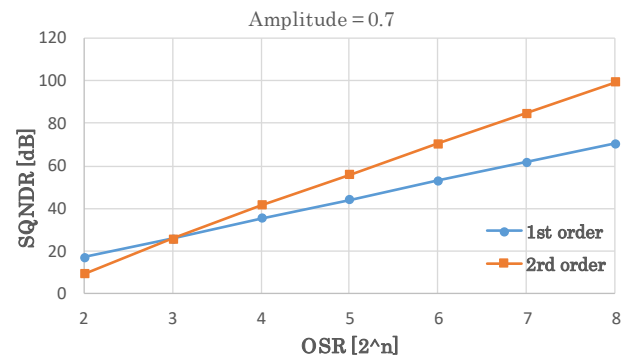


図6 1次、2次 OSR-SQNDR 特性

Fig6. First, second-order OSR-SQNDR Characteristics

3. 高次ΔΣAD変換器の安定化への検討

2次ΔΣAD変換器の比較器に別の1次ΔΣAD変換器に置き換えると、3次ΔΣAD変換器を構成できる。図7に3次ΔΣAD変換器の構成を示す。図8に3次BPΔΣAD変換器のZ領域の伝達関数を示す。

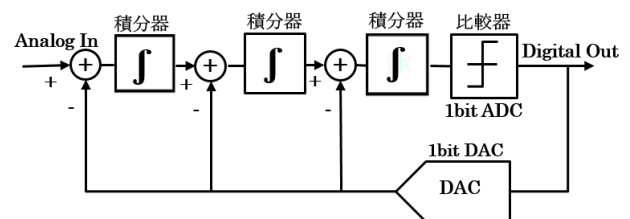


図7 3次ΔΣAD変換器の構成

Fig. 7. Third-order ΔΣ AD modulator block diagram.

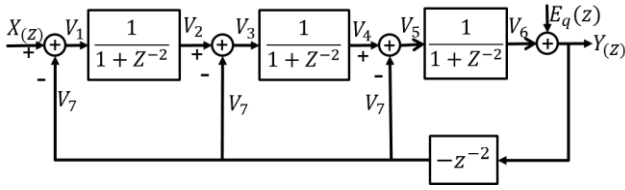


図 8 3次BPΔΣAD変換器のZ領域の伝達関数

Fig. 8. Third-order BP ΔΣ AD modulator signal transfer diagram in Z-domain.

図 8 から次の入出力関係が得られる。

$$Y(z) = X(z) + (1 + z^{-2})^3 E_q(z) \quad (5)$$

STF = 1, NTF = (1 + z⁻²)³ となることが分かる。

上記の解析により 3 次にすると 3 回微分され、量子化ノイズを大きく低減でき、SQNDR をさらに向上させることが予想される。しかしながら、図 3 に示す 2 次から直接に図 7 に示す 3 次 ΔΣAD 変換器にすると、変調器が不安定になる。そこで、各積分器（共振器）のゲインを調整し STF の係数を 1 より小さくすることで変調器を安定化することを検討した。

3.1 3次BPΔΣAD変換器1bit DAC

図 9 の 3 次 BPΔΣAD 変換器で共振器のゲイン（係数 a₁, a₂, a₃）を調整することで安定化させる。安定化のためのこれらの係数はシミュレーションで求める。内部の ADC, DAC は 1bit である。なお、内部 ADC が 1 ビットであるので、a₃ は正の値であればその値は変調器の安定性には影響を与えない。

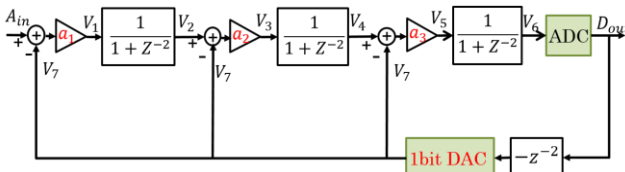


図 9. 利得スケールした 3 次 BP Δ Σ AD 変調器 (内部に 1bit ADC/DAC 使用)

Fig. 9. Third-order BP ΔΣ AD modulator with gain scaling (1bit ADC/DAC are used internally).

3.2 3次BPΔΣAD変換器FIR DAC

図 10 に検討した FIR DAC を用いた 3 次 BP Δ Σ AD 変換器を示す。同様に各共振器の前に係数を掛ける。1bit DAC の代わりに検討 FIR (Finite Impulse Response) DAC を用いて安定化させる。FIR DAC の関数は次のようにした。

$$V_7(z) = k_0 D_{out}(z) + k_1 z^{-2} D_{out}(z)$$

この FIR DAC の時間領域関数は次のようになる。

$$v_7(n) = k_0 D_{out}(n) + k_1 D_{out}(n - 2) \quad (6)$$

この FIR DAC は 2bit 入力 DAC になるが本質的に線形性にすることができる。すなわち式(6)の積和演算はアナログ的に構成するが、デバイスミスマッチ等で k₀, k₁ の値がばらについても線形性は保たれる。

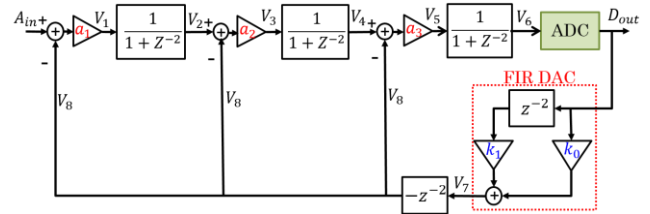


図 10 検討 FIR DAC を用いた 3 次 BP Δ Σ AD 変換器。

Fig.10. Third-order BP ΔΣ modulator with FIR DAC.

3.3 シミュレーションによる結果比較

上記の 1bit DAC と FIR DAC それぞれの場合で安定させるために、シミュレーションで求めた係数を表 1 に示す。FIR DAC は 2bit なので 4 値出力であるので高次ループの安定性に寄与できるので、a₁, a₂ の係数値が 1bit DAC の場合に比べて少し大きくできている。図 11 に 1bit DAC および FIR DAC を用いたときの出力パワースペクトルを示す。図 12 に入力正弦波の振幅 A=0.7 の時の両者の OSR-SQNDR 特性を示す。OSR = 2⁶ の時、入力アナログの正弦波振幅を 0.1~安定限界の振幅値まで変化させて得られた SQNDR を図 13 に示す。提案 FIR DAC は 1bit DAC に比べ同等または多少高 SQNDR を得ることができる。SQNDR を向上できる a₁, a₂, k₀, k₁ の最適値の探索を行ってきたい。

表 1 係数の値

Table. 1. Coefficient Value

| 係数 | 1 bit DAC | FIR DAC |
|----------------|-----------|---------|
| a ₁ | 0.25 | 0.30 |
| a ₂ | 0.40 | 0.45 |
| a ₃ | 5.00 | 5.00 |
| k ₀ | | 1.20 |
| k ₁ | | -0.10 |

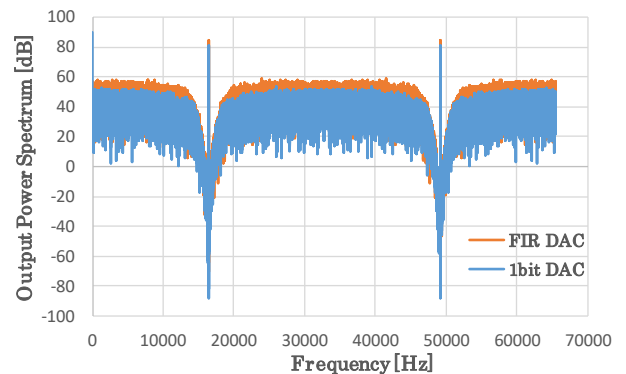


図 11 両者の出力パワースペクトラム比較

Fig11. Output Power Comparison

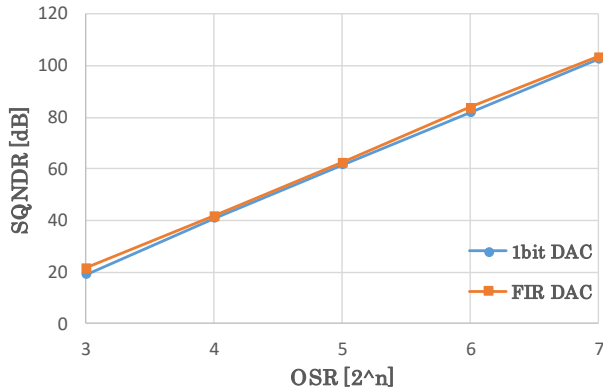


図 12 図 9, 10 変調器の OSR-SQNDR 特性

Fig. 12. OSR-SQNDR characteristics of the modulators in Figs. 9 and 10.

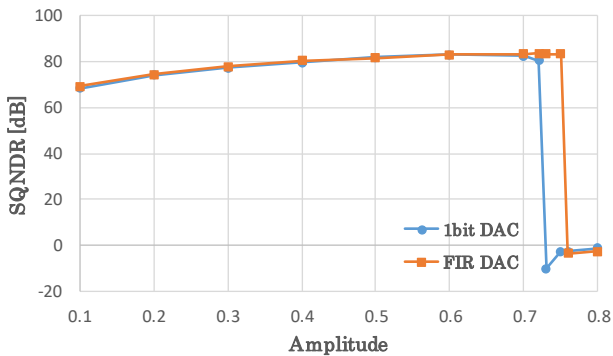


図 13 入力正弦波振幅と SQNDR 特性

Fig. 13. Input amplitude vs. SQNDR characteristics.

提案 FIR DAC 3 次 BP Δ Σ AD 変換器を用いた時の、1 次、2 次、3 次変調器の OSR-SQNDR 特性比較結果を図 14 に示す 1bit DAC 使用時とほぼ同じ傾きを持つ。

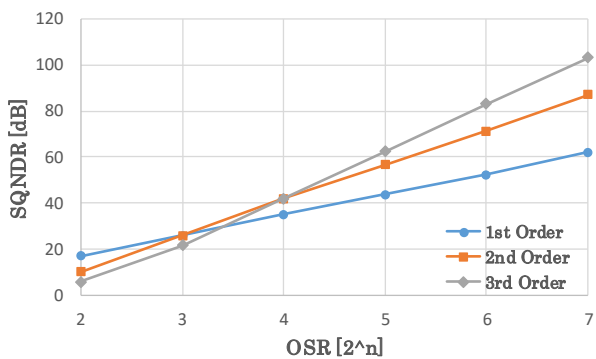


図 14 FIR DAC を用いた 1 次、2 次、3 次 BP 変調器の

OSR-SQNDR 特性

Fig. 14. OSR-SQNDR characteristics of first, second and third-order modulators with FIR DAC.

4. まとめ

本論文は、3 次 BP Δ Σ AD 変換器に FIR DAC を用いることをシミュレーションで検討した。FIR DAC を用いた 3 次 BP Δ Σ AD 変調器は安定性が良くなるので、通常の 1bit DAC を用いた 3 次 BP Δ Σ AD 変換器より利得スケーリング係数を少し大きくでき SQNDR は 1bit DAC の場合と同等以上であることをシミュレーションで検証した。さらに利得スケーリング係数を大きくでき変調器の SQNDR を向上できる FIR DAC の次数と係数を見つけていく。

シミュレーションは離散時間変調器で行ったが、今後はインパルス不変変換を用いて連続時間変調器に変換していく。連続時間変調器では 1bit DAC のサンプリングクロックのジッタにより変調器全体の SQNDR が劣化する。FIR DAC を用いると SQNDR 劣化が軽減できることが知られている。このジッタ影響による SQNDR 劣化軽減とスケーリング係数を大きくできることによる SQNDR 向上の両方を達成できる FIR DAC の次数と係数を調べていく。

文 献

- (1) S. Pavan, R. Schreier, G. C. Temes, Understanding Delta-Sigma Data Converters, Second Edition, IEEE Press (Jan.2017)
- (2) H. Pakiniat, M. Yavari, "A ΣΔ-FIR-DAC for Multi-Bit ΣΔModulators", IEEE Trans. Circuits and Systems-I, vol. 60, no. 9 (Sept. 2013).
- (3) A. Ashry, H. Aboushady, "A Generalized Approach to Design CT ΣΔMs based on FIR DAC", IEEE International Circuits and Systems (May 2010)
- (4) A. Mohamed, A. Sakr, J. Anders, "FIR Feedback in Continuous-Time Increment Sigma-Delta ADCs", IEEE International New Circuits and Systems (June 2019)
- (5) I. Assom, G. Salgado, D. O'Hare, I. O'Connell, K. A. O'Donoghue, "4th-Order Continuous-Time ΔΣ Modulator with Improved Clock Jitter Immunity using RTZ FIR DAC", IEEE International Conference on Electronics, Circuits and Systems (Dec. 2018)
- (6) S. Loeda, J. Harrison, F. Pourchet, A. Adams, "A 10/20/30/40 MHz Feedforward FIR DAC Continuous-Time ΔΣ ADC With Robust Blocker Performance for Radio Receivers", IEEE Journal of Solid-State Circuits, vol. 51, no. 4 (April 2016).
- (7) A. Jain, A. Abdelaal, M. Ortmanns, "Effective Filtering of Requantization Error in Dual Quantized CTDSM using FIR DAC", IEEE International Circuits and Systems (May 2019)
- (8) M. H. Jang, C. Lee, Y. Chae, "A 134μW 24kHz-BW 103.5dB-DR CT ΔΣ Modulator with Chopped Negative-R and Tri-Level FIR DAC", IEEE International Solid-State Circuits Conference (Feb. 2020).
- (9) M. Uemori, H. Kobayashi, T. Ichikawa, A. Wada, K. Mashiko, T. Tsukada, M. Hotta, "High-Speed Continuous-Time Subsampling Bandpass ΔΣAD Modulator Architecture", IEICE Trans. Fundamentals, E89-A, no.4 (April 2006).
- (10) 元澤篤史、ロレ バスカル、林海軍、田邊朋之、上森将文、飯塚邦彦、小林春夫、傘昊、高井伸和「RF サンプリング連続時間バンドパス ΔΣAD 変調器アーキテクチャの検討」電気学会 電子回路研究会 ECT-08-24 (2008 年 3 月)。