

# 電流非一定分割抵抗ラダーを用いた DA 変換器構成と微分非線形性の解析

平井愛統 (Manato Hirai),  
谷本 洋, 源代裕治, 山本修平,  
桑名杏奈, 小林春夫

群馬大学, 北見工業大学

# OUTLINE

- 研究背景・目的
- DA変換器の構成
  - R-2R 電流源 DAC
- N進抵抗ラダーDACの構成
  - 抵抗ラダーを用いた電流分割
  - N進抵抗ラダーを用いた構成
- 異なる分流比を持つ抵抗ラダーの接続
  - 接続の条件・手順
  - DAC構成案と非線形性シミュレーション
- 結論

# OUTLINE

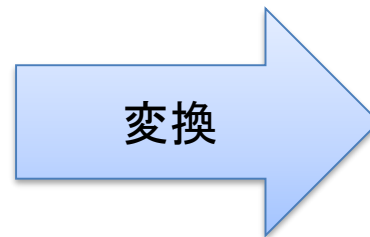
- 研究背景・目的
- DA変換器の構成
  - R-2R 電流源 DAC
- N進抵抗ラダーDACの構成
  - 抵抗ラダーを用いた電流分割
  - N進抵抗ラダーを用いた構成
- 異なる分流比を持つ抵抗ラダーの接続
  - 接続の条件・手順
  - DAC構成案と非線形性シミュレーション
- 結論

# 研究の背景

- デジタルアナログ変換器(DAC)の用途
  - デジタル信号処理結果の出力



デジタル信号



アナログ信号  
(電圧・音・光など)

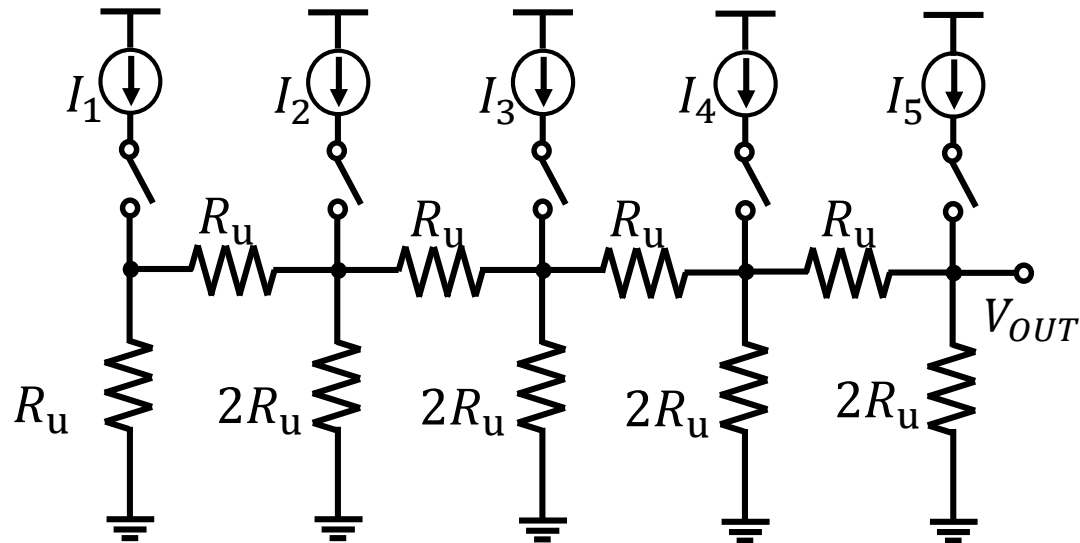
- アナログデジタル変換器(ADC)の内部回路

目的：抵抗ラダーによる非一定の電流分割を用いた  
DA変換器回路構成の検討と性能向上

# OUTLINE

- 研究背景・目的
- **DA変換器の構成**
  - R-2R 電流源 DAC
- N進抵抗ラダーDACの構成
  - 抵抗ラダーを用いた電流分割
  - N進抵抗ラダーを用いた構成
- 異なる分流比を持つ抵抗ラダーの接続
  - 接続の条件・手順
  - DAC構成案と非線形性シミュレーション
- 結論

# R-2R 電流源 DAC

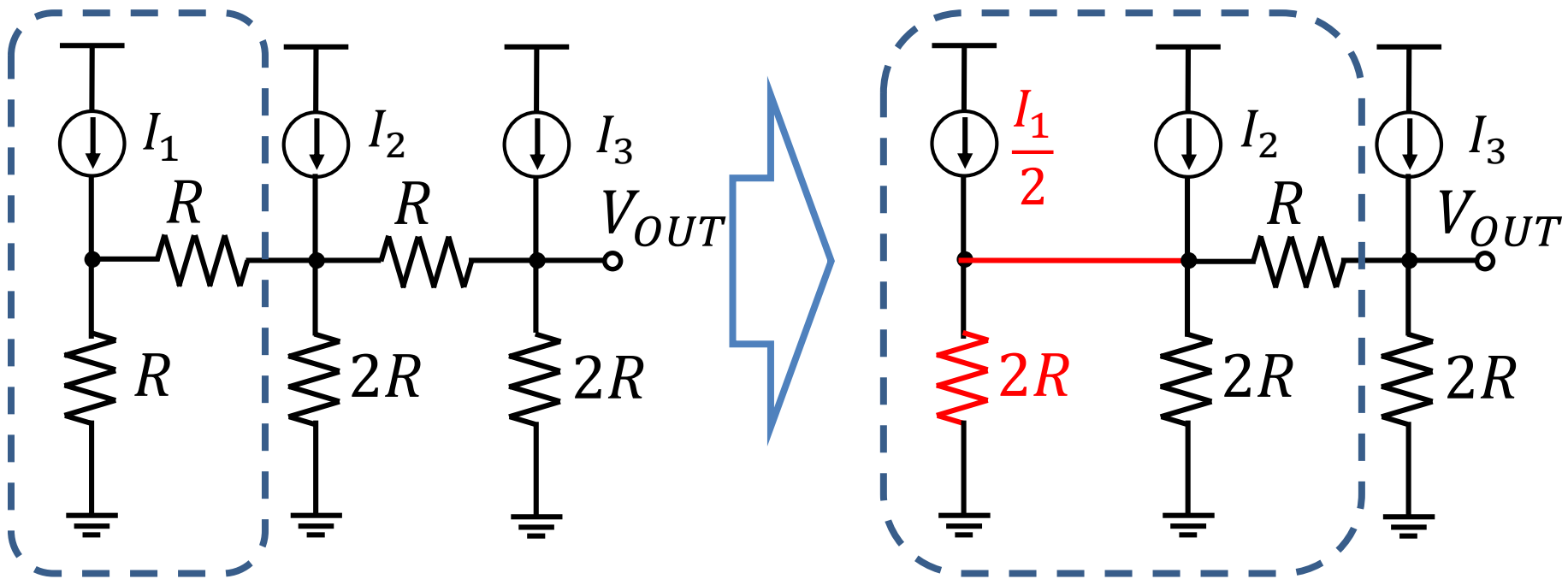


5-bit R-2R Current-steering DAC (線形回路モデル)

- R-2R 抵抗ラダーによる2進重みづけを利用
  - 電流 $I_1, \dots, I_5$ は2進重みづけされる
- **利点**
  - デコーダ不要
  - 電流源による比較的高速な動作
- **欠点**
  - 素子誤差でDNLが劣化
  - 上位ビット変化タイミングでグリッチが発生

# R-2R DAC の動作原理

- ノートの定理を用いて出力から離れた側から等価回路に変換
  - 内部の電流が出力に対して**2倍ずつの重み**をもつ

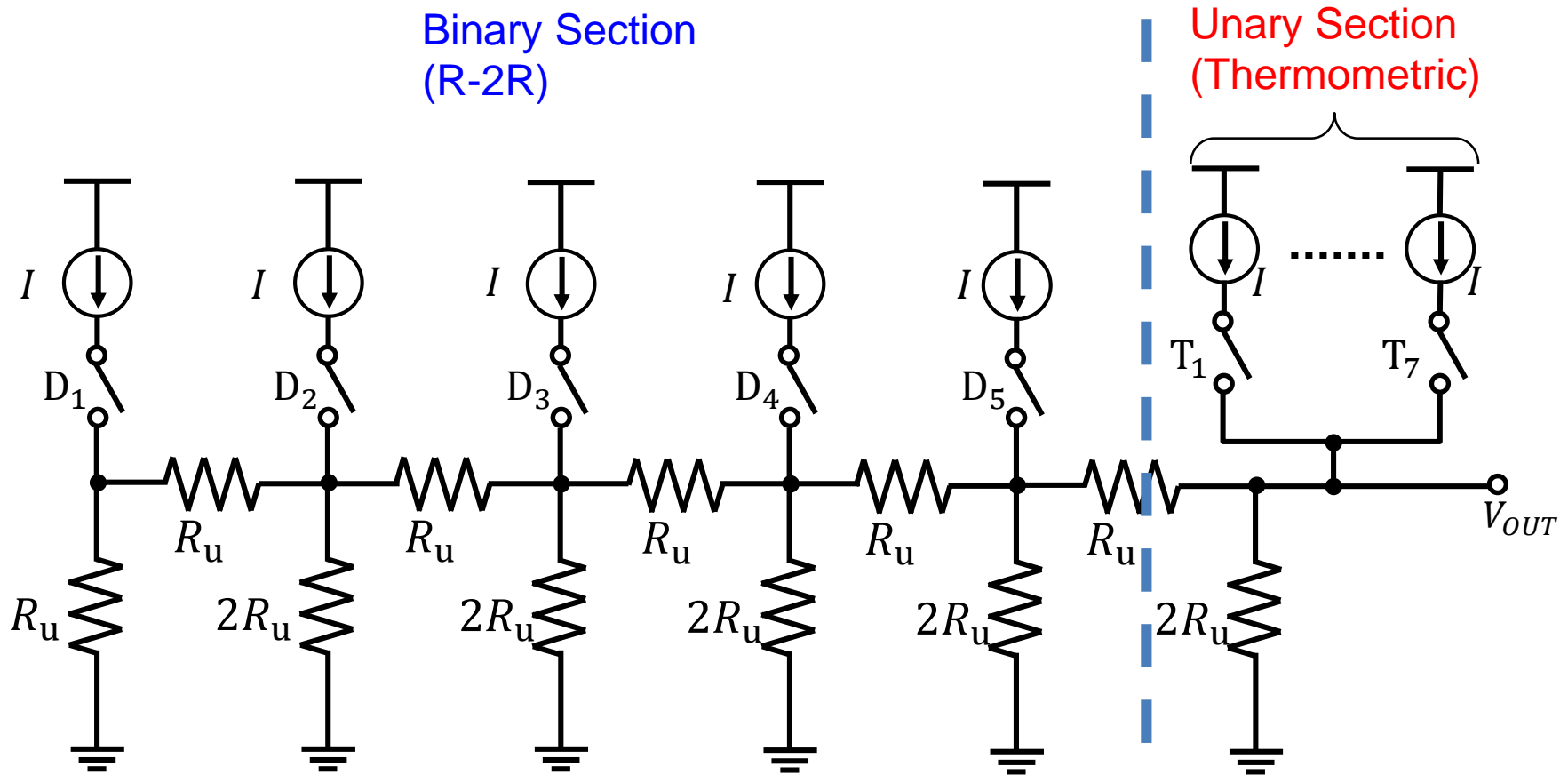


3-bit R-2R DAC

等価回路への変換

# セグメント化 R-2R DAC

- 素子ばらつきに起因する線形性劣化・グリッチを軽減
  - Unary部駆動のための温度計デコーダが必要



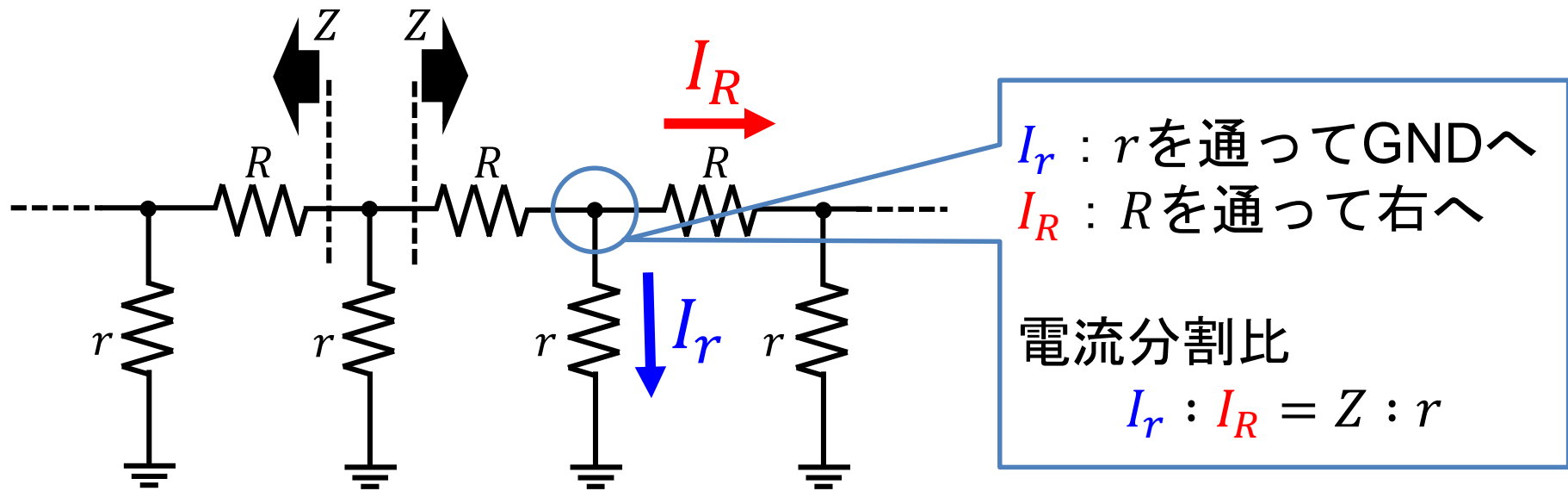
8-bit Segmented R-2R DAC (3-bit Unaryコード駆動)



# OUTLINE

- 研究背景・目的
- DA変換器の構成
  - R-2R 電流源 DAC
- **N進抵抗ラダーDACの構成**
  - 抵抗ラダーを用いた電流分割の検討
  - N進抵抗ラダーを用いた構成
- 異なる分流比を持つ抵抗ラダーの接続
  - 接続の条件・手順
  - DAC構成案と非線形性シミュレーション
- 結論

# 抵抗ラダーを用いた等比電流分割



- 無限に続く抵抗ラダーの合成抵抗  $Z$

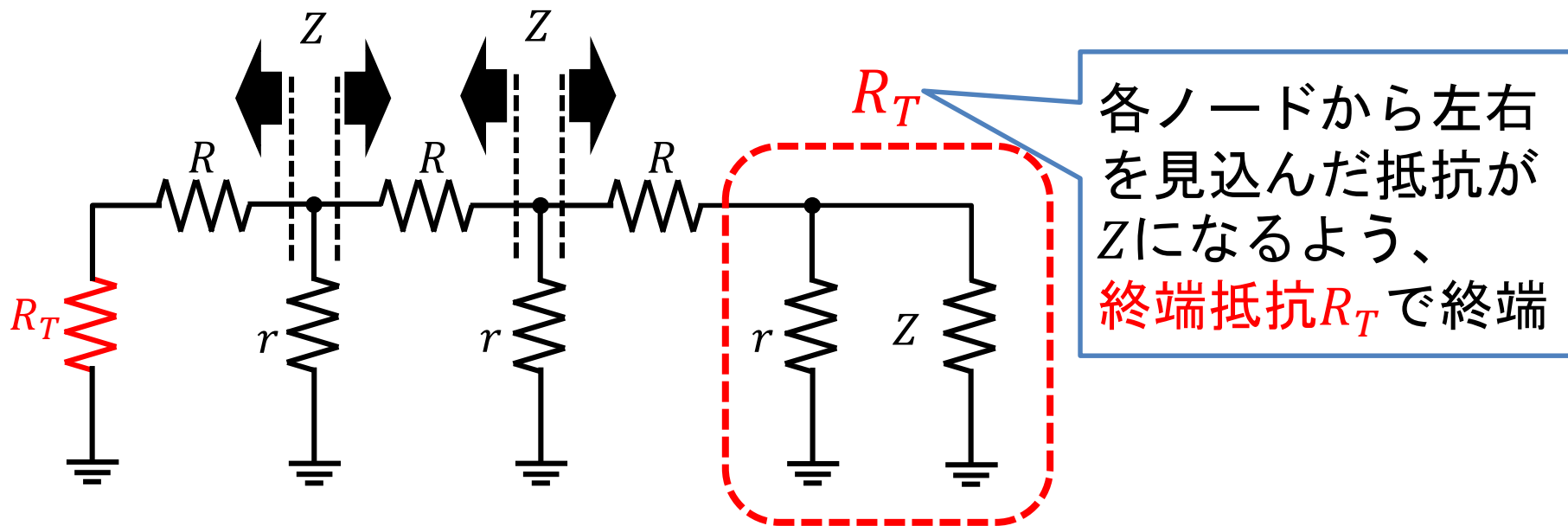
$$Z = \frac{R}{2} + \frac{\sqrt{R(R + 4r)}}{2}$$

- 整数  $N$  について電流分割比  $N - 1 : 1$  にしたい場合

$$I_r : I_R = Z : r = N - 1 : 1$$

$$\Leftrightarrow R : r = (N - 1)^2 : N$$

# 無限抵抗ラダーの有限打ち切り



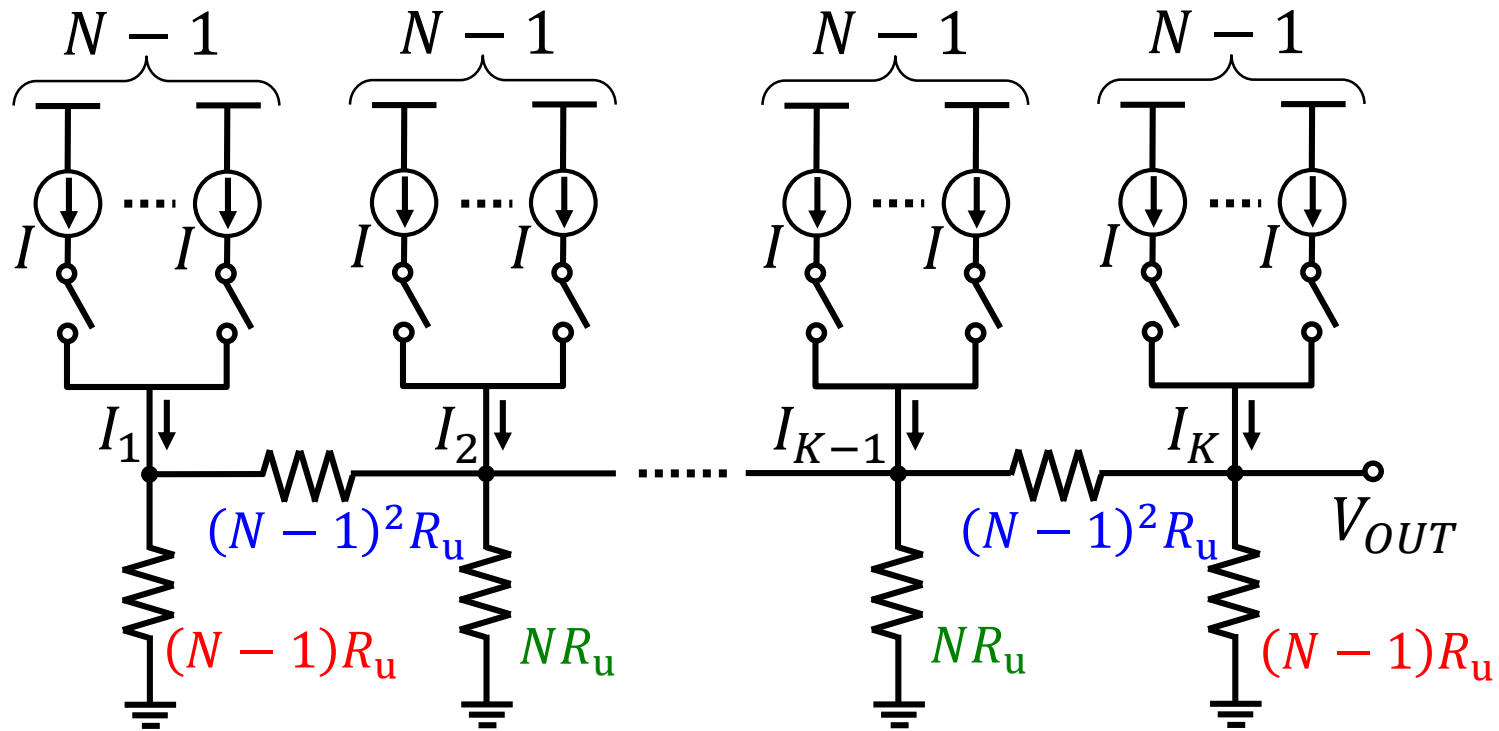
- 電流分割比  $N - 1 : 1$  を変えない終端抵抗値  $R_T$

$$R_T = Z - R = \frac{R}{N - 1}$$

電流を  $N - 1 : 1$  に分割する有限抵抗ラダーの  $R, r, R_T$  の抵抗比

$$R : r : R_T = (N - 1)^2 : N : N - 1$$

# N進抵抗ラダーDACの構成



$N$  : 電流分割比

$K$  : ラダー一段数

$I_j$  :  $j$  番目ノードに流し込まれる電流

$R_u$  : 基準抵抗

$I$  : 単位電流

- $N = 2$  の場合  $\Rightarrow$   **$K$ -bit R-2R DAC**

# 出力電圧と出力ステップ数

- 出力電圧

$$V_{\text{OUT}}(I_1, \dots, I_K, R_u, N, K) = (N - 1)R_u \sum_{j=1}^K \left( \frac{I_j}{N^{K-j}} \right)$$

- 出力電圧最大値

$$V_{\text{MAX}}(I, R_u, N, K) = R_u I \cdot N(N - 1) \cdot \left( 1 - \frac{1}{N^K} \right)$$

- 出力電圧最小ステップ

$$V_{\text{MIN}}(I, R_u, N, K) = (N - 1)R_u I \cdot \frac{1}{N^{K-1}}$$

- 出力電圧数  $N^K - 1$

$N$  : 電流分割比

$K$  : ラダ一段数

$I_j$  :  $j$  番目ノードに流し込まれる電流

$R_u$  : 基準抵抗

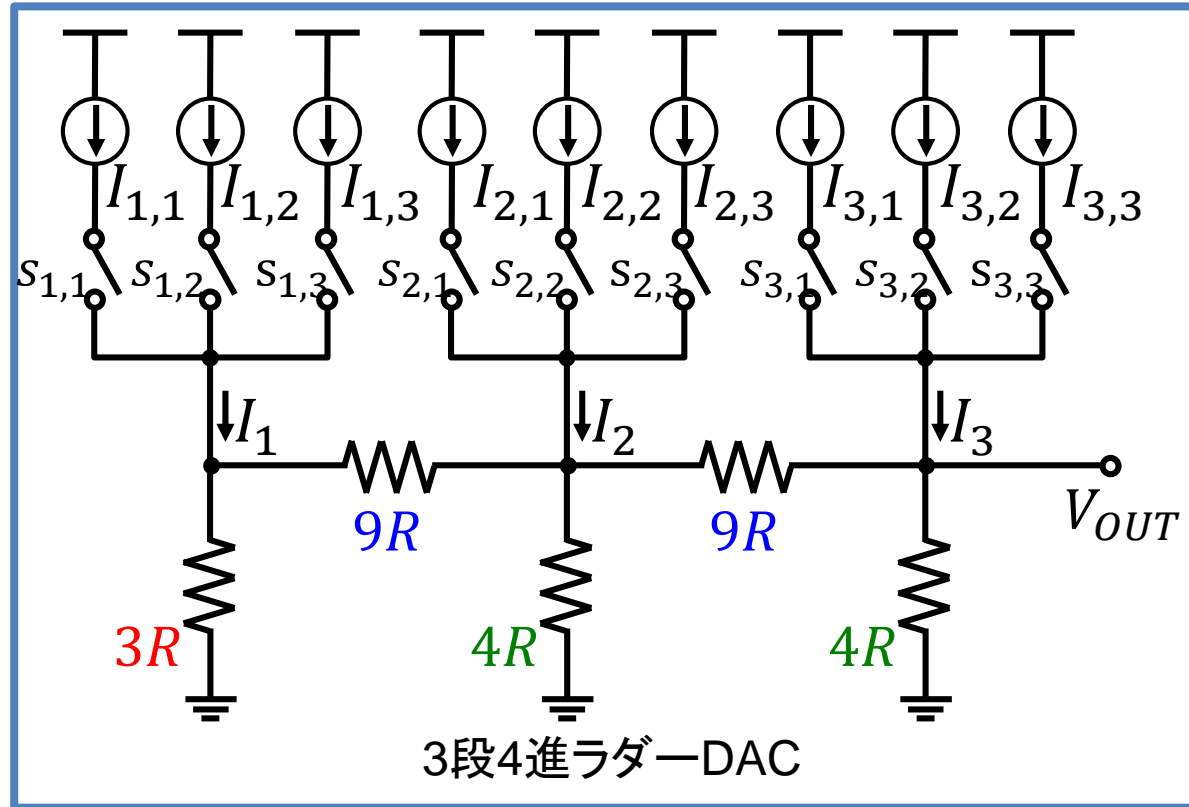
$I$  : 単位電流

# OUTLINE

- 研究背景・目的
- DA変換器の構成
  - R-2R 電流源 DAC
- **N進抵抗ラダーDACの構成**
  - 抵抗ラダーを用いた電流分割
  - **N進抵抗ラダーを用いた構成例**
- 異なる分流比を持つ抵抗ラダーの接続
  - 接続の条件・手順
  - DAC構成案と非線形性シミュレーション
- 結論

# 構成例 $N = 4$ , 4進ラダーDAC

- ラダー抵抗比  
 $9R : 4R : 3R$
- 電圧ステップ数  
 $N^K - 1$   
 $= 4^3 - 1$   
 $= 63$  段階
- 出力電圧



$$V_{OUT}(I_1, I_2, I_3, R_u) = 3R_u \left( I_3 + \frac{1}{4^1} I_2 + \frac{1}{4^2} I_1 \right)$$

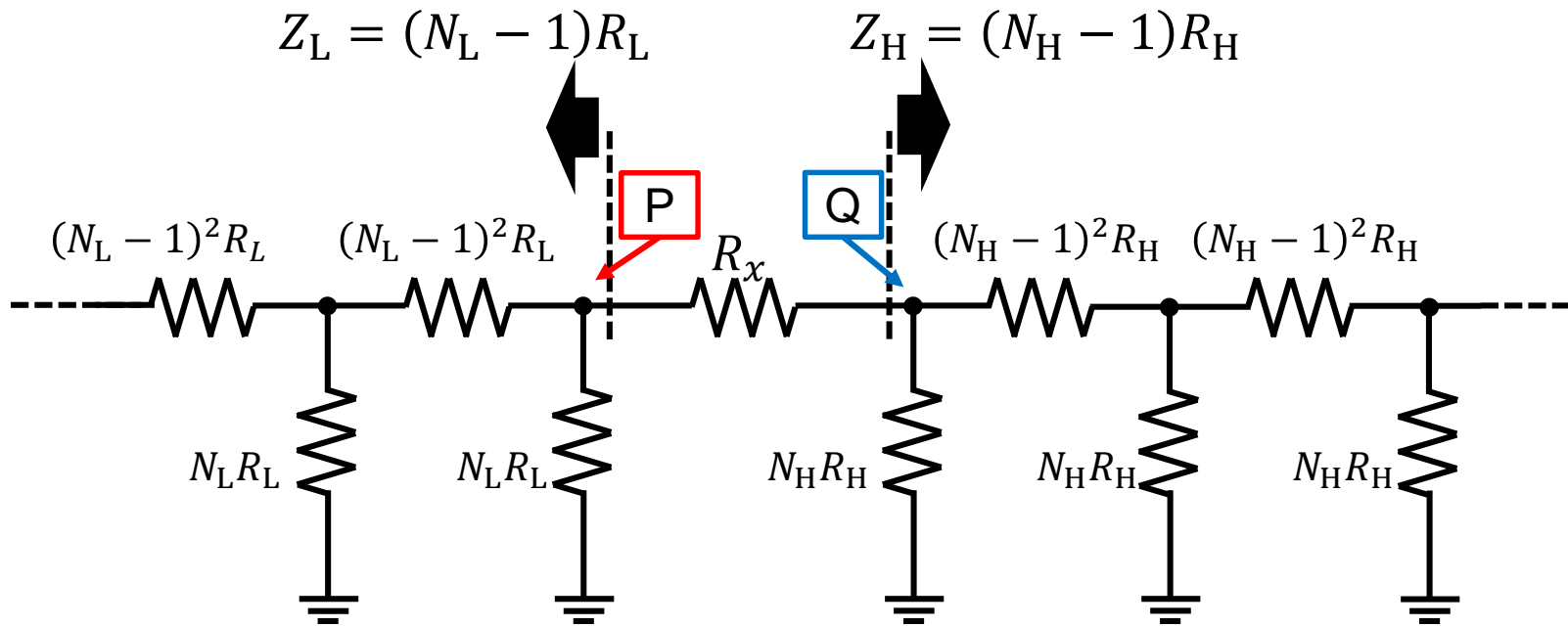
各段の  $I_j$  → 出力に対して4倍ずつの重みをもつ

# OUTLINE

- 研究背景・目的
- DA変換器の構成
  - R-2R 電流源 DAC
- N進抵抗ラダーDACの構成
  - 抵抗ラダーを用いた電流分割
  - N進抵抗ラダーを用いた構成
- 異なる分流比を持つ抵抗ラダーの接続
  - 接続の条件・手順
  - DAC構成案と非線形性シミュレーション
- 結論

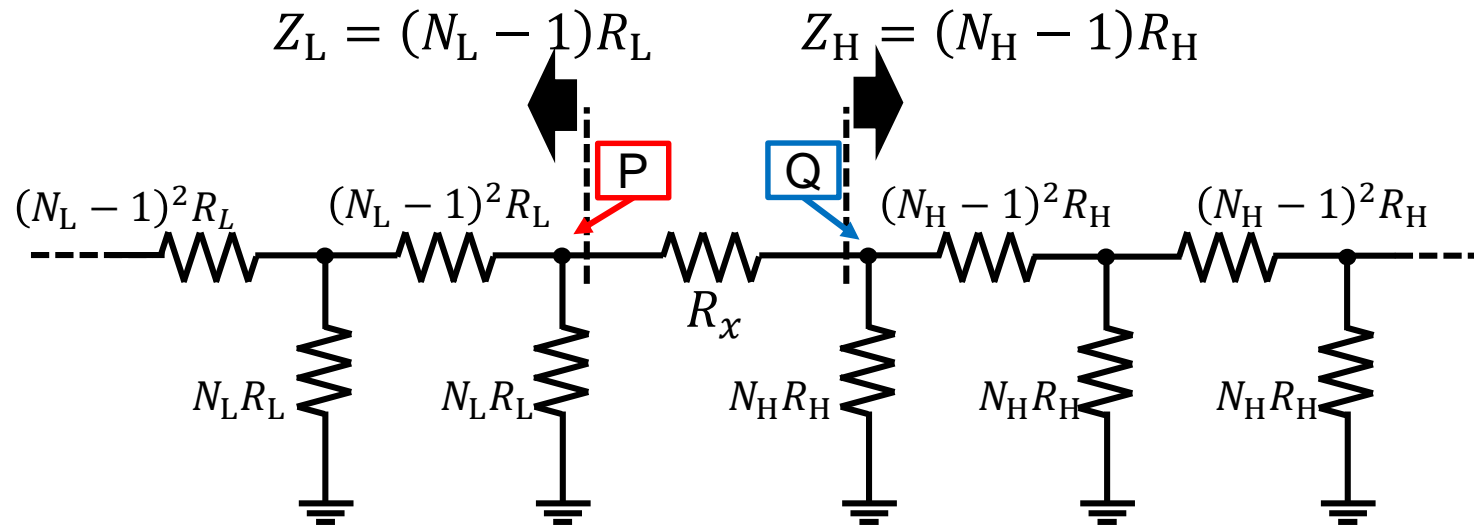


# 異なる分流比の抵抗ラダーの接続



- 接続する抵抗  $R_x$
- 下位側
  - 分流比 定数  $N_L$
  - 基準抵抗  $R_L$
  - P点から見た抵抗  $Z_L$
- 上位側
  - 分流比 定数  $N_H$
  - 基準抵抗  $R_H$
  - Q点から見た抵抗  $Z_H$

# 接続の条件



- 接続の条件

1. P点から右を見込んだ場合、 $N_H$ 進抵抗ラダーの特性。
2. Q点から左を見込んだ場合、上位側 $N_H$ 進特性が崩れない。

- $$\begin{cases} R_x + Z_H = N_H Z_L \\ R_x + Z_L = N_H Z_H \end{cases}$$

⇒ 
$$R_H = \frac{N_L - 1}{N_H - 1} R_L, \quad R_x = (N_H - 1)(N_L - 1)R_L$$

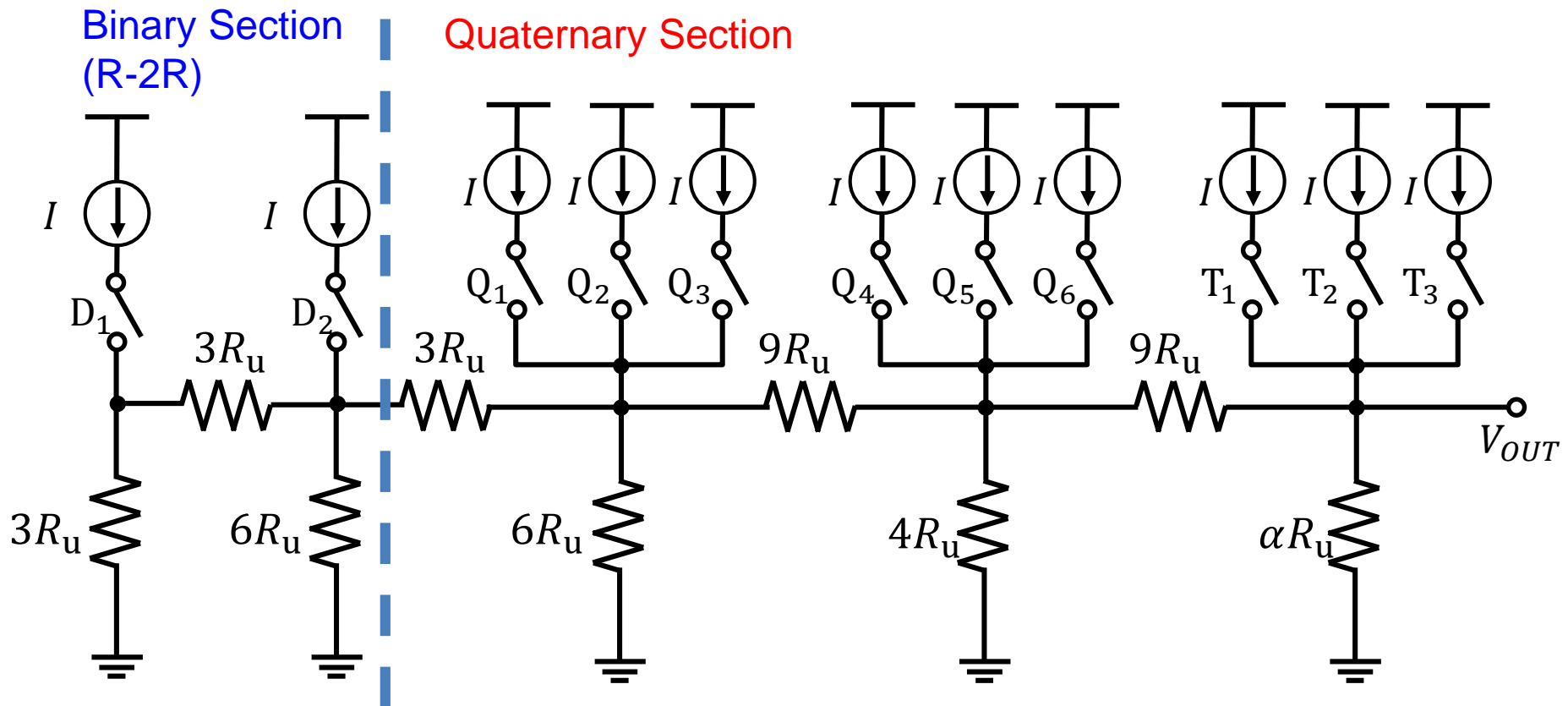
# OUTLINE

- 研究背景・目的
- DA変換器の構成
  - R-2R 電流源 DAC
- N進抵抗ラダーDACの構成
  - 抵抗ラダーを用いた電流分割
  - N進抵抗ラダーを用いた構成
- 異なる分流比を持つ抵抗ラダーの接続
  - 接続の条件・手順
  - DAC構成案と非線形性シミュレーション
- 結論

# 構成例

- 8-bit相当 2進-4進混成 抵抗ラダーDAC

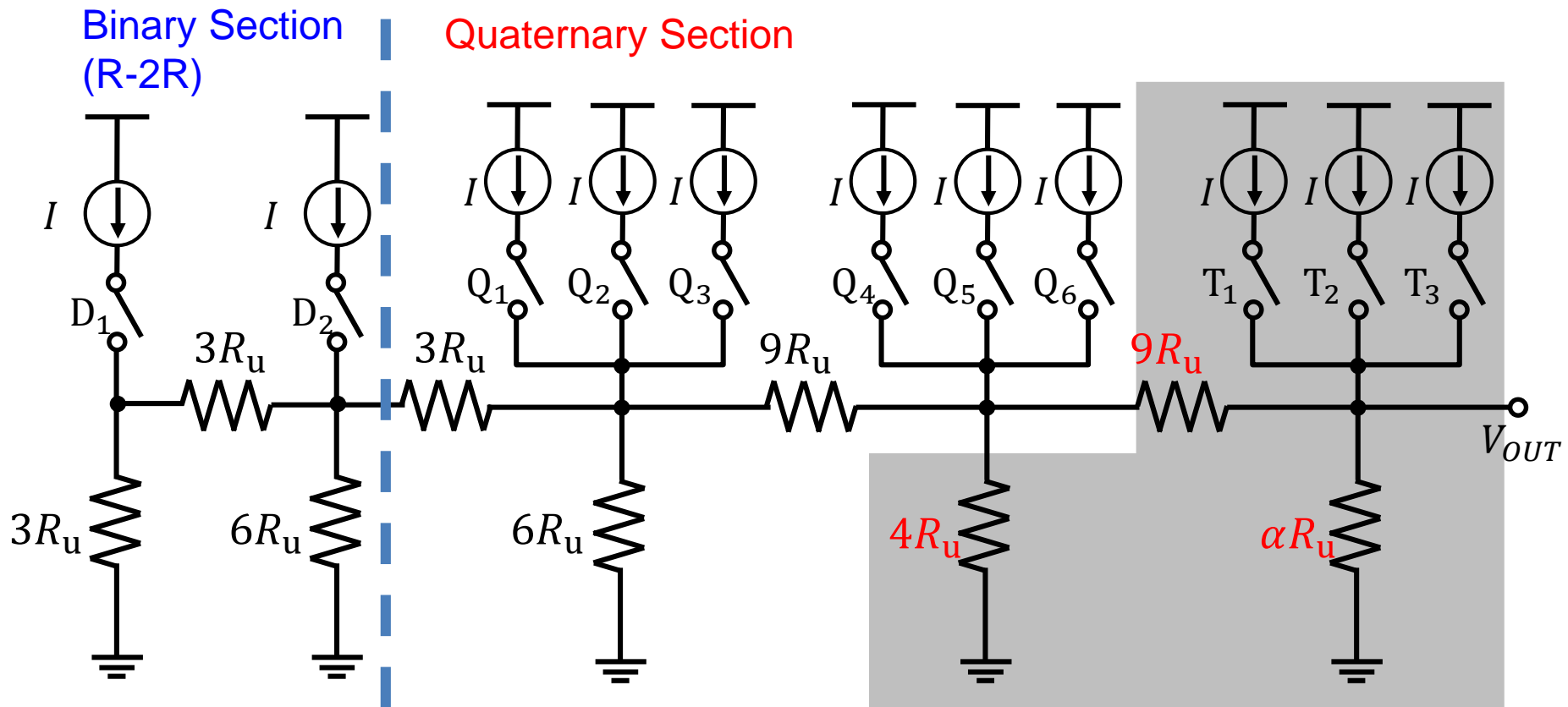
➤  $R_L = 3R_u$ ,  $R_H = R_u$ ,  $R_x = 9R_u$



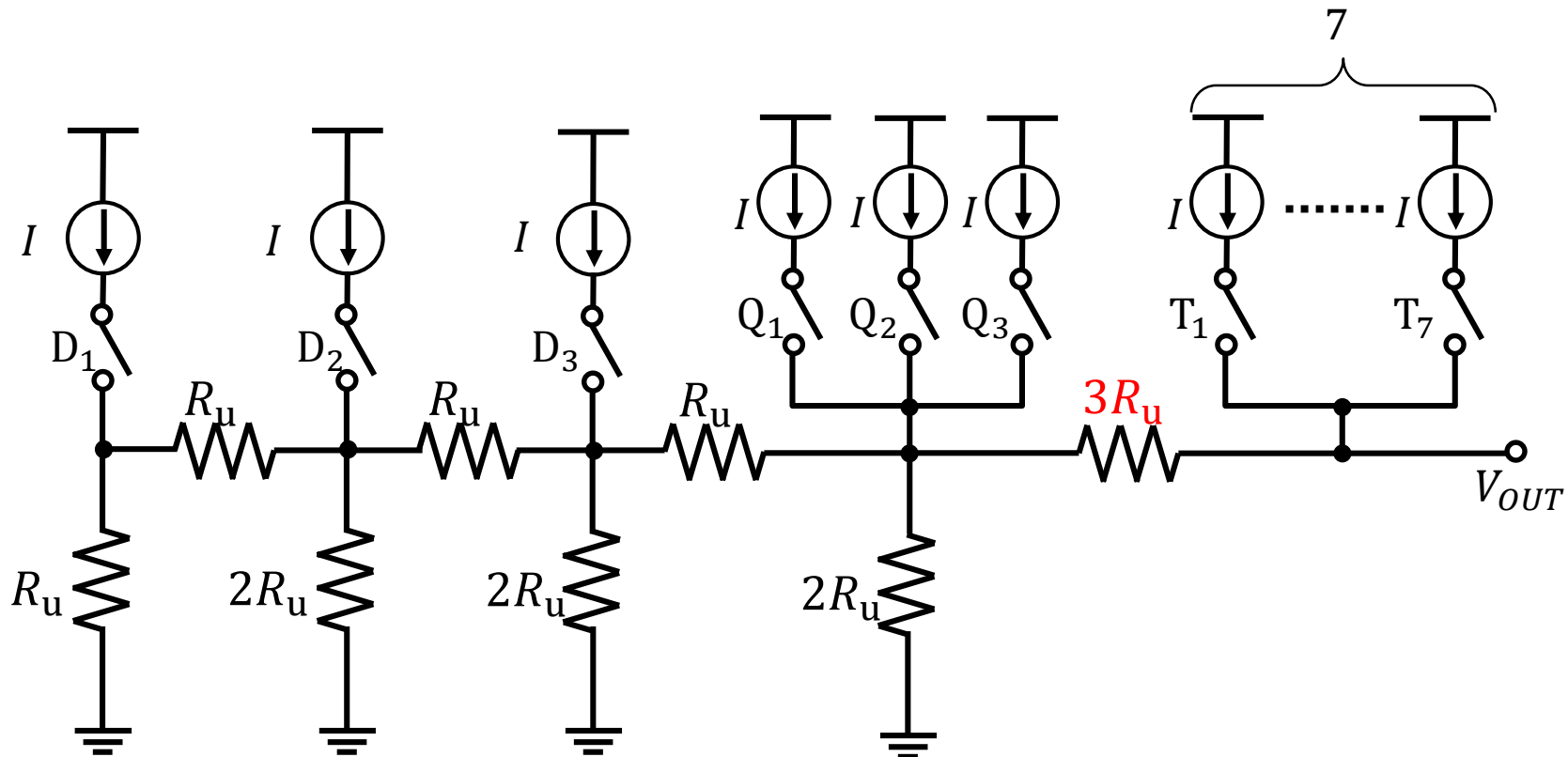
# 構成例

- 8-bit相当 2進-4進混成 抵抗ラダーDAC

➤  $R_L = 3R_u$ ,  $R_H = R_u$ ,  $R_x = 9R_u$

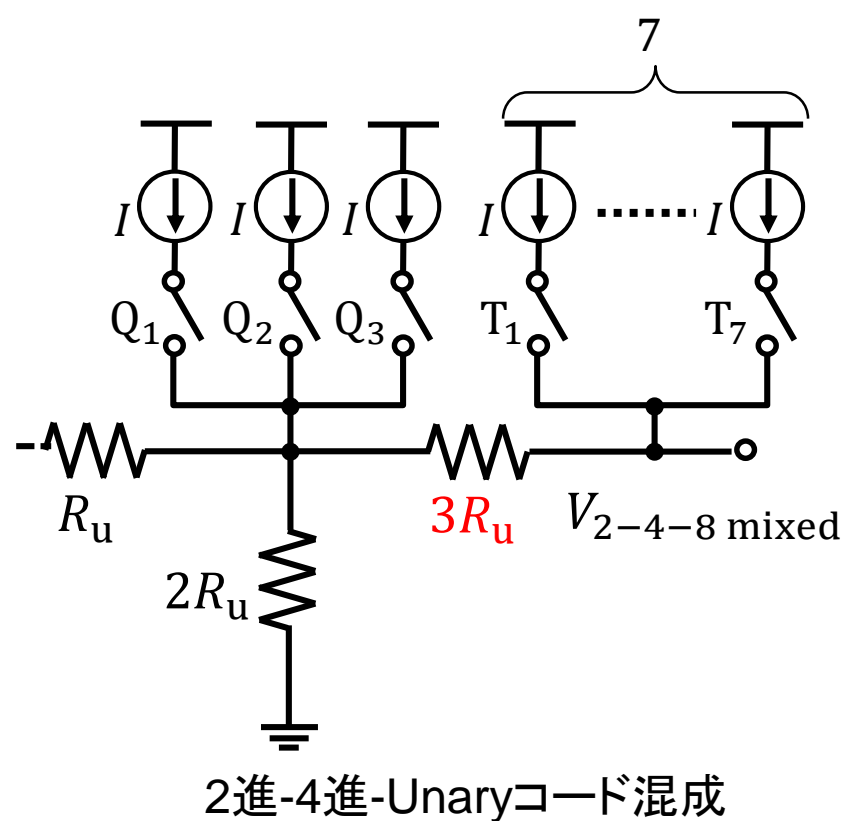
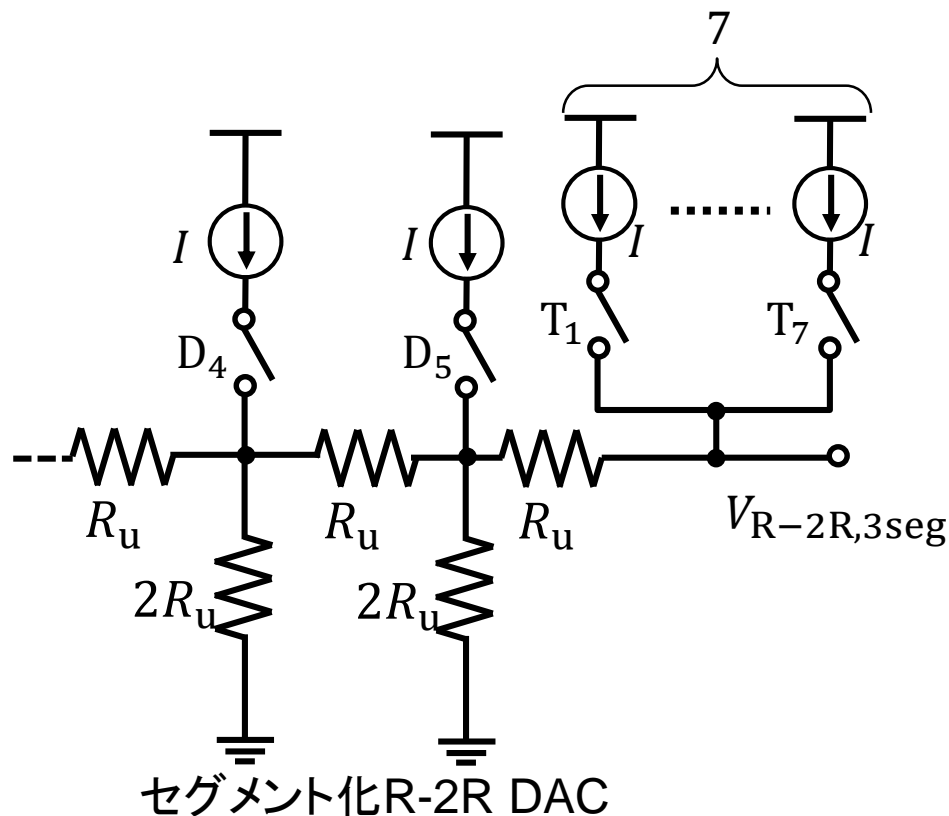


# 2進-4進-Unaryコード混成 DAC



- 下位側はR-2R のまま、上位と4進部分の間を $3R_u$ 
  - 回路の面積はセグメント化 R-2R と同等
  - 要:  $D_4, D_5$  の2 bit 分の追加の温度計デコーダ

# 3-bit セグメント化 R-2R DACとの比較



$$V_{R-2R,3seg} = \frac{1}{16} R_u I \cdot \left\{ \sum_{p=1}^4 (D_p \cdot 2^{p-1}) + 32 \cdot \sum_{r=1}^7 T_r \right\}$$

$$V_{2-4-8 \text{ mixed}} = \frac{1}{8} R_u I \cdot \left\{ \sum_{p=1}^3 (D_p \cdot 2^{p-1}) + \sum_{q=1}^3 Q_q + 32 \cdot \sum_{r=1}^7 T_r \right\}$$

同等の回路面積でゲインが2倍

# DNLの計算

- DNLの定義

$$DNL(n) = \frac{V_{\text{OUT}}(n) - V_{\text{OUT}}(n - 1)}{V_{\text{LSB}}} - 1 \quad [\text{LSB}]$$

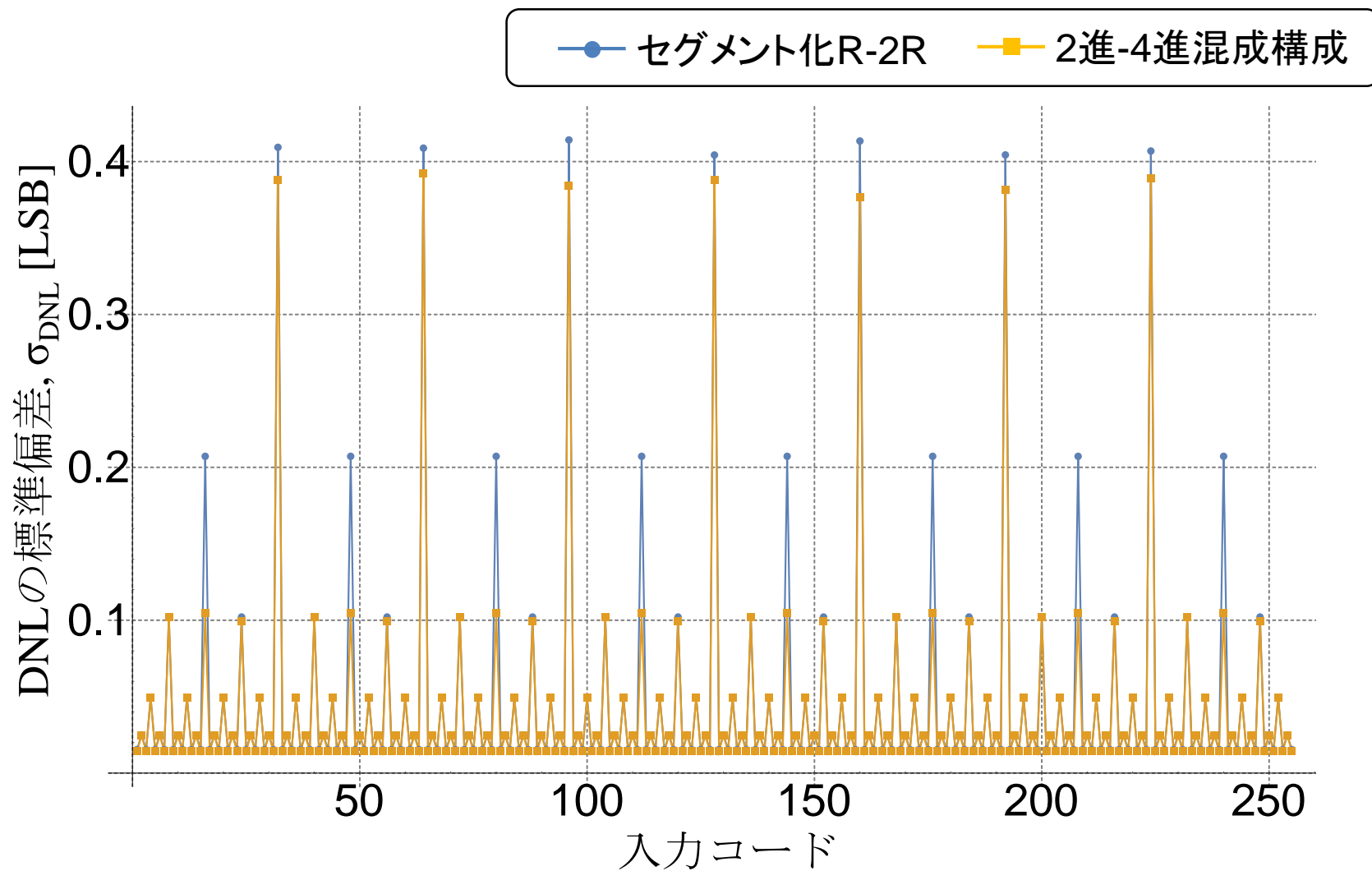
$V_{\text{LSB}}$  : 最小桁の変化に相当する電圧

- シミュレーションの条件

- 抵抗と電流源のみからなる線形回路モデルを仮定したモンテカルロシミュレーション
- シミュレーションセット数 3000回
- 単位抵抗 $R_u$ と単位電流 $I$ に正規分布のばらつきを仮定
- 標準偏差 $\sigma$ は平均値の1%

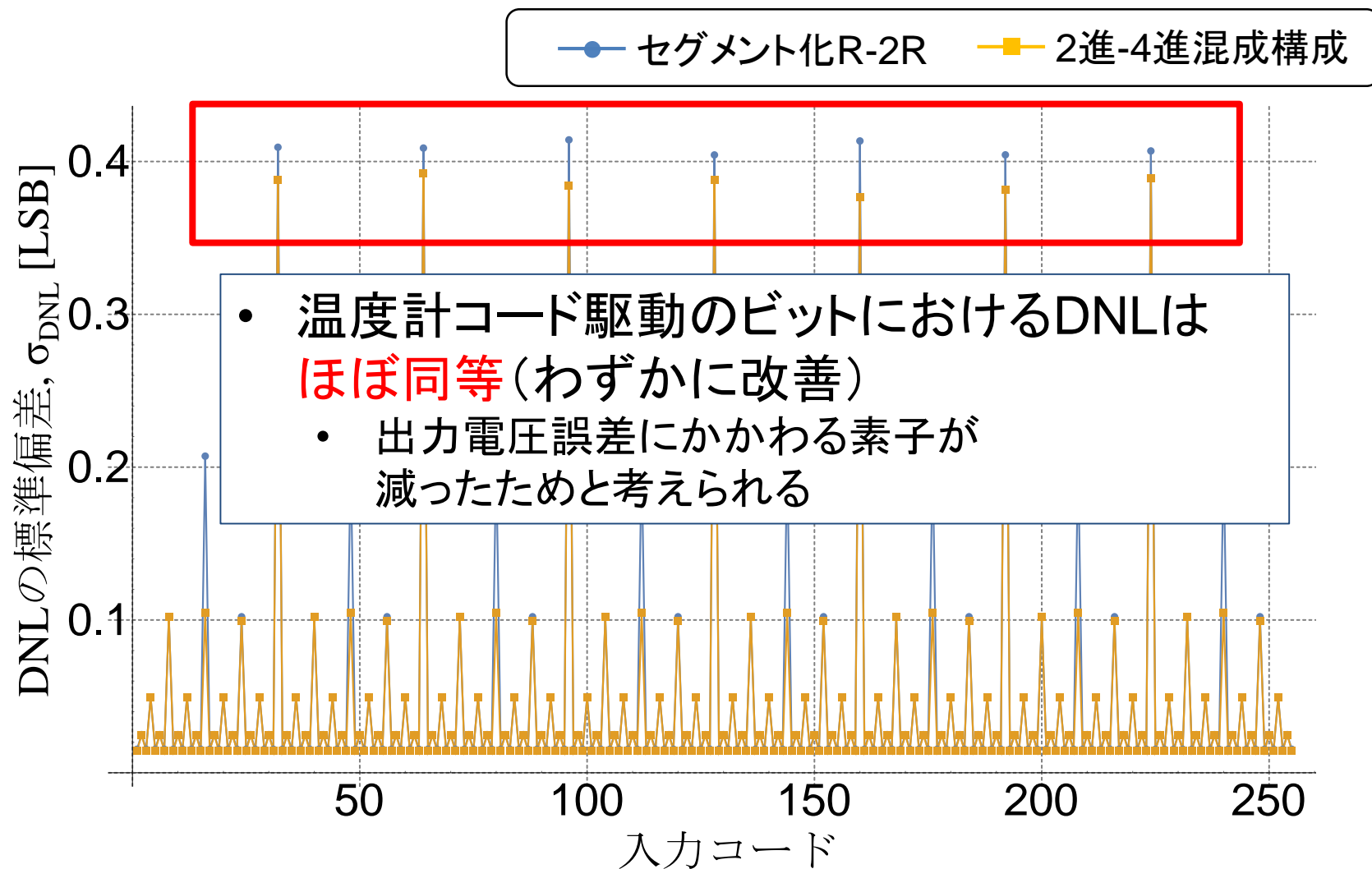


# シミュレーションによるDNL標準偏差



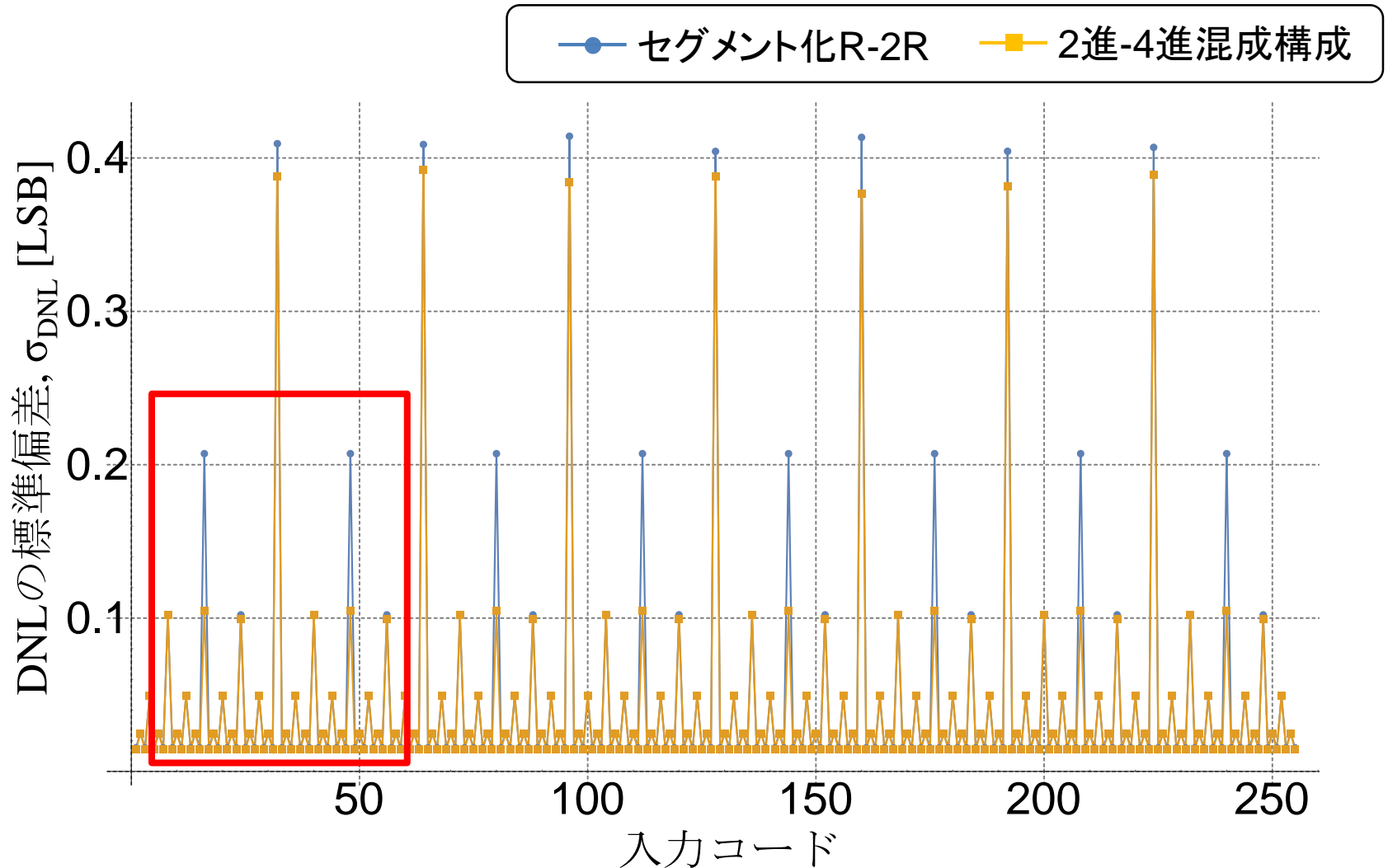
# シミュレーションによるDNL標準偏差

- 最大DNLについて



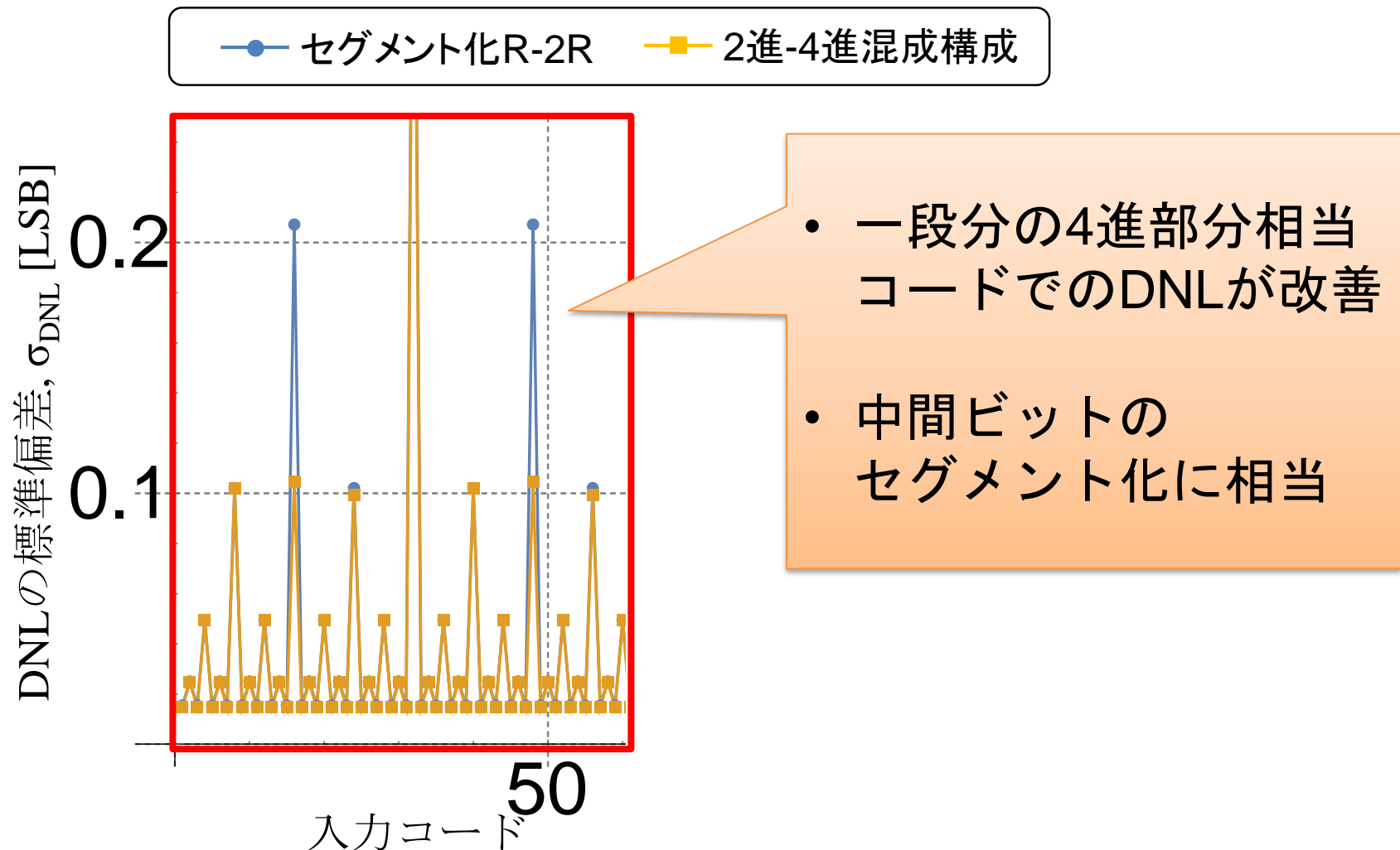
# シミュレーションによるDNL標準偏差

- 4進部分を駆動するコードでのDNL



# シミュレーションによるDNL標準偏差

- 4進部分を駆動するコードでのDNL



# OUTLINE

- 研究背景・目的
- DA変換器の構成
  - R-2R 電流源 DAC
- N進抵抗ラダーDACの構成
  - 抵抗ラダーを用いた電流分割
  - N進抵抗ラダーを用いた構成
- 異なる分流比を持つ抵抗ラダーの接続
  - 接続の条件・手順
  - DAC構成案と非線形性シミュレーション
- **結論**

# 結論

- まとめ
  - 抵抗ラダーの分流特性をR-2Rラダーから変化させ、分流の比が一定でない抵抗ラダーを用いた場合でもDACが構成できる
  - 抵抗ラダーを用いたDACにおいても上位ビットと下位ビットの中間にセグメント化が可能
  - 2進-4進-温度計コードの混成構成は、従来のセグメント化 R-2R DACとほぼ同等面積・DNLでゲインを大きくできる
    - モンテカルロシミュレーションによって、DNL標準偏差を確認し、比較を行った
- 今後の検討課題
  - 周辺回路を含めた設計を行い、その動的な特性を評価

# 質疑応答

- 回路規模というのは、抵抗・電流源の数という意味か。
  - A. そうです。  
抵抗ラダー部については、上位側・下位側のすべて単位抵抗で構成すると仮定して、チップ内の面積について述べました。
- 実際の電流源はどのように構成するのか。
  - MOSのカレントミラーで構成します。

# 以降 資料

---



# two-step segmentation

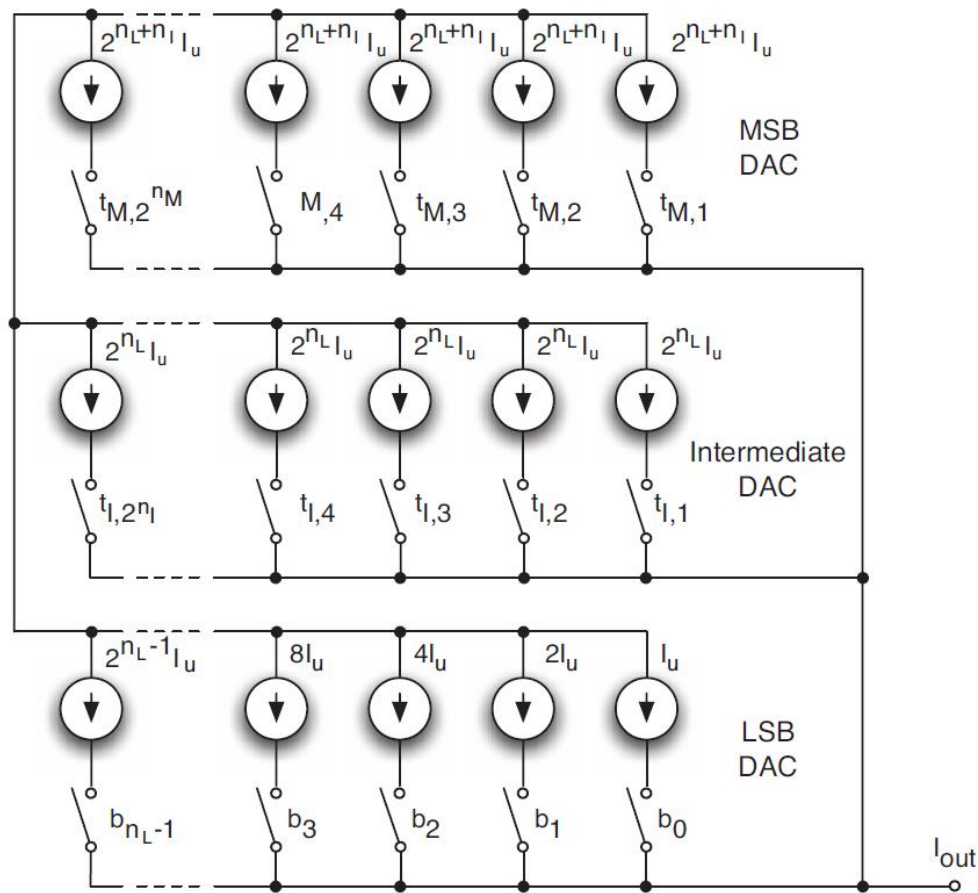


Figure 3.41. Conceptual schematic of a current steering segmented DAC.

# DEM with Nested-Segment Structure

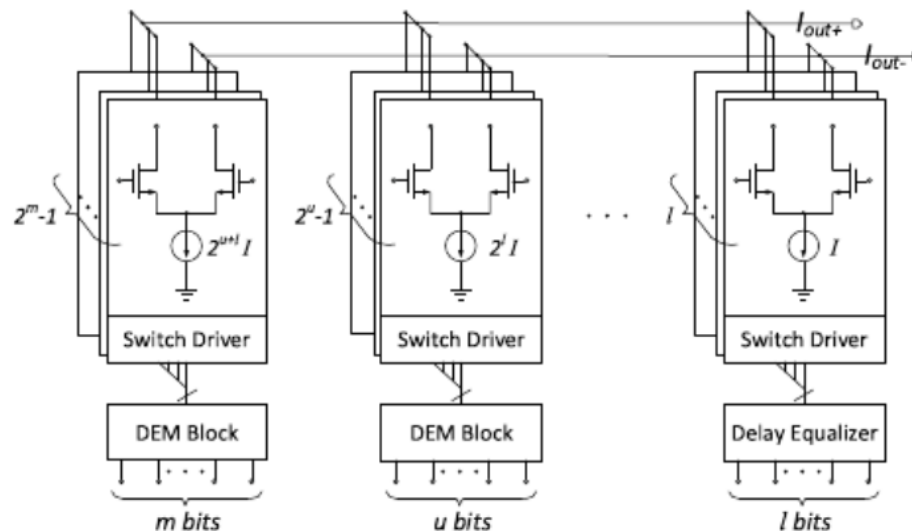


Fig. 1. Conventional DEM DAC with separate-segment structure.

TABLE I  
MUX COUNT COMPARISONS FOR DEM DACS WITH DIFFERENT STRUCTURES

MSB Bits	Seg. Ratio	SFDR (dB)	MUX Count		Seg. Ratio	SFDR (dB)	MUX Count		Seg. Ratio	SFDR (dB)	MUX Count Proposed
			RRBS	GRTC			RRBS	GRTC			
2	2T+10B	66.99	6	6	2T+...+2T	69.21	36	36	2T+2T+8B	73.52	14
3	3T+9B	72.09	21	14	3T+...+3T	74.29	84	56	3T+3T+6B	79.04	38
4	4T+8B	75.90	60	45	4T+4T+4T	77.81	180	135	4T+4T+4B	80.32	94
5	5T+7B	78.71	155	127	5T+5T+2T	79.69	316	260	5T+5T+2B	80.46	222
6	6T+6B	80.27	378	255	6T+6T	80.51	756	510	6T+6T	80.58	510

Wei Mao, "High Dynamic Performance Current-Steering DAC Design With Nested-Segment Structure", January 2018 IEEE Transactions on Very Large Scale Integration (VLSI) Systems PP(99):1-5.

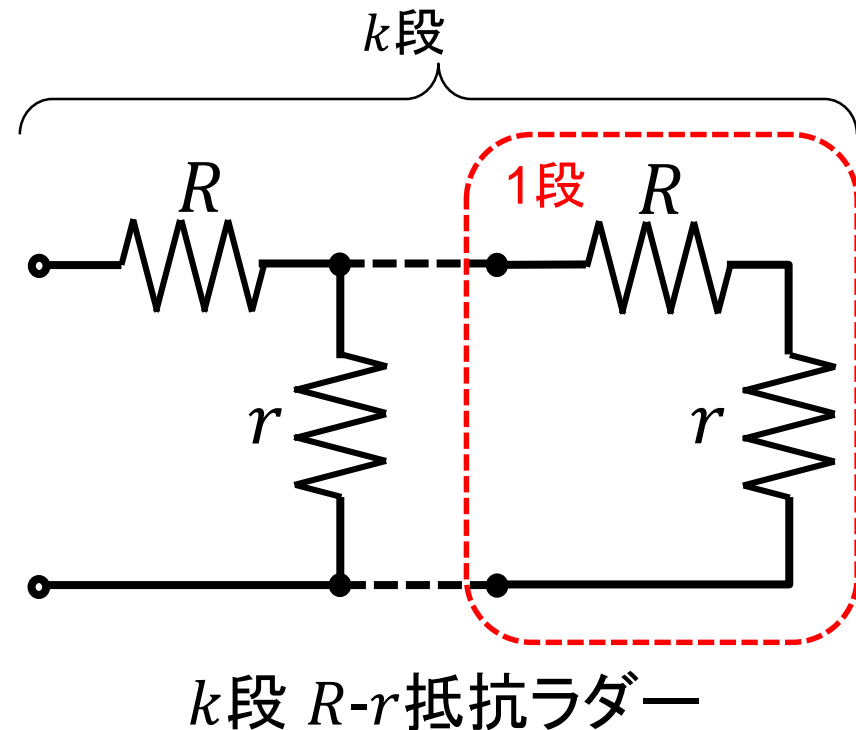
# 無限抵抗ラダーの合成抵抗の収束

$$Z_k = \frac{\alpha \gamma^k - \beta}{\gamma^k - 1}$$

$$\alpha = \frac{1}{2} \left( R + \sqrt{R^2 + 4rR} \right),$$

$$\beta = \frac{1}{2} \left( R - \sqrt{R^2 + 4rR} \right),$$

$$\gamma = \frac{R + r - \beta}{R + r - \alpha}, \quad 1 < \gamma$$



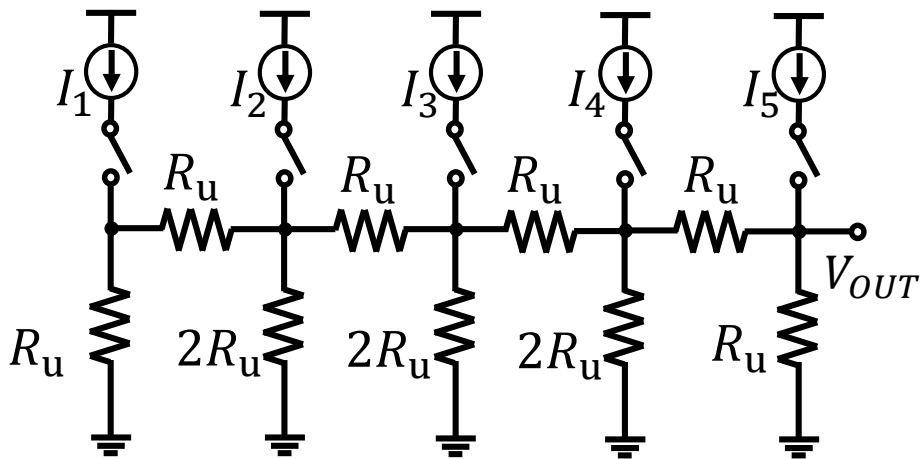
段数  $k$  の増加で収束

合成抵抗の収束値:

$$Z = \frac{R}{2} + \frac{\sqrt{R(R + 4r)}}{2}$$

# R-2R DAC と Unary DACの比較

R-2R DAC



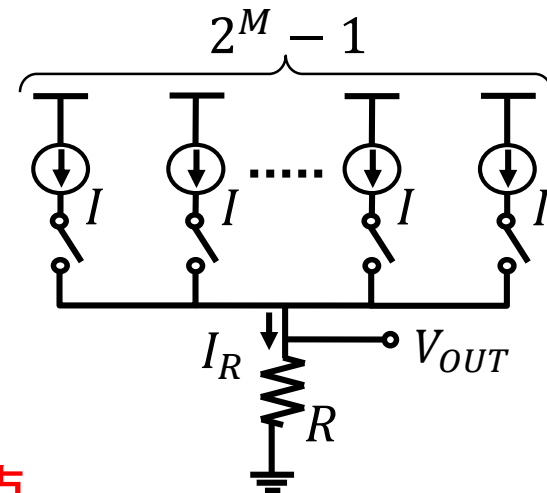
- 利点

- 回路構成が単純
- 1段の増加 = 1bit の増加
- デコーダが不要

- 欠点

- 素子誤差でDNLが劣化
- 上位ビット変化タイミングによりグリッチが発生

Unary DAC



- 利点

- 1LSB変化 = 電流源1つの変化  
→ グリッチが出にくい・単調性良

- 欠点

- 要 温度計コードへの変換
- M-bit DACに $2^M - 1$ 個電流源  
→ デコーダ・回路規模の増大