Report in ITC 2021

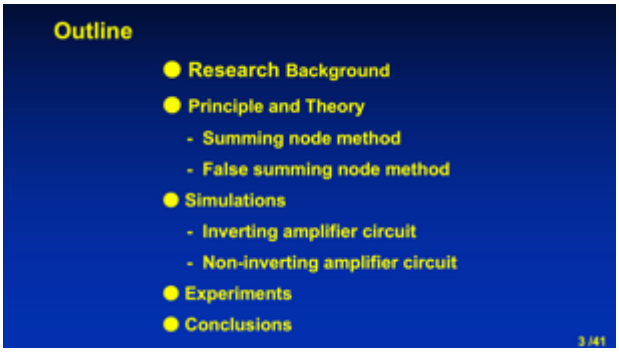
群馬大学院　理工学府　電子情報・数理教育プログラム
修士 1 年　飯森大翼
2021 年 10 月 22 日

日時：2021 年 10 月 10～10 月 15 日
場所：VIRTUAL(in USA)
目的：ITC(regular paper)発表

ITC とは？

ITC(International Test Conference)は、デバイス、ボード、システムの電子テストに特化した世界最高峰の国際会議であり、設計検証、テスト、診断、故障解析、そしてプロセスや設計の改善に至るまでの完全なサイクルを網羅しています。ITC では、テストと設計の専門家が、業界が直面している課題に対し、学界、設計ツールや機器のサプライヤー、設計者、テストエンジニアが一体となって、これらの課題にどのように取り組んでいるかを学ぶことができる。

ITC の論文採択率は 30%以下であり、今年は日本人として発表するのは私を含め 3 人であった(学生としては唯一)。



ITC ：http://www.itctestweek.org

Venue

今年の ITC は昨年に続き、virtual での開催となった。できる限り対面式の会議に近づけるために、Gather.Town(同じスペース内で複数のユーザーが別々の会話ができる)に 4 つのルームが用意されていた。この部屋は Gather.Town の四隅にあり、「Authors Corner」と呼ばれていた。(参考に Gather.Town の地図を添付した)。

セッション終了後、Gather.Town に移動し、自分のセッションの Authors Corner で観衆からの質疑応答に答えた(交流を深める意味合いが強かった)。

SIEMENS ： https://eda.sw.siemens.com/en-US/ic/tessent/
ADVANTEST：https://www.advantest.com
SYNOPSYS ：http://www.synopsys.com/test
CADENCE ：https://www.cadence.com/en_US/home.html

ITC 2021

VTS(VLSI Test Symposium)がどちらかといえばアカデミックであるのに対して，ITC は企業が主体。論文発表の 3 日間を中心とした 6 日間を，ITC Test Week(TM)と呼び，様々なテスト関連イベントを実施する(下記に 2021 TM のスケジュールを添付)。

	Sunday	Monday	Tuesday	Wednesday	Thursday	Friday
12 Half-Day TTTC Tutorials A great way to prepare for the ITC Technical program	●	●				
Four Panels			●	●	●	
Plenary Sessions, 3 Keynotes, 2 Visionary Talks			●	●	●	
66 Technical Presentations			●	●	●	
Three Tracks: Test Infrastructure, Test Diagnosis and Enhancing Test			●	●	●	
World-Class Exhibits Virtual Exhibit Booths			●	●	●	
Corporate Forum The latest technical innovations from our exhibitors and corporate supporters			●	●		
Posters				●		
Two-Day Workshops Two to choose from					●	●
Virtual Meeting Rooms	●	●	●	●	●	●

Become an ITC corporate supporter or utilize marketing opportunities

http://www.itctestweek.org

www.twitter.com/itctestweek

■ 2021 年 10 月 10 日 Tutorials

SUNDAY, OCTOBER 10 – HALF-DAY TUTORIALS			
8:00 a.m. – 11:00 a.m.	Tutorial 1 Safety and Security in Automtive 2.0 Era	Tutorial 2 Testing and Monitoring of Die-to-Die Interconnection in a 2.5D/3D IC	Tutorial 3 AI Chip Technologies and their DFT Methodologies
12:00 p.m. – 3:00 p.m.	Tutorial 4 Machine Learning in Data Analytics	Tutorial 5 Mixed-Signal DFT and BIST: Trends, Principles and Solutions	Tutorial 6 Power-Aware Testing in the Era of IOT

■ 2021 年 10 月 11 日 Tutorials

MONDAY, OCTOBER 11 – HALF-DAY TUTORIALS			
8:00 a.m. – 11:00 a.m.	Tutorial 7 Silicon Lifecycle Management for Emerging Memories	Tutorial 8 Applications of Machine Learning in Semiconductor Manufacturing and Test	Tutorial 9 Scan Test Escapes, New Fault Models and Effectiveness of Functional System Level Tests
12:00 p.m. – 3:00 p.m.	Tutorial 10 Automotive Functional Safety, Reliability and Test Solutions	Tutorial 11 SOC Security Verification	Tutorial 12 From Test to Post-Silicon Validation: Concepts and Recent Trends

■ 2021 年 10 月 12 日 Conference

TUESDAY, OCTOBER 12 – TECHNICAL SESSIONS				
8:00 a.m. – 9:00 a.m.	Plenary – Opening Session Keynote: **Future Prospects of Semiconductor Memories --- Advancements and Challenges.** Chih-Yuan Lu, President, *Macronix International Corp.*, Chairman and CEO, *Ardentec Corp.*			
9:00 a.m. – 9:30 a.m.	Coffee Break and Exhibits			
9:30 a.m. – 10:30 a.m.	Session 1A Enhancing Testability	Session 1B ML for Diagnosis	Session 1C Special Session: Start to Finish: 2.5D and 3D Device Testing Challenges and Solutions	Session 1D ITC-Asia 2021 Top 3 Papers
10:30 a.m. – 11:00 a.m.	Coffee Break and Exhibits			
11:00 a.m. – 12:00 p.m.	Diamond Supporter Presentation			
12:00 p.m. – 1:00p.m.	Session 2A AI Hardware	Session 2B Wafer Map Classification I	Session 2C Special Session: STT-MRAMs: Technology, Design and Test	Session 2D TTTC McCluskey PhD Competition
1:00 p.m. – 2:00 p.m.	Meal Break and Exhibits			
2:00 p.m. – 3:00 p.m.	Panel 1: SLT - What is it today? Why is it needed?		Panel 2: What is the best high-speed I/O Test Method: 1149.10 or high speed I/O protocol?	
3:00 p.m. – 4:30 p.m.	External event: TTTC's Global Test Community Quiz			

■ Keynote1

「Future Prospects of Semiconductor Memories- Advancements and Challenges」

Keynote Speaker: Chih-Yuan (C.Y.) Lu, Chairman and CEO, Ardentec Corp

Introduction by: Yervant Zorian, President of TTTC

半導体メモリは、人類社会を第 4 世代の産業革命へと加速させ、スマートデバイスで拡張されたデジタルライフを実現している。加えて、AI、5G、自動車、データセンター、クラウド、IoT のためのエッジインテリジェントデバイスなどの急速な進化は、半導体メモリの市場要求をさらに高めている。

SRAM、DRAM、Flash は古典的な標準半導体メモリであり、これらの古典的なメモリは、性能、電力、コストがますます向上し、技術を改善するために猛烈な勢いで続くと考えられる。一方で、新たに登場したメモリや新たに登場したコンピューティング・アーキテクチャは、新しいパラダイムを生み出す可能性を秘めている、メモリデバイスは、データ処理において中心的な役割を果たすようになり、また、コンピューティング・イン・メモリ（CIM）やイン・メモリ・サーチ（IMS）などの新しいコンピューティング・アーキテクチャは、従来のコンピューティング・アーキテクチャを補完し、破壊的なアプリケーションを生み出すと考えられる。

メモリデバイスは、メモリ密度と帯域幅の性能を向上させ続けているが、一方で、メモリの品質を確保するための信頼性は常に主要な優先事項である。高品質なメモリ製品を低価格で提供するためには、プロセス、設計、テスト、およびメモリコントローラの間で、生産変動に適応するための大きな調整パラメータを管理することが必要である。

Keynote1: https://www.youtube.com/watch?v=5dB6NEigMHk

■ 2021 年 10 月 13 日 Conference, Posters

WEDNESDAY, OCTOBER 13 – TECHNICAL SESSIONS				
8:00 a.m.–9:00 a.m.	Plenary Session Keynote: **Refusing Limits in Technology Innovation**, *Ron Nersesian. President and CEO, Keysight* Visionary Talk: Machine Learning and Corpus Design for EDA and Beyond, *Roger Jang, Prof. NTU, CTO, E.Sun Financial Holding Company*			
9:00 a.m. – 9:30 a.m.	Coffee Break and Exhibits			
9:30 a.m.–10:30 a.m.	Session 3A Security Hardware	Session 3B Wafer Map Classification II	Session 3C Current Developments in Test Standards	Session 3D ITC-India 2021 Top 3 Papers
10:30 a.m.–11:00 a.m.	Coffee Break and Exhibits			
11:00 a.m-12:00 pm	Corporate Forum			
12:00 p.m.–1:00p.m.	Session 4A Secure and Trusted Microelectronics	Session 4B Failure Diagnosis	Session 4C Test Enhancements	Session 4D ET1: Memory Testing Embedded Tutorial
1:00 p.m.–2:00p.m.	Meal Break and Exhibits			
2:00 p.m.–3:00 p.m.	Panel 3: Talk to the TTSC (Test Technology Standard Committee)			
2:00 p.m.–3:30 p.m.	Posters			

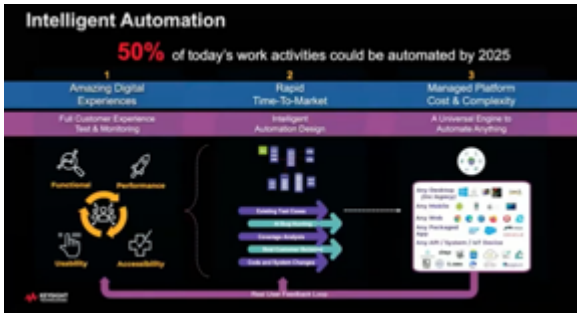
■ **Keynote2**

「Refusing Limits in Technology Innovation」

Keynote Speaker: Ron Nersesian (Chairman, Pres. & CEO, Keysight);
Introduction by: Yervant Zorian, President of TTTC

"より多くの人に","より多くのデータ","より長いバッテリーライフ"。エンジニアは誰もが、IoT により全てのものがつながっていく世界で何が可能なのかを常に考え直している。統合のペースが加速しているだけでなく、今日の設計では、より少ないリソースでより多くのことができるように変化している。しかし、技術的に可能なことの限界を押し広げる最先端のイノベーションには、難しいトレードオフは避けては通れない。

本セッションでは、キーサイト・テクノロジーズの CEO である Ron Nersesian が、顧客が日々イノベーションを起こしているトレンドや課題の例を紹介し、次に来る限界を突破するために、ソフトウェアの自動化と AI がどのような鍵となるかを説明した。



Keynote2: https://www.youtube.com/watch?v=Pbpbi0YIPPQ&t=233s

■ 2021 年 10 月 14 日 Conference, Workshops

THURSDAY, OCTOBER 14– TECHNICAL SESSIONS				
8:00 a.m – 9:00 a.m.	Plenary Session Keynote: **Addressing Design Challenges in the Era of SysMoore: From Architecture to Silicon Lifecycle Management**, *Shankar Krishnamoorthy, SVP, Synopsys* Visionary Talk: Sport Technology Industry: A New Frontier for AI, 5G and Semiconductor, *Cheng-Wen Wu, NTHU*			
9:00 a.m – 9:30 a.m	Coffee Break and Exhibits			
9:30 a.m.–10:30 a.m.	Session 5A Circuits and Monitors	Session 5B Test Data	Session 5C Test Architecture and Infrastructure	Session 5D Accellera FuSa WG
10:30 p.m. – 11:00 a.m.	Coffee Break and Exhibits			
11:00 a.m – 12:00 p.m.	Exhibits & Networking			
12:00 p.m.–1:00 p.m.	Session 6A What's Going on With 1687*?	Session 6B Analog Testing	Session 6C Automotive FuSa Tolerance	Session 6D Silicon Lifecycle Challenges
1:00 p.m.– 2:00 p.m.	Meal Break and Exhibits			
2:00 p.m.– 3:00 p.m.	Panel 4: Challenges of 3rd party IPs to achieve Automotive Zero Defect quality and Functional Safety			

THURSDAY, OCTOBER 14 – WORKSHOPS		
3:30 p.m. – 5:00 p.m.	6th IEEE Workshop on Automotive Reliability, Test and Safety Plenary1: Opening, Keynote	1st IEEE Intl Workshop on Silicon Lifecycle Management (SLM) Plenary1: Opening, Keynote

■ **Keynote3**

「Addressing Design Challenges in the Era of SysMoore: From Architecture to Silicon Lifecycle Management」

Keynote Speaker: Shankar Krishnamoorthy (Senior VP, Digital Implementation Solutions)
Introduction by: Yervant Zorian, TTTC President

今日の SoC で必要とされる計算能力の量は、特に AI アプリケーションにおいて、ムーアの法則を大きく上回っている。SysMoore 時代とも呼ばれるこの新しいスケーリングとシステムの複雑性の時代に対応するためには、桁違いの計算能力が必要である。

本セッションでは、革新的な設計ソリューションに次の波をもたらす課題を検証する。アーキテクチャの検討からシリコンライフサイクル管理までのソリューションは、エンジニアが計算能力とシリコン品質のニーズに対応した設計を行うのに役立つだろう。

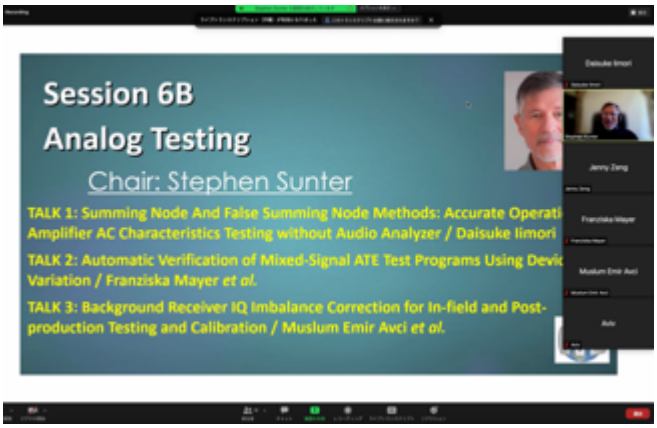
Keynote3: https://www.youtube.com/watch?v=XwkXU1lQKJk

■ 2021 年 10 月 15 日 Workshops

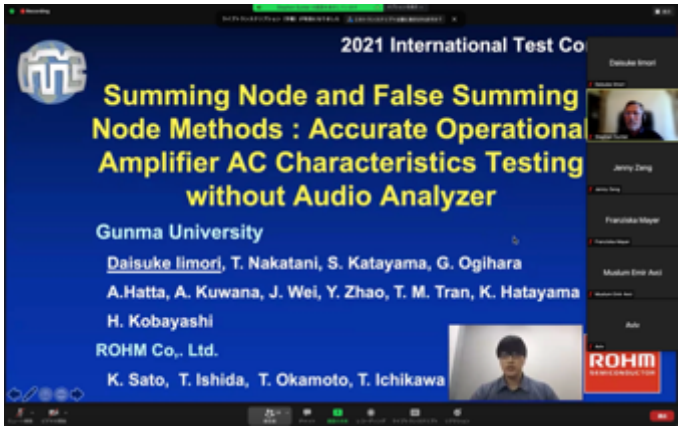
8:00 a.m. – 3:00 p.m.	6th IEEE Workshop on Automotive Reliability, Test and Safety	1st IEEE Intl Workshop on Silicon Lifecycle Management (SLM)

「SESSION 6B Analog Testing]」で regular paper 発表

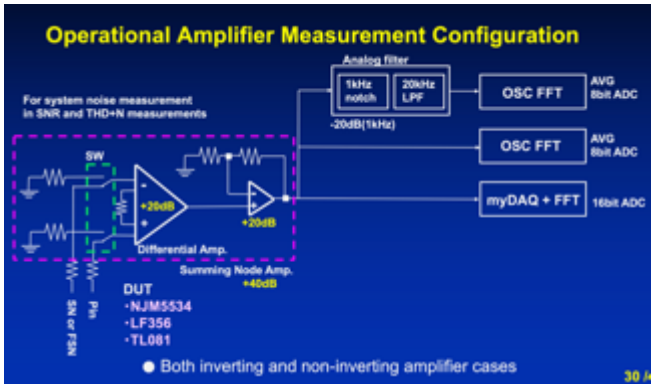
「Summing Node and False Summing Node Methods : Accurate Operational Amplifier AC Characteristics Testing without Audio Analyzer」



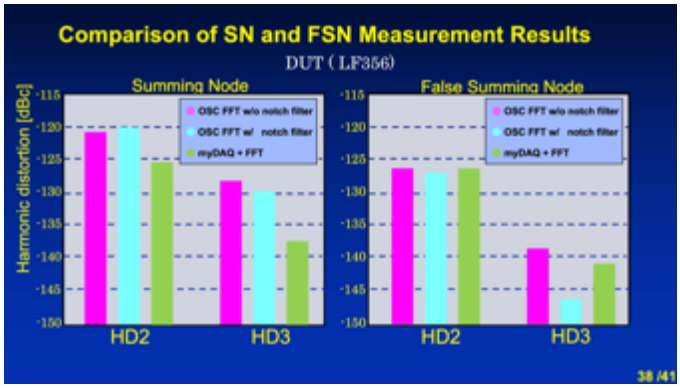
Chair の自己紹介



発表の様子(タイトル、自己紹介)



発表の様子(実験回路)



発表の様子(データ比較)

■ **Abstract**

オーディオアナライザによる AC 特性測定は信号源の精度に依存する出力を観測している。それに対し Summing Node 法はオペアンプの反転入力端子(Summing Node)を観測することで信号源の精度に依存せずオペアンプ自体のノイズや歪のみを観測することが可能である。また、この Summing Node にはオペアンプ内部で発生するノイズや歪が観測できる。即ち オペアンプ特性に直結するセンシティブなノードであると言える。この Summing Node に直接プローブを当てると、浮遊容量が付加される等、測定に影響を与えることがある。そこで、Summing Node の外側に同じ抵抗比$R1 = R11$ $R2 = R22$ とする擬似負帰還ネットワークを構成する。この時、$R11$、$R22$ 間のノードを False Summing Node (擬似 Summing Node: FSN)と呼ぶ。False Summing Node と Summing Node は同じ抵抗比であるため分圧の法則により同電位(同じ特性)である。

本論文では、以上のことをシミュレーションと実機測定で検証した。

■ Q & A

Q1.抵抗比のマッチング精度 1%は、オンチップで考えられていますか？(Stephen Sunter)
A1.抵抗はオフチップを考えている。尚、オンチップでも抵抗比のマッチング精度 1%は容易に達成できる。

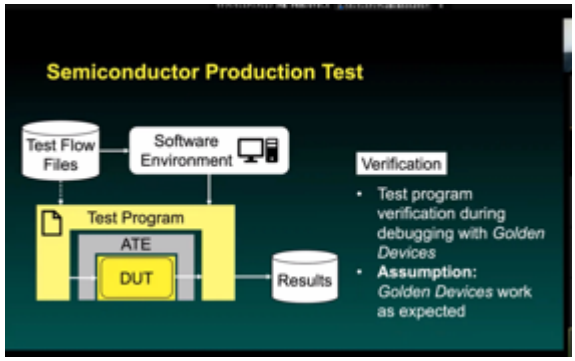
Q2.「フィードバック回路の寄生容量とインダクタンスの増加を考慮しましたか？」(Lucel)
A2. Summing Node の寄生容量やインダクタンスの追加についてはシミュレーションしていない。これについては、今後検証したいと思う。しかし、False Summing Node を使用することで、それらの影響を無視できる。

■ 同じセッション内の発表

「Automatic Verification of Mixed- Signal ATE Test Programs using Device Variation」

F. Mayer, C. Schott, E. Billich, S. Yazdani, U. Heinkel, Chemnitz University of Technology;
G. Daler, B. Ruf, R. Pannuzzo, W. Dickenscheid, Infineon Technologies AG

発表者紹介



発表の様子

➢ Abstract

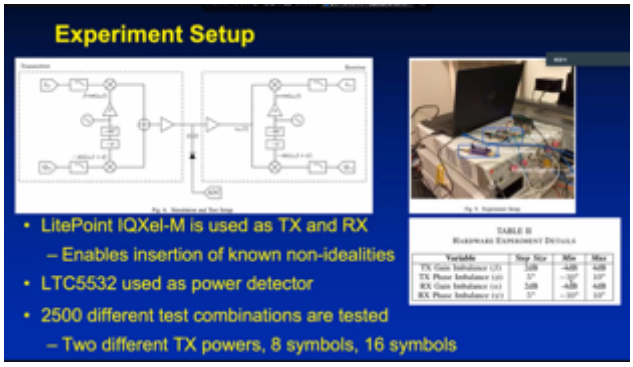
本論文では、半導体テストにおけるテストプログラムの自動検証のための手法を提案している。形式化されたテスト仕様は、エミュレートされたデバイスの応答と期待されるテストプログラムの結果によって拡張され、抽象的なフォーマットで提供される。これにより、物理的なデバイスやテストシステムがなくても、変異テストのアプローチに基づいて多くのテストセットを作成することができる。また、オフラインでの実行結果は、予想される結果と比較され、テストプログラムの適格な評価につながる。

以上のこのコンセプトは、与えられたテストプログラムのための特別な部分集合の実装によって証明されている。

「Background Receiver IQ Imbalance Correction for in-Field and Post- Production Testing and Calibration」

M. Avci, S. Ozev, Arizona State University

発表者紹介



発表の様子

➢ Abstract

RF フロントエンドには，そのシンプルさから，低消費電力で高性能なダイレクトコンバージョンレシーバーが使用されている。しかし、直接変換方式の受信機の性能は、I/Q ミスマッチの影響を受けやすい。本研究では、エンベロープ検出器を用いて I と Q 信号の合成振幅を検出し、この情報を用いて受信機の IQ 不均衡を反復的に補正する。提案する方法は、性能の偏差を校正するために、バックグラウンドでミッションモード使用をすることができる。従って、受信機の IQ アンバランスが補正された後は、送信機の IQ アンバランスの測定と補正に使用することができる。

■ 最後に

今回の発表が、私にとって初めての国際会議となった。初めての国際会議で、世界規模である ITC へ参加できたことは、研究者の末端ながら非常に光栄で、幸運なことだったと感じている。また、今学会を経て、専門知識は勿論のこと、質疑応答などに対した英語力の必需性を再認識した(質疑応答では一部聞き取れなく、論点とは異なった返答をしてしまった)。

現在、若干のバーンアウト状態ではあるが、同時並行していた「プローバ温度試験で、μV 精度アナログ IC を試験可能とする技術研究」で VTS(VLSI Test Symposium)への論文採択を目指したいと思っている。

最後になりますが、今学会の発表のためご指導頂いた小林春夫教授、中谷隆之先生、桑名先生、研究にご協力頂いたローム(株)の佐藤賢央様、その他関係者各位、そして、会議を無事に開催して頂いた ITC 運営の皆さまに心から感謝を申し上げます。