

国際会議報告: VTS2022

畠山 一実

(群馬大学 / 日本アクティブキャリア開発 / EVALUTO)

アウトライン

- ・ VTSについて
- ・ VTS2022の概要
- ・ 論文発表の全体動向
- ・ 注目セッションの紹介
- ・ まとめ

VTS (VLSI Test Symposium)

・VTSの沿革および概要

- ・1983年にVLSI Test Workshopとしてスタート
- ・1991年からはSymposium
- ・LSIテスト分野ではITC (International Test Conference) に次ぐ主要な国際会議
- ・ITCが企業主体であるのに対して、VTSはどちらかといえばアカデミック
- ・2002年から企業事例のためのIP(Innovative Practice) Trackを設置し、企業からの参加者拡大に取組み中



VTS開催一覧

	Year	Date	Location		Year	Date	Location
1st	1983	03/30-03/31	Atlantic City	22nd	2004	04/25-04/29	Napa
2nd	1984	03/21-03/22	Atlantic City	23rd	2005	05/01-05/05	Palm Springs
3rd	1985	04/01-04/02	Atlantic City	24th	2006	04/30-05/04	Berkeley
4th	1986	03/18-03/19	Atlantic City	25th	2007	05/06-05/10	Berkeley
5th	1987	03/24-03/25	Atlantic City	26th	2008	04/27-05/01	San Diego
6th	1988	03/22-03/23	Atlantic City	27th	2009	05/03-05/07	Santa Cruz
7th	1989	04/11-04/13	Atlantic City	28th	2010	04/19-04/22	Santa Cruz
8th	1990	04/10-04/11	Atlantic City	29th	2011	05/01-05/04	Dana Point
9th	1991	04/16-04/18	Atlantic City	30th	2012	04/23-04/26	Maui
10th	1992	04/07-04/09	Atlantic City	31st	2013	04/29-05/01	Berkeley
11th	1993	04/06-04/08	Atlantic City	32nd	2014	04/14-04/16	Napa
12th	1994	04/25-04/28	Cherry Hill	33rd	2015	04/27-04/29	Napa
13th	1995	04/30-05/03	Princeton	34th	2016	04/24-04/27	Las Vegas
14th	1996	04/28-05/01	Princeton	35th	2017	04/09-04/12	Las Vegas
15th	1997	04/27-04/30	Monterey	36th	2018	04/22-04/26	San Francisco
16th	1998	04/26-04/30	Monterey	37th	2019	04/23-04/25	Monterey
17th	1999	04/25-04/29	Dana Point	38th	2020	04/27-10 Mo.	Virtual
18th	2000	04/30-05/04	Montreal	39th	2021	04/25-04/28	Virtual
19th	2001	04/29-05/03	Los Angeles	40th	2022	04/25-04/27	Virtual
20th	2002	04/28-05/02	Monterey				
21st	2003	04/27-05/01	Napa				

2003-2006: プログラム委員, 2007-2018: 実行委員

2007-2010: IP Track 2011-2014: Special Sessions

2015-2016: Publicity (Vice Chair) 2017-2018: Asian Initiative

ご参考:ITC開催一覧

	Year	Date	Location		Year	Date	Location
14th	1983	10/18-10/20	Philadelphia	35th	2004	10/24-10/29	Charlotte
15th	1984	10/16-10/18	Philadelphia	36th	2005	11/06-11/11	Austin
16th	1985	11/19-11/21	Philadelphia	37th	2006	10/22-10/27	Santa Clara
17th	1986	09/08-09/11	Washington	38th	2007	10/21-10/26	Santa Clara
18th	1987	09/01-09/03	Washington	39th	2008	10/26-10/31	Santa Clara
19th	1988	09/12-09/14	Washington	40th	2009	11/01-11/06	Austin
20th	1989	08/29-08/31	Washington	41st	2010	10/31-11/05	Austin
21st	1990	09/10-09/14	Washington	42nd	2011	09/18-09/23	Anaheim
22nd	1991	10/26-10/30	Nashville	43rd	2012	11/04-11/09	Anaheim
23rd	1992	09/20-09/24	Baltimore	44th	2013	09/08-09/13	Anaheim
24th	1993	10/17-10/21	Baltimore	45th	2014	10/19-10/24	Seattle
25th	1994	10/02-10/06	Washington	46th	2015	10/04-10/09	Anaheim
26th	1995	10/21-10/25	Washington	47th	2016	11/13-11/18	Fort Worth
27th	1996	10/20-10/25	Washington	48th	2017	10/29-11/03	Fort Worth
28th	1997	11/01-11/06	Washington	49th	2018	10/28-11/02	Phoenix
29th	1998	10/18-10/23	Washington	50th	2019	11/10-11/15	Washington
30th	1999	10/26-10/31	Atlantic City	51th	2020	11/01-11/06	Virtual
31st	2000	10/01-10/06	Atlantic City	52nd	2021	10/10-10/15	Virtual
32nd	2001	10/28-11/02	Baltimore	53rd	2022	09/26-09/29	Anaheim
33rd	2002	10/06-10/11	Baltimore				
34th	2003	09/28-10/03	Charlotte				

2000-2010: プログラム委員
 1997-2017: ITCアジア委員会委員
 2000-2001は副委員長, 2002-2003は委員長

VTS2022 At-a-Glance

P.S.T.	April 25, Monday		
7:00 - 8:00	<i>Regular Session S1</i> Modeling Techniques for Test and Yield Optimization	<i>Special Session SS1</i> Test and Reliability Challenges of Biological and Chemical Sensor Systems	<i>IP Session IP1</i> Innovative Analog Circuit Testing Technologies
8:00 - 9:00	<i>Plenary Session</i> Opening: Welcome by the Chairs Keynote: Technology Trends, Opportunity & VTS		
9:20 - 10:20	<i>Regular Session S2</i> In-System Test	<i>Special Session SS2</i> The Heterogeneous Integrated Product Testability Best-Known Methods: A Practitioner's Guide to Building Manufacturable Products with Chiplets	<i>IP Session IP2</i> High Speed Scan Fabric
10:20 - 11:20	<i>Regular Session S3</i> Defect Modeling and Test for New Design Styles - I	<i>Special Session SS3</i> Deep Dive into Silicon Lifecycle Management: Challenges and Solutions	<i>IP Session IP3</i> Next Generation Test Standards
11:30 - 12:10	Keynote Keynote 2		
12:10 - 13:00	<i>Special Session</i> Tom W Williams Commemoration Session: Scan Evolution and Beyond		
P.S.T.	April 26, Tuesday		
7:00 - 8:00	<i>Regular Session S4</i> Reliability and In-Field Monitoring	<i>Special Session SS4</i> Fault-tolerant Deep Learning: A Hierarchical Perspective	<i>IP Session IP4</i> New Methods for System Level Test of Digital Light Processing and Radar VLSI Systems
8:00 - 9:00	Keynote Are Timing Marginalities Due to Process Variations the Cause of Silent Data Corruption?		

VTS2022概要

- ・開催日 : 2022年4月25日(月)~27(水)
- ・開催場所 : Virtual (Zoom Online)
- ・参加者 : 約230名 (日本からは10名程度)
- ・基調講演 : 4件
- ・論文発表 : 9セッション27件・投稿論文71件(採択率≒38%)
- ・企業発表 : 10セッション28件
- ・特別セッション : 8件+1件(T. W. Williams氏追悼)
- ・チュートリアル : なし
- ・その他・学位論文コンテスト(予選)

VTS2022 At-a-Glance (cont.)

P.S.T.	April 26, Tuesday		
9:20 - 10:20	<i>Regular Session S5</i> Secure Hardware Design	<i>Special Session SS5</i> Test of Machine Learning Systems	<i>IP Session IP5</i> Test of 3D ICs and Chiplets
10:20 - 11:00	<i>Student Activity SA1</i> Student Presentations		
11:00 - 12:00	<i>Regular Session S6</i> Test Volume Estimation and Optimization	<i>Special Session SS6</i> Towards Agile Design Methodology for Efficient, Secure, and Reliable AI Systems	<i>IP Session IP6</i> Silent Data Errors
P.S.T.	April 27, Wednesday		
7:00 - 8:00	<i>Regular Session S7</i> Exploiting Existing Structures and Data to Improve Test Quality	<i>Special Session SS7</i> STT-MRAMs: Technology, Reliability, and Test Challenges	<i>IP Session IP7</i> What's Next for Automotive: Where and How to Improve In-Field Test and Enhance SoC Safety
8:00 - 8:40	Keynote Emergent AI - A Journey to Sustainability, Efficiency and Higher Intelligence		
8:50 - 9:50	<i>Regular Session S8</i> Analog/RF Test and Calibration	<i>Special Session SS8</i> Enhancing the Reliability of Neural Network Accelerators	<i>IP Session IP8</i> Security in Test and Test of Security
9:50 - 10:30	<i>Student Activity SA1</i> Student Presentations		
10:40 - 11:40	<i>Regular Session S9</i> Defect Modeling and Test for New Design Styles - II	<i>IP Session IP9</i> Silicon Telemetry for Dependability	<i>IP Session IP10</i> Novel Methods for Validation and Test
11:40 - 12:00	Plenary Closing Remarks		

基調講演1/2

- Y. Zorian (Synopsys): 技術トレンド, 機会, そしてVTS
 - VTSは40回目・技術はどんどん向上
 - チップ設計の歴史(1970年~現在)
 - DRC('70)→P&R, タイミング('80)→論理合成('90)→IPベース('00)→AI利用(現在)
 - VTSの差別化=多くのトピック: 革新的, 非公式, 双方向, 拡張性, 柔軟性, 適応型
 - 設計課題: 品質・DPPB, FinFET対応, 歩留り最適化, 3D対応, SysMoore対応, ...
 - 多くのテスト関連国際会議
 - 歩留り(DFM&Y), 診断(SDD), 車載(ARTS), セキュリティ(HOST), ...
 - VTSの今後: 卓越した技術, 知識の源, 独自の役割, 心地よい雰囲気, 親近感
- K. Kechichian (NXP): タイトル不明
 - ☆3:30AMからのセッションで視聴できず, タイトルも揭示なし

国別採択論文数と分野別の状況

- 採択論文数: 27件 (採択率38%)
 - 日本からは0件(2年連続)
 - 国別採択論文数は右図のとおり
 - 米国が過半数復帰
 - ドイツは堅実, アジアは苦戦
- 分野別の状況
 - 全体構成: やや変動あり
 - ATPG/DFT関連: **回復**
 - AMS/RF関連: 堅調
 - メモリテスト: このまま安定か
 - 3D-ICテスト: 方向性が不明
 - セキュリティ関連: このまま安定か
 - AI応用関連: **引き続き堅調**
 - 高信頼化関連: やや減少
 - その他のデバイステストが**大幅増**

	VTS 2022	VTS 2021	VTS 2020	VTS 2019
USA	16	11	16	29
Japan	0	0	1	1
China	1	4	3	2
Taiwan	2	2	3	1
India	0	2	0	0
Other Asia	0	0	2	0
France	1	0	0	1
Germany	4	4	3	0
Netherlands	1	1	0	1
Belgium	0	0	1	0
Greece	0	0	0	0
Austria	0	0	0	0
Italy	2	2	2	0
Poland	0	0	0	0
Canada	0	1	0	0
Total	27	27	31	35

基調講演3/4

- A. Singh (Auburn U.): プロセスバラつきによるタイミング余裕度低下は暗黙のデータ破損の要因か?
 - 40年間のテストとDFTの回顧: 機能テストからスキャンテストへ, テスト効率&品質
 - 高効率低コスト遅延テスト, セル考慮テスト・それでもSLTが必要
 - 現在のテストの全体像: スキャンテスト(SAF+TDF+CAT) + SLTタイミングテスト
 - プロセスバラつき吸収のために大きなマージンが必要
 - SLTタイミングテストの見逃し不良が暗黙のデータ破損の要因となる可能性あり
 - それでも経路上に分散した遅延は見逃す可能性あり→低電圧動作で顕著化
 - 7σの確率=10¹² Trs.に1つ→10⁶個のSoC(10⁹ Trs.)に1000個の7σ Trs.
- G. Singer (Intel): 新興のAI-持続可能性, 効率性及び高い知性への旅
 - VTS'97でも基調講演: テストとDFTの現在のトレンドと今後の方向・25年ぶり
 - 深層学習の10年・技術(アルゴリズム, フレームワーク, HW)が急速に進展
 - 技術課題: 大規模複雑化, ロバスト性&信用性, マンマシン協働, 高度な認識
 - 持続不可能なNNモデルの成長: MITの研究者が計算性能の限界を指摘
 - 高効率化への道: 冗長性の低減, 対象固有の微調整, 新たな計算手法, ...
 - AIの新たな潮流: コグニティブAI・3層の知識, マルチモード認識(映像+文+知識)
 - 3層の知識: NNメモリ, 知識DB, 情報レポジトリ

採択論文数: 分野別

- 前回(VTS2021)及び前々回(VTS2020)との比較

		VTS2022	VTS2021	VTS2020
採択率		38% (27/71)	34% (27/80)	34% (31/91)
トピック別論文数	ディレイ/性能テスト	0 / 0.0	1 / 0.3	2 / 0.7
	電力考慮テスト	0 / 0.0	0 / 0.0	0 / 0.0
	ATPG/DFT	5 / 1.7	0 / 0.0	4 / 1.3
	メモリテスト	3 / 1.0	2 / 0.7	1 / 0.3
	アナログ/MSテスト	3 / 1.0	4 / 1.3	2 / 0.7
	高速I/O/RFテスト	1 / 0.3	0 / 0.0	0 / 0.0
	3D-ICテスト	0 / 0.0	1 / 0.3	1 / 0.3
	その他のデバイステスト	5 / 1.7	2 / 0.7	2 / 0.7
	デバッグ/故障診断/歩留改善	5 / 1.7	4 / 1.3	5 / 1.7
	システム高信頼化/劣化対応	3 / 1.0	7 / 2.3	7 / 2.0
	セキュリティ	2 / 0.7	3 / 1.0	9 / 3.0
	その他	0 / 0.0	3 / 1.0	1 / 0.3
合計	27 / 9.0	27 / 9.0	34 / 11.0	

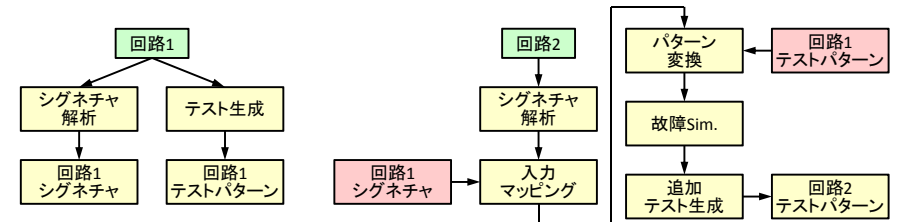
VTS2020の分野別にはCTC(中国テスト会議)からの優秀論文を3件を含む

ATPG/DFT関連

- S6: Test Volume Estimation and Optimization
- S7: Exploiting Existing Structures and Data to Improve Test Quality
- S9: In-System Test
- IP2: High Speed Scan Fabric
- IP10: Novel Methods for Validation and Test
 - ATPG/DFT関連では一般5件, 企業セッション4件の講演あり (論文リストは次スライド)
 - S7.2及びS9.2について紹介

講演の概要 : S7.2

- J. Joe (Purdue U.): 構造的に類似した回路の高速テスト生成
 - 集積回路: 高集積&複雑化・多くのIPコアを利用して設計を効率化
 - 多くの類似した回路がみられる・特にプロセッサ(CPU, GPU, AIチップ)
 - 提案手法: 構造的類似性を利用して回路のテスト可能性を判断
 - 構造的類似性: ECO対象回路, リタイミング対象回路, 類似コアを持つ回路, など
 - 回路1のテスト集合を回路2のテスト集合に可能な限り変換して実現
 - 手順: 構造解析&入出力マッピング→テストパターン変換→追加テスト生成
 - シグネチャ: ゲートを順序付けした値・ゲート種, 入出力数などから計算
 - シグネチャをキーにして類似回路を対応付け



ATPG/DFT関連(cont.)

講演No.	タイトル	著者	所属
S6.1	Accurate Estimation of Test Pattern Counts for a Wide Range of EDT Input / Output Channel Configurations	S.-X. Zheng, et al.	NCKU, Siemens, U. Iowa
S7.2	Fast Test Generation for Structurally Similar Circuits	J. Joe, et al.	Purdue U., Siemens
S9.1	Novel Technique for Manufacturing & In-System Testing of Large Scale SoC using Functional Protocol Based High-Speed I/O	A. Pandey, et al.	Amazon, Synopsys
S9.2	NVIDIA MATHS: Mechanism to Access Test-Data over High-Speed Links	M. Yilmaz, et al.	NVIDIA
S9.3	On-Die Noise Measurement During Automatic Test Equipment (ATE) Testing and In-System-Test (IST)	S. N. Mozaffari, et al.	NVIDIA
IP2.1	Maximizing Test Bandwidth with Flexible Streaming Fabric	B. T. Nelapatla, R. Singhal	Synopsys
IP2.2	Implementing High-Speed IO scan on an ATE	M. Daub, R. Singhal	Advantest, Synopsys
IP2.3	Addressing Test Challenges of ML SoC with Streaming Fabric	Z. Stanojevic	Esperanto
IP10.2	Quantum Search Based Test Generation for Large Scale Digital Circuits: A Rudimentary Approach	S. Roy, A. Deb	Intel, KIIT

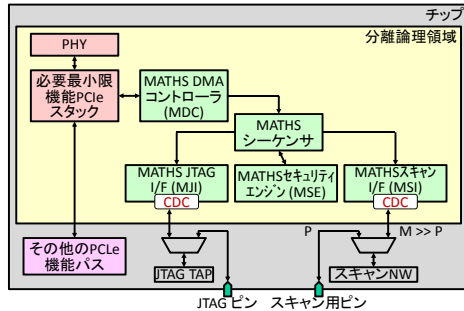
講演の概要 : S7.2 (cont.)

- 評価実験: 11種類の実用回路(1.2~15Mゲート)を使用
 - シグネチャ計算精度の評価
 - 構造の異なるコンから同一のシグネチャが得られる可能性を実験的に評価
 - 1.1Mの修正においてエイリアシングが発生しないことを確認
 - 組合せ回路の変更に対する有効性の評価
 - 平均で13倍の高速化, ただしパターンは平均で13%増加
 - 検出率は同等以上, 検出率が向上した回路でパターン数が大きく増加

	回路規模	元の回路の コン数	修正回路 の変更 コン数	実行時間 (s)			テストパターン数			故障検出率 (%)	
				元の回路	修正回路	改善率	元の回路	修正回路	増分 (%)	元の回路	修正回路
d1	8,611,749	429,708	1,262	7,020	506	13.87	2,334	2,842	21.76	97.06	97.06
d2	3,435,493	276,462	367	622	99	6.28	1,459	1,565	7.27	92.90	92.91
d3	4,833,052	334,108	4,218	1,568	123	12.74	1,408	1,509	7.17	92.08	92.08
d4	10,213,281	601,469	20,548	9,300	994	9.35	7,424	8,022	8.05	90.85	90.87
d5	15,102,044	1,215,337	5,461	13,740	1,177	11.67	4,544	5,067	11.5	94.46	94.47
d6	3,048,599	174,505	1,151	1,260	128	9.84	2,944	3,198	8.62	91.92	91.92
d7	3,519,135	219,280	3,043	5,103	405	12.6	5,155	5,780	12.12	97.02	97.03
d8	6,389,260	302,540	2,741	1,777	244	7.28	2,520	2,649	5.11	90.83	90.86
d9	12,167,308	440,540	12,063	6,446	843	7.64	7,168	7,297	1.79	91.65	91.70
d10	1,203,568	45,345	1,361	484	26	18.61	1,811	2,046	12.97	88.58	88.58
d11	1,699,509	89,908	5,328	10,168	459	22.15	2,163	2,891	33.65	97.62	97.71

講演の概要 : S9.2

- M. Yilmaz (Nvidia) : NVIDIA MATHS
 - 高速リンクを通じたテストデータへのアクセス機構
 - SoCの構造テスト: 高品質要求, 2.5D/3D対応でコスト増大(テストピン増大困難)
 - 高速I/Oを介したスキャン回路へのアクセスが必要
 - 提案手法: PCIeベースの高スループットSoC構造テストのための構造(MATHS)
 - PCIeベースの直接メモリアクセス(DMA)
 - MATH DMAコントローラ(MDC)
 - スキャンI/F(MSI)及びJTAG I/F(MJI)も具備
 - 入力するテストデータはセキュリティエンジン(MSE)で認証

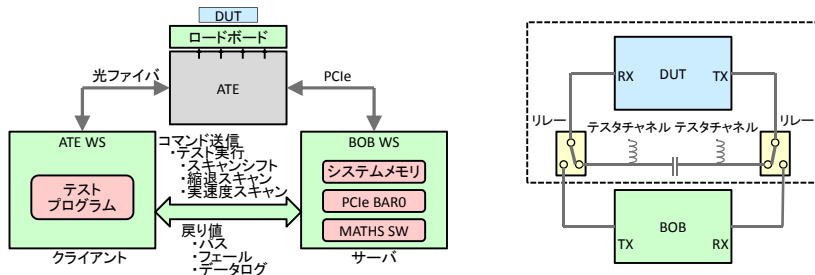


AI応用&AIハード関連

- S4: Diagnosis and Root Cause Analysis
- S7: New Directions in Diagnosis, Calibration and Fault Modeling
- SS1: Machine Learning for Semiconductor Test and Reliability
- SS4: Machine Learning in Test: A Survey of Analog, Digital, Memory, and RF ICs
 - AI応用関連では一般3件の講演あり
 - 他にAIハードのテストと信頼性に関する4件の特別セッションで9件の講演あり(論文リストは次ページ)
 - S4.2について紹介

講演の概要 : S9.2 (cont.)

- MATHSの利点
 - システムレベルのプラットフォームでSoCを直接テスト
 - コストを削減
 - PCIe標準準拠の機構
 - ATE, SLT, フィールドテストのすべてで高い移植性
 - ATE: 専用のHW(BOB(Bolt-On-Box))を開発
 - PCベースで既存ATEの横に固定
 - 既存の製造テストの能力(特性テストなど)も利用可能
 - ATEのロードボードも利用可能
- 適用事例: ATEレベルのテスト時間短縮効果
 - ある製品では約30%: ボトルネックはATPGパターン(スキャンタイミングの制限)
 - 他のピン制限のある製品では90%以上: 電力削減などによるさらなる削減も可能

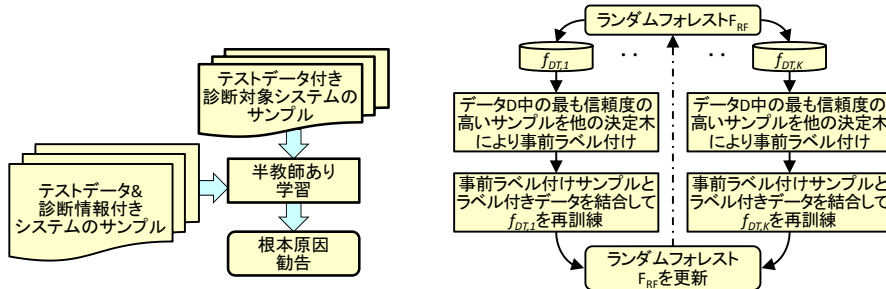


AI応用&AIハード関連(cont.)

講演No.	タイトル	著者	所属
S4.1	Machine Learning-Based Overkill Reduction through Inter-Test Correlation	D. Neethirajan, et al.	UT-Dallas, TI
S4.2	Semi-Supervised Root-Cause Analysis with Co- Training for Integrated Systems	R. Pan, et al.	Duke U.
S7.3	Rule Generation for Classifying SLT Failed Parts	H.-C. Hsu, et al.	NYMCTU, Qualcomm
SS4.1	Discovering Fault-tolerant CNN Model by NAS	Z. Gao	Tianjin U.
SS4.2	Fault-tolerant Deep Learning Accelerator Design with Recomputing Mechanism	C. Liu	ICT/CAS
SS4.3	Emerging Computing Paradigm for Fault-Tolerant Deep Learning	S. Liu	Shanghai T.U.
SS5.1	Fault Criticality Assessment in AI Accelerators	A. Chaudhuri, et al.	Duke U.
SS5.2	Effective In-field Testing of Deep Neural Network Hardware Accelerators	S. Kundu, et al.	UT-Dallas, Intel
SS6.1	Towards an Agile Design Methodology for Efficient, Reliable, and Secure ML Systems	S. Dave, et al.	ASU, T.U. Wien, NYU-Abu Dhabi, UPHF
SS8.1	Resilient Deep Learning Accelerators	Y. Li	U. Chicago
SS8.2	Enhancing the Reliability of Quantum Neural Networks	S. Ghosh	Penn. State
SS8.3	Hardware and Software based methods towards Robust-by-Design Deep Learning Accelerators	M. Sadi	Auburn U.

講演の概要: S4.2

- R. Pan (Duke U.): 統合システムの共同訓練による半教師あり根本原因解析
 - システム診断の課題が深刻化・根本原因の指摘が非常に困難化
 - 教師あり学習利用の提案・ラベル付きデータが大量に必要→一般に非実用的
 - 提案手法: 共同訓練を伴う半教師あり根本原因解析手法
 - 学習カーネルにランダムフォレストを使用
 - 一部データの事前ラベル付けと決定木の再訓練によりラベルなしデータを活用
 - 過剰適合を回避してハイパーパラメータを決定

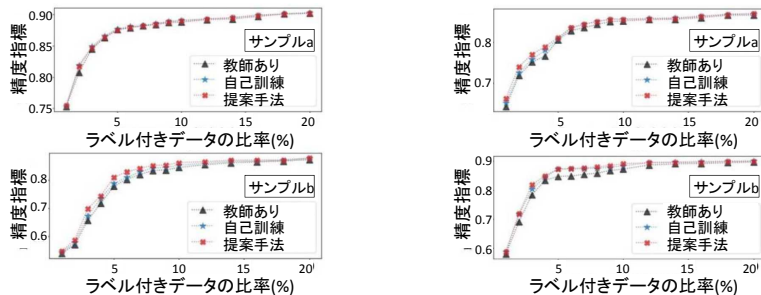


セキュリティ関連

- S5: Secure Hardware Design
- IP8: Security in Test and Test of Security
 - セキュリティ関連では一般3件, 企業セッション3件の講演あり (論文リストは次ページ)
 - S5.3について紹介

講演の概要: 4.2 (cont.)

- 実験評価: 2種のNWシステムの実用設計データを使用
 - 利用可能なテストデータにより熟練者が人手で根本原因をラベル付け(正解)
 - 比較対象: 教師あり手法, 自己訓練手法(既存の半教師あり手法)
- 評価結果: 提案手法により解析精度を向上できることを確認
 - 提案手法により人手作業を最大43%削減できることも確認



手法	教師あり	自己訓練	提案手法
必要なラベル付きデータの比率 (%)	14%	12%	8%

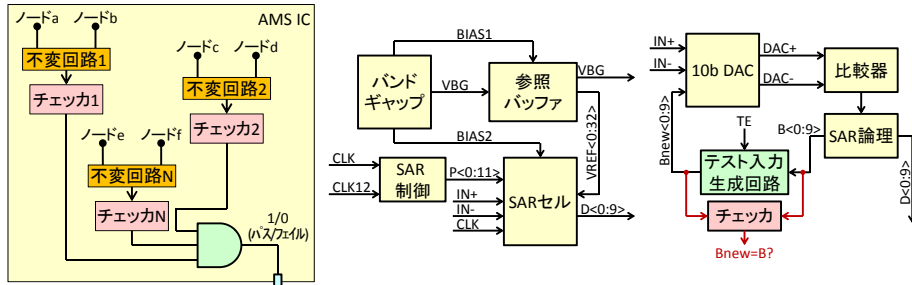
手法	教師あり	自己訓練	提案手法
必要なラベル付きデータの比率 (%)	20%	15%	12%

セキュリティ関連(cont.)

講演No.	タイトル	著者	所属
S5.1	Balanced Dual-Mask Protection Scheme for GIFT Cipher Against Power Attacks	A. Aljuffri, et al.	Delft U.T., Airbus
S5.2	FSMx: Finite State Machine Extraction from Flattened Netlist With Application to Security	R. Kibria, et al.	U. Florida
S5.3	Run-Time Hardware Trojan Detection in Analog and Mixed-Signal ICs	A. Pavlidis, et al.	Sorbonne U., ST Micro
IP8.1	Security Vulnerabilities and Countermeasures in Scan Chain	G. Qu	U. Maryland
IP8.2	Challenges in Testing Security	B. Tan	U. Calgary
IP8.3	Machine-learning Assisted Test and Correction of SRAM PUFs	D. Mukhopadhyay	IIT Kharagpur

講演の概要: S5.3

- A. Pavlidis (Sorbonne U.): A-MS ICでの実行時ハードウェアトロイ検出
 - ハードウェアトロイ(HT): 電子部品の主要セキュリティ驚異の1つ
 - 多数の攻撃法&対策法の研究あり・ただし大部分はデジタル部が対象
 - 提案手法: AMS部に影響するHT攻撃の実時間監視・故障検出用モニタを利用
 - 連続する0/1の遷移に対する供給電流(不変)をサイドチャンネル指紋として使用
 - SymBIST(対称性ベースのBIST(DATE2020))を利用
 - IC全体に不変回路を分散しその整合性を継続的にチェック
 - 事例評価: 10ビットSAR ADC (ST Micro, 65nm)を使用

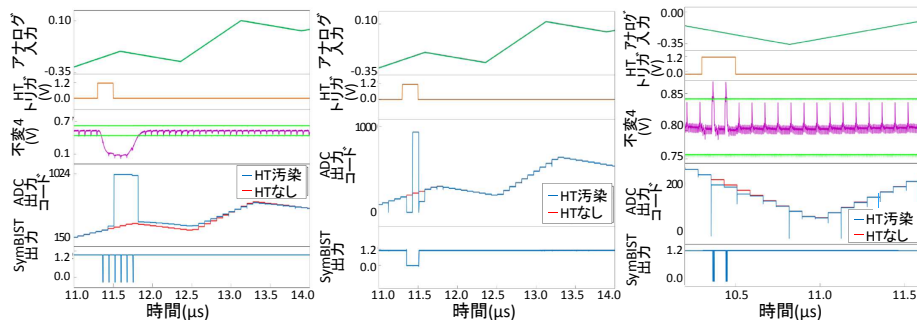


車載IC関連

- S1: Reliability and In-Field Monitoring
- S4: Modeling Techniques for Test and Yield Optimization
- S7: Exploiting Existing Structures and Data to Improve Test Quality
- IP7: What's Next for Automotive: Where and How to Improve In-Field Test and Enhance SoC Safety
- IP9: Silicon Telemetry for Dependability
 - 車載IC関連では、一般セッション3件、企業セッション6件の講演あり (論文リストは次スライド)
 - IP7.1及びIP7.2について簡単に紹介

講演の概要: 5.3 (cont.)

- 評価実験: トランジスタレベルの10b SARADCを使用
 - 入力には区分線形信号を使用、通常動作中にHTが起動
 - 以下の3つのHTのパイロードのケースで評価
 - (1) 内部PU Trs.活性化, (2) テスト信号発生回路活性化, (3) DAC内ビット線反転
 - 評価結果: いずれのケースでも動作時のHT実速度検出が可能であることを確認



車載IC関連(cont.)

講演No.	タイトル	著者	所属
S1.3	A New Method to Generate Software Test Libraries for In-Field GPU Testing Resorting to High-Level Languages	J.-D. Guerrero-Balaguera, et al.	P. Torino
S7.1	Exploiting Post-Silicon Debug Hardware to Improve the Fault Coverage of Software Test Libraries	R. Cantoro, et al.	P. Torino, IIT Bombay
IP7.1	A Comprehensive Functional Safety Automotive Solution for the Entire Vehicle Lifecycle	M. Peng, et al.	Sanechips, Synopsys
IP7.2	An Efficient SRAM Protection Technique with Area & Power Optimization	C. Argyrides, et al.	AMD, Synopsys
IP7.3	Improving Test Quality and Reliability via In-System / In-Field Testing	N. Mukherjee	Siemens
IP9.1	In-Chip Data Harvesting to Improve Silicon Trustworthiness and Predictability	S. Crosher	Synopsys
IP9.2	Deep Data from within the Chip for Predictive Maintenance and Improving Failure Rate	A. Matteucci	Protean
IP9.3	Intelligent Sensing with Telemetry across Silicon Lifecycle Management and Functional Safety	Y. Zou	Intel

講演の概要: IP7.1

- G. Tshagharyan (Synopsys): 車のライフサイクルを通じた包括的FuSaソリューション
 - 自動車の安全要求: ゼロDPPM, システムレベル信頼性, 情報セキュリティ
 - ライフサイクルの3フェーズでの安全対応: 製造テスト, POST, フィールド内安全性
 - 製造フェーズ: 通常alg.(March)+FinFET固有テスト+高度alg.(Gal, Walk)
 - POSTフェーズ: HW故障注入, Self-Test, ロジックBIST, メモリBIST/BISR
 - フィールド内フェーズ: ブロック特定&分離, ECC, 周期テスト
 - 自動車向けECC: 誤り検出/訂正, HW故障注入, レイアウト考慮ECCコード生成
 - 単一誤り検出, 単一誤り訂正, 2重誤り検出, 多重誤り検出/訂正
 - 結論
 - FuSa, 信頼性, 品質が自動車市場の主要な要求
 - ISO26262は電子部品のデファクトスタンダード

POST: Power-On Self-Test

2022.07.29 Kazumi Hatayama

29

AMS/RFテスト関連

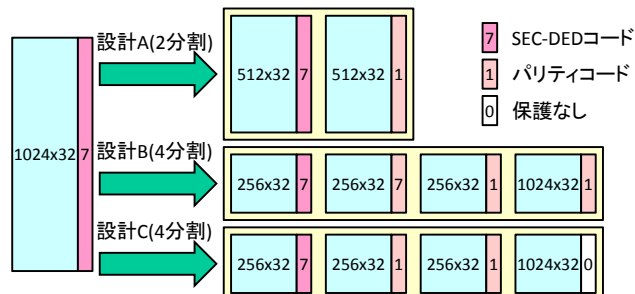
- S4: Modeling Techniques for Test and Yield Optimization
- S8: Analog/RF Test and Calibration
- IP1: Innovative Analog Circuit Testing Technologies
- SS1: Test and Reliability Challenges of Hybrid Analog/Sensor Systems
 - AMS/RFテスト関連では一般4件, 企業セッション3件, 特別セッション1件の講演あり (論文リストは次スライド)
 - S8.1について紹介

2022.07.29 Kazumi Hatayama

31

講演の概要: IP7.2

- C. Argyrides (AMD): 面積と電力を最適化した効率的SRAM保護手法
 - 最新のプロセッサの信頼性目標達成: 10%超の面積増の可能性
 - ベンダーとユーザの双方にとってオーバヘッド削減は重要
 - 提案内容: 所望のFITレベルを最小コストで実現するためのSRAM保護手法
 - 構造的脆弱性係数(AVF)に基づき頻繁に使用されるメモリ部分を特定
 - メモリを2(or4)分割し, 変化したAVFに基づいて各分割の保護レベルを決定
 - 潜在的なメリット
 - 面積増の削減, 電力増の削減, FIT率の市場要求への適合



2022.07.29 Kazumi Hatayama

30

AMS/RFテスト関連(cont.)

講演No.	タイトル	著者	所属
S4.3	The Least-Squares Approach to Systematic Error Identification and Calibration in Semiconductor Multisite Testing	P. O. Farayola, et al.	Iowa S.U.
S8.1	All Digital Low-Overhead SAR ADC Built-in Self Test for Fault Detection and Diagnosis	M. Ganji, et al.	Iowa S.U.
S8.2	Fast RF Mismatch Calibration Using Built-in Detectors	M. Emir Avci, et al.	ASU, TI India
S8.3	Performance Degradation Monitoring for Analog Circuits Using Lightweight Built-in Components	B. Bilgic, S. Ozev	ASU
IP1.1	Unconventional ADC Tests Can Save Your Bacon	C. Mangelsdorf	-
IP1.2	Towards GHz Sub-100 fs RMS On-chip Jitter Estimation with 28nm FD-SOI Technology	M. Madhvaraj, et al.	TIMA
IP1.3	Consideration on Thermal Effect for High Precision Analog IC Testing	D. Iimori, et al.	Gunma U., Rohm
SS1.2	Testing and Characterization for Large-Scale Programmable Analog Systems	J. Hasler	Georgia Tech.

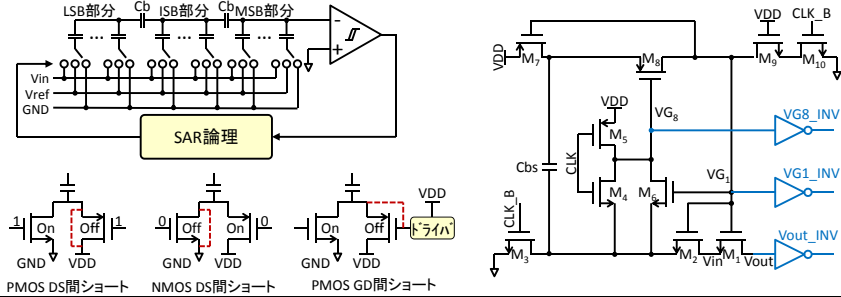
2022.07.29 Kazumi Hatayama

32

講演の概要: S8.1

・M. Ganji (Iowa S. U.): 故障検出&診断用の全デジタル低オーバーヘッドSAR ADC BIST

- ・重要な用途で使用されるICが急増・機能安全への関心が急激に高揚
 - ・BISTのフィールドテストへの適用が重要・アナログへのBIST実装が課題
- ・提案手法: SAR ADC向け全デジタルBIST方式・エリア及び電力増は低レベル
 - ・故障モデル:ドレイン/ソース/ゲートのオープン, GD間/GS間/DS間のショート
 - ・サンプル/ホールドスイッチの3か所にチェッカ設置・全故障を検出可能
 - ・容量DACはADCの通常動作を利用して, 高速に局所的故障を検出可能
 - ・製造テストとフィールドテストの双方に適用可能



新規デバイステスト関連

- ・S2: Defect Modeling and Test for New Design Styles - I
- ・S3: Defect Modeling and Test for New Design Styles - II
- ・S6: Test Volume Estimation and Optimization
- ・SS1: Test and Reliability Challenges of Hybrid Analog/Sensor Systems
- ・SS7: STT-MRAMs: Technology, Reliability, and Test Challenges
 - ・新規デバイス(メモリ含む)テスト関連では一般7件, 特別セッション4件の講演あり (論文リストは次スライド)

講演の概要: S8.1 (cont.)

- ・実験評価: 提案手法による故障検出の有効性をSim.により確認
 - ・サンプル/ホールドスイッチ: 各トランジスタに6種の故障を仮定して検出率を評価
 - ・すべての故障についていずれかのチェッカでの検出を確認
 - ・Voutでの検出についてはワースト(最大電圧)でも十分な電圧低下を確認
 - ・容量DAC: 18b 3分割SAR ADCで評価(各ビットに12故障・トータル216故障を仮定)
 - ・例: MSB部分の機能テスト: ビット13のワンホットテストにより実施
 - ・全故障によりコードが変更されることを確認

故障	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10
ドレインオープン	Vout (1uV)	Vout (1.73V)	VG1	Vout (761mV)	VG8	VG1	VG1	Vout (588mV)	VG5	VG8
ソースオープン	Vout (1.31V)	Vout (1.73V)	VG1	Vout (690mV)	VG8	VG1	VG1	Vout (642mV)	VG5	VG8
ゲートオープン	Vout (65mV)	Vout (1.73V)	VG1	Vout (588mV)	VG8	VG1	VG1	Vout (588mV)	VG5	VG8
GD間ショート	VG1	Vout (1.94V)	Vout (1.62V)	VG8	VG8	Vout (1.48V)	VG1	Vout (1.48V)	VG5	VG8
GS間ショート	Vout (1.94V)	Vout (1.47V)	Vout (1.76V)	VG8	VG8	Vout (1.47V)	Vout (1.94V)	Vout (666mV)	VG8	Vout (907mV)
DS間ショート	VG1	Vout (148mV)	Vout (1.76V)	VG8	VG8	VG5	Vout (1.91V)	VG1	VG1	Vout (8mV)

カッコ内は200回のモンテカルロSim.での最大値(VDDは2.5V)

新規デバイステスト関連(cont.)

講演No.	タイトル	著者	所属
S2.1	Exploring Model-based Failure Prediction of Passive Bio-Electro-Mechanical Implants	D. Gulick, et al.	ASU
S2.2	Fault Modeling and Test Generation for Technology Specific Defects of Skyrmion Logic Circuits	Z. Zhou, et al.	Auburn U.
S2.3	Fault-Tolerant Neuromorphic Computing with Functional ATPG for Post-Manufacturing Recalibration	S. T. Ahmed, M. B. Tahoori	Karlsruhe I.T.
S3.1	Memristor-Specific Failures: New Verification Methods and Emerging Test Problems	B. R. Biswas, S. Gupta	USC
S3.2	Methods for Testing Path Delay and Static Faults in RSFQ Circuits	M. Li, et al.	USC
S3.3	Voltage Tuning for Reliable Computation in Emerging Resistive Memories	M. Mayahinia, et al.	Karlsruhe I.T.
S6.3	MBIST-based Trim-Search Test Time Reduction for STT-MRAM	C. Munch, et al.	Karlsruhe I.T., Siemens
SS1.1	Calibrating Mismatch in an ISFET with a Floating-Gate	S. Shah, J. Blain Christen	U. Maryland, ASU
SS7.1	STT-MRAM Technology for Embedded Applications	S. Rao	IMEC
SS7.2	Reliability Challenges in STT-MRAM	M. Tahoori	Karlsruhe I.T.
SS7.3	Device-Aware Test for STT-MRAM	S. Hamdioui	Delft U.T.

VTS2022の特徴

・今回のVTS2022の特徴をまとめると以下のとおり。

- (1) AIチップのテストや高信頼化に関する研究開発が活発に
 - ・「AI for Test」だけでなく「Test for AI」が目立った
 - ・特別セッションが3件も設置された
- (2) 新規デバイスのテストが話題に
 - ・新たな設計スタイルに関する論文セッションが2件
 - ・新規メモリも含めて新たな話題として注目される
- (3) アジアからの貢献が低下
 - ・国別論文数で欧州との差が拡大
 - ・企業セッション、特別セッションではそれなりに貢献しているが、論文での貢献が最重要
 - ・日本からは残念ながら論文投稿数自体が0であった

VTS2023はサンディエゴまたはVirtualで

・VTS2023は4/23(日)～4/26(水)にサンディエゴで開催される予定(?)
(COVID-19の状況に依存して変わる可能性あり)

投稿締切: 11月ごろ?

・詳細はWebサイト(<http://www.tttc-vts.org>)に掲載される予定

