

Report in VTS 2022

群馬大学院 理工学府 電子情報・数理教育プログラム
修士 2年 飯森大翼
2022年 4月 25日

日時：2022年 4月 25～4月 27日

場所：VIRTUAL(in USA)

目的：VTS(Innovative Practices Session)発表



VTS とは？

VTS(VLSI Test Symposium)は、LSIテスト分野で ITC(International Test Conference)に次ぐ規模の国際会議となっている。本学会は、学術論文(Scientific papers), 産業論文(Industrial Applications Short Papers), 特別セッション(Special Sessions), 革新的実践(Innovative Practices Tracks)の 4つのカテゴリーに分類され、私は Innovative Practices Tracks での発表機会を頂いた。

IEEE VLSI Test Symposium
Virtual Event (View map) Apr 25 - 27, 2022 | Displaying in the event's time: 3:32 AM (PDT) | Switch to local time

Home
Agenda
Sessions
Speakers
Attendees
Community
Messages
Photos
Loaderboard
Resources

Haruo Kobayashi
Gunma University
Send Message View Profile

Don't forget to fill out the evaluation form at the following link!
Please, in the form specify the session code, reported in the title.
<https://forms.gle/21GrVb5T4cJj9k4N6>

Subsessions

- Unconventional ADC Tests Can Save Your Bacon
7:00 AM - 7:20 AM
Speaker: Chris Mangelsdorf
- Towards GHz Sub-100 fs RMS On-chip Jitter Estimation with 28nm FD-SOI Technology
7:20 AM - 7:40 AM
Speaker: Manasa Madhwaraj
- Consideration on Thermal Effect for High Precision Analog IC Testing
7:40 AM - 8:00 AM
Speaker: Daisuke Iimori

Feedback to Whova
About Whova

View Profile

Daisuke Iimori
Gunma University
Kiryu, Gunma
Speaker

SPEAKING AT
Consideration on Thermal Effect for High Precision Analog IC Testing
April 25, 2022, 7:40 AM - 8:00 AM (US/Pacific)

BIO
Daisuke Iimori received the B. S. degree in Electronics and Informatics, Gunma University, Japan in 2021. Currently he is a master course student there. He presented a paper as the first author at IEEE International Test Conference 2021, entitled "Summing Node and False Summing Node Methods: Accurate Operational Amplifier AC Characteristics Testing without Audio Analyzer". His research interests are analog circuit desing and test.

AFFILIATION
Gunma University
Gunma University, Kiryu, Japan

EDUCATION
Gunma University
B.S., Electronics and Informatics, 2017 - 2021

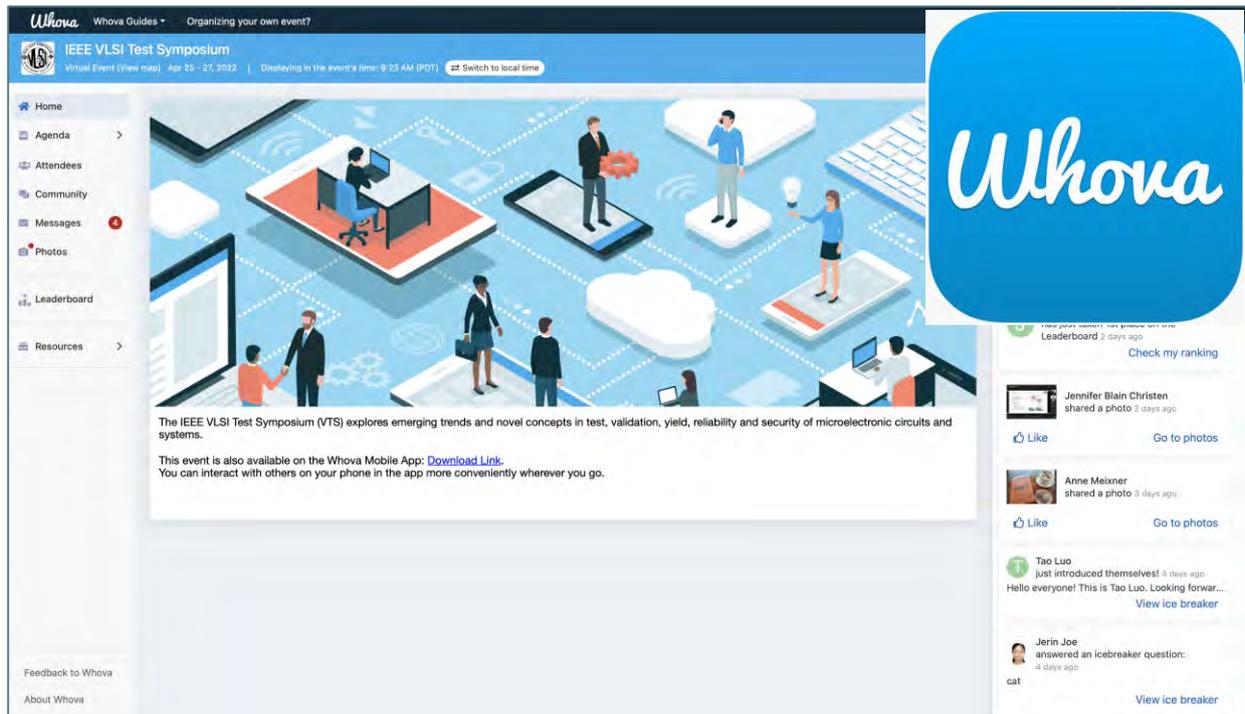
LOCATION
Kiryu
JP

IP1 : Innovative Analog Circuit Testing Technologies

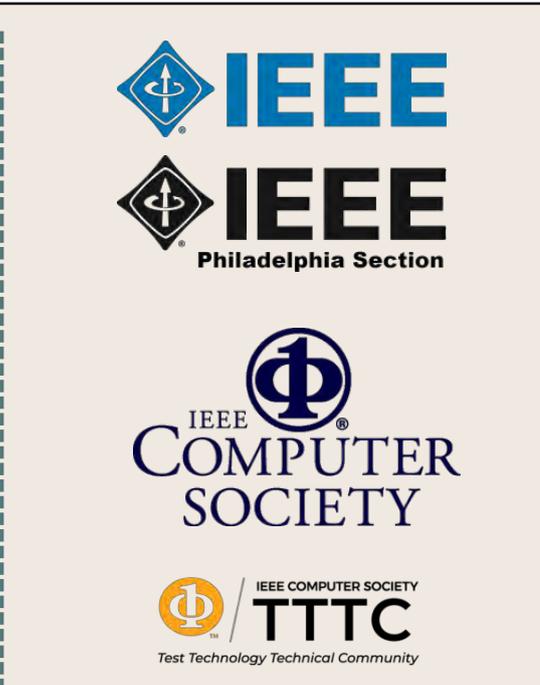
VTS: https://tttc-vts.org/public_html/new/2022/

Venue

今年の VTS は昨年につき、virtual での開催となった。また、学術会議などのアカデミックイベントの運営と、参加者同士の交流をバックアップするイベントアプリ「Whova」が導入された。会議全体のスケジュールや各発表に対する質疑応答も、本アプリを通じて管理された。



Sponsors and Supporters

 <p>Premier Corporate Supporters</p>	 <p>Corporate Supporters</p>
--	---

「IP1: Innovative Analog Circuit Testing Technologies」で発表

「Consideration on Thermal Effect for High Precision Analog IC Testing」

Daisuke Imori³, Takayuki Nakatani³, Shogo Katayama³, Gaku Ogihara³, Yujie Zhao³, Jianglin Wei³, Anna Kuwana³, Kentaroh Katoh³, Kazumi Hatayama³, Haruo Kobayashi³, Keno Sato⁴, Takashi Ishida⁴, Toshiyuki Okamoto⁴, Tamotsu Ichikawa

40th IEEE VLSI Test Symposium 2022

Innovative Analog Circuit Testing Technologies

Consideration on Thermal Effect for High Precision Analog IC Testing

Gunma University

Daisuke Imori, T. Nakatani, S. Katayama, G. Ogihara, Y. Zhao, J. Wei, A. Kuwana, K. Katoh, K. Hatayama, H. Kobayashi

ROHM Co., Ltd.

K. Sato, T. Ishida, T. Okamoto, T. Ichikawa

発表の様子(タイトル、自己紹介)

Research Objective

High precision measurement of DUT temperature characteristics with probe

Obstacle: Probe thermal effect (TEF)

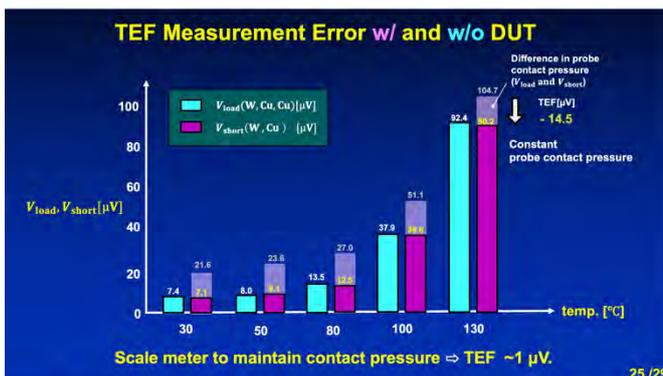
Solution

Thermal effect calibration with de-embedding method

- DUT temperature characteristics w/o probe thermal effect
- Constant "probe contact pressure"

※ TEF: Thermo-electromotive force

発表の様子(研究目的)



発表の様子(データ比較)

Conclusions

Thermal Effect for High Precision Analog IC Testing

- Thermal effect calibration with de-embedding method
 - Calibrations from w/o and w/ DUT
 - TEF of 70~100 μV between probes
 - DC-AC conversion measurement ⇒ TEF of several μV order
- Effect of probe contact pressure on TEF
 - TEF fluctuation by contact pressure change: 1~20 μV

Use scale meter → TEF fluctuation ~1μV.

発表の様子(まとめ)

Abstract

近年, IoTシステムの高信頼性・低消費電力化の要求から, アナログ回路の μV オーダーの電圧や nA オーダーの電流を低コストで良好な直線性でテストする必要がある。また, 高精度な測定のためには, 熱の影響や起電力の影響も考慮する必要がある。従って, マイクロプローブを用いた測定では, 以上の2点を考慮する必要がある。この問題を, いくつかのアナログ回路を用いた実験により明らかにする。

Q & A

Q1. What are problems to apply the proposed method to ATE systems at the mass production stage ?

A1. We used only two probes in this experiment.

Therefore, there is concern about the accuracy of the calibration when more probes are used.

One solution is to add a DUT to this experiment and investigate the effect of increasing the number of probes

■ 同じセッション内の発表

「Unconventional ADC Tests Can Save Your Bacon」

Chris Mangelsdorf,

Independent Consultant, San Diego, CA, USA

➤ **Abstract**

未知のアナログバグほど怖いものはない。設計のやり直しも大変だが、延々と続くデバッグ作業を考えると、どんなにタフなプロジェクトマネージャーでも恐怖を感じる。そのため、迅速かつ正確な診断が最も重要なスキルとなっている。しかし、現代のシリコンはあまりにも複雑で、従来のデバッグ技術では対応できない。SOCの迷路を抜け出し、アナログの弱点を突き止めるには、かつてないほどの創造力が必要です。本講演では、補正範囲推定、非周期クロッキング、キックバック測定、差動パスのシングルエンドテストなど、ADC問題の診断に用いられる様々な非正統的なテストについて説明します。

「Towards GHz Sub-100 fs RMS On-chip Jitter Estimation with 28nm FD-SOI Technology」

Manasa Madhvaraj², Salvador Mir², Manuel Barragán,

Univ. Grenoble Alpes, CNRS, TIMA, Grenoble, France

➤ **Abstract**

オンチップ・ジッタ測定は、GHz帯のジッタ測定の影響とコストを削減するための代替ソリューションであり、複雑さを軽減するために、外部基準クロックの必要性をなくすことが望まれている。また、対象クロックのサンプリングに外部基準クロックを必要としないオンチップ・ジッタ測定方式は、一般に自己基準方式と呼ばれている。ジッターを推定するためのサンプリング・クロックとして、クロックの遅延バージョンが使用されるが、非常に高い分解能を得るには、クロック遅延の正確な制御が不可欠である。このような組み込み機器は、一般的なデジタル回路を使用して、非常に小さなフットプリントで実現できるのであれば、興味深いものとなる。また、自己参照型のオンチップ・ジッタ測定は、1GHzを超える周波数で、数百フェムト秒の分解能で実証されている。100fsを下回る場合は、時間差増幅器を使用する必要がある。測定器全体の校正は、GHzの信号に到達するためには困難であることが証明されている。本講演では、28 nm FDSOI技術で実現できる微細な遅延制御を利用して、絶対(タイミング)ジッタおよび周期RMSジッタのGHzサブ100fsオンチップ測定に向けた当社のアプローチについて説明する。最小限のトランジスタと簡単な校正手順で、完全な組み込みジッタ測定器が設計されている。この測定器は、オンチップ・クロック・モニターに加え、ノイズ、経年劣化、環境効果のモニタリング、診断、パラメータ制御など、様々なアプリケーションに利用することが可能である。

■ 最後に

昨年の ITC に引き続き、世界最大規模である VTS で発表機会を頂けたことを光栄に思っております。私にとっては、2 回目の国際会議であったが、発表スライドの体裁やプレゼンの表現力など課題も多く見つかった。今後も、国内外問わず発表機会があると思うので、より一層の研鑽を積んで臨みたい。

最後になりますが、今学会の発表のためご指導頂いた小林春夫教授、中谷隆之先生、桑名先生、研究にご協力頂いたローム(株)の佐藤賢央様、その他関係者各位、そして、会議を無事に開催して頂いた VTS 運営の皆さまに心から感謝を申し上げます。

