

冗長性を備えた AD 変換器の デジタル誤差補正アルゴリズムの共通構造

小林春夫^{1,a}, 加藤健太郎², 魏江林³

¹群馬大学, ²福岡大学, ³宜賓学院

Common Structure of Digital Error Correction Algorithms for Several ADCs with Redundancy

Haruo Kobayashi^{1,a}, Kentaroh Katoh², Jiangling Wei³

¹ Gunma University, ² Fukuoka University, ³ Yibin University

email: ^a koba@gunma-u.ac.jp

概要: 本稿ではいくつかの冗長性を備えた AD 変換器 (Analog-to-Digital-Converter : ADC) でのデジタル誤差補正アルゴリズムの共通構造を考察する. これまで個別 ADC に対してアルゴリズム・方式が提案されてきている. その分類や統一的な理論の構築が最終目標である. 筆者がかかわってきたパイプライン ADC, 2つのタイプの逐次比較近似 ADC, 折り返し補間型 ADC の各デジタル誤差補正アルゴリズムとも「上位ビットの判定誤りを下位ビット情報で補正する」という共通構造をもっていることを見出した. すなわち上位ビットはある程度誤っても良い, 下位ビットは正確に生成されなければならない構造になっている.

. キーワード: AD 変換器, デジタル誤差補正, 冗長性, 自己校正, デジタルアシスト・アナログ技術, 統一理論

I. はじめに

CMOS 集積回路の微細化の進展とともに, トランジスタが高速になり またチップ面積縮小が図れる. しかしながらトランジスタの利得が小さくなり 素子特性がばらつき, さらに電源電圧も低下する. このためトランジスタレベルの工夫だけでは ADC 設計が難しくなる. この

ためデジタル誤差補正技術や自己校正技術が活発に研究開発されてきている.

本稿ではこの中で ADC のデジタル誤差補正方式を扱う. 様々なアルゴリズム・方式が提案されてきているが, 個別技術にとどまり, それらを分類し統一的に扱い体系化する試みは(筆者らが知る限り)少ない. [1] ここでは筆者がかかわってきたパイプライン ADC, 2つのタイプの逐次比較近似 ADC, 折り返し補間型 ADC のデジタル誤差補正アルゴリズムの共通構造を考察する.

II. デジタル誤差補正と自己校正

デジタル誤差補正: 冗長回路・動作をもち, 回路の非理想要因を許容して正解を出力する. 非理想要因は計測しない. 図 1 は (デジタル回路の場合であるが) その一例で同じ回路を 3 つと多数決回路を持ち 1 つが誤動作しても正解値を出力する. 回路 A, A', A'' の出力の一つが間違いであっても (どれが間違いかを計測しなくても) 正解出力が得られる.

自己校正: 回路の非理想要因を自身の回路システムで自動的に測定し, その結果を測定メモリに記憶する. その値をもとに通常動作のときにデータを補正して出力する (図 2). 「通常動作をストップし, 自動的に校正を行うフォアグラウンド自己校

正」と「通常動作をストップせず並行して校正を行うバックグラウンド自己校正」の2つに大別できる。外部ユーザは介さずに全てチップ内の回路が自分自身で行う。「校正」はもともと大きなシステムである電子計測器の技術であるが、それがチップ内に入ってきた、LSI チップ内への応用と解釈できる。

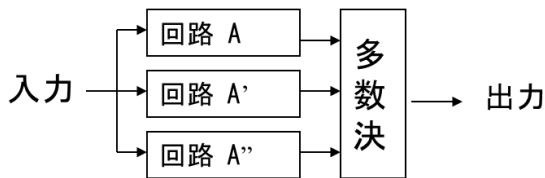


図 1: 冗長回路と多数決回路を用いたデジタル回路構成。

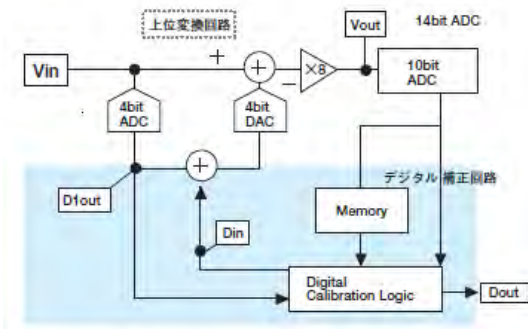


図 2: 自己校正を備えたパイプライン ADC の構成。

III. パイプライン ADC とデジタル誤差補正

パイプライン ADC の構成と動作をわかりやすくするため 10 進数表示で図 3 を示す。実際の設計では図 2 に示すような 2 進数ベースである。[2]

図 3 に上位ビット（アナログ入力 V_{in} の 10 の桁）を生成する ADC1 が不正解出力しても下位ビット（アナログ入力 V_{in} の 1 の桁）を生成する ADC2 の入力レンジを広くし（すなわち冗長性を持ち）また ADC2 が正しい出力を生成できれば、ADC 全体として正しいデジタル出力ができることを示す。これは「冗長性をもち上位

ビットの判定誤りを下位ビット情報で補正する」という構造になっていることがわかる。

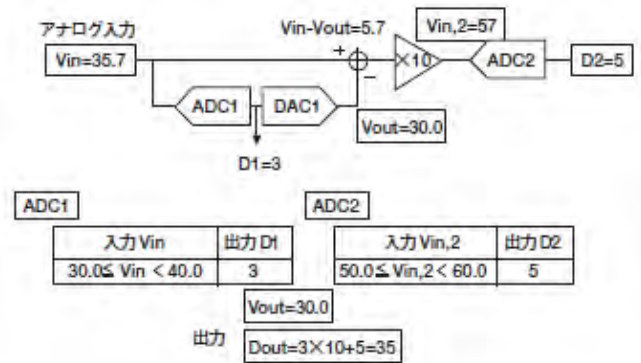


図 3: パイプライン ADC の構成と動作。

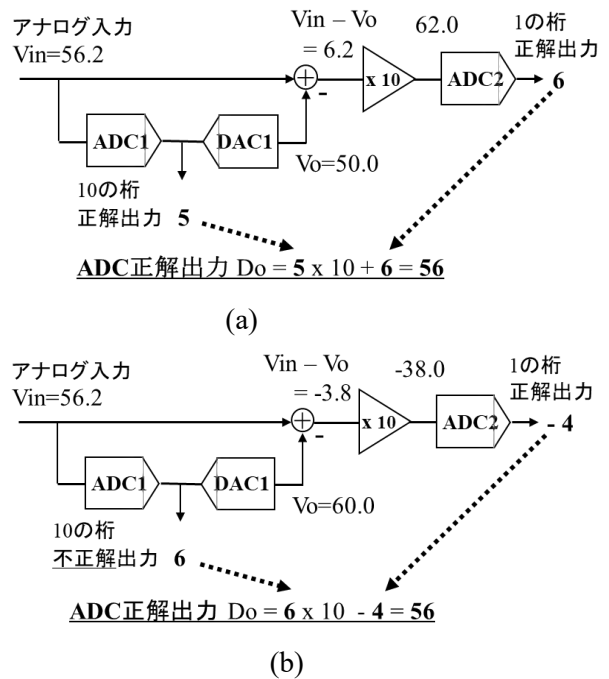


図 4: パイプライン ADC で ADC1 の正解出力・不正解出力の動作。

(a) ADC1 が正解出力 5 の場合。

(b) ADC1 不正解出力 6 の場合の誤差補正。

IV. 逐次比較近似 ADC

この節では動作冗長性をもつ逐次比較近似 ADC (Successive Approximation Register ADC: SAR ADC) と回路冗長性をもつ SAR ADC の 2 つを考える。

4.1 動作冗長性をもつ SAR ADC [3-5]

1個の比較器を用いる SAR ADC を図 5 に示す. N ビット分解能を N 回の比較で実現する 2進探索 SAR ADC の動作を図 6 に示す. 最小ステップ数であるが誤動作をすると ADC 出力に誤差を生じる. 一方 M 回 (N<M) の比較で実現する動作 (ステップ数) の冗長性を用いる非 2進 SAR ADC を考える. (図 7)

- 各ステップで(ある程度の)比較器判定誤りがあってもデジタル補正可能である. [3, 4] ある一つの ADC の 2進出力 D_{out} 値に対して対応する比較器出力の組は複数個あり得る.
- これは比較器判定が誤っても正解の D_{out} が得られる場合があることに対応しており, これが冗長アルゴリズム逐次比較 ADC のデジタル誤差補正の原理である.
- 図 7 (b)で紫線の部分はそのステップで比較器出力が 1 でも 0 でも ADC の正解出力が得られるアナログ入力 V_{in} の範囲である. ステップ数が進むにしたがってその範囲が狭くなる. すなわち上位ビットほど判定誤差を許容するが, 下位ビットほど判定誤差を許容しないことがわかる.

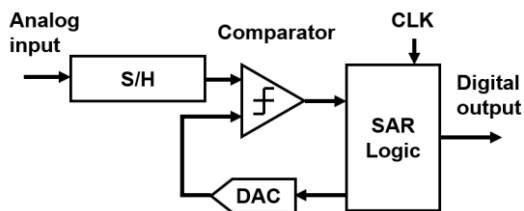


図 5: 比較器が一つの SAR ADC の構成.

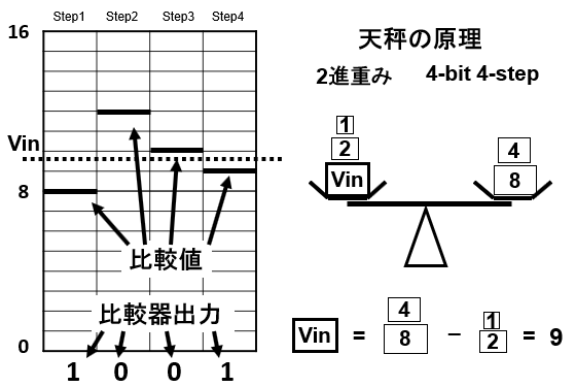


図 6: 2進探索 SAR ADC (4 ステップ).

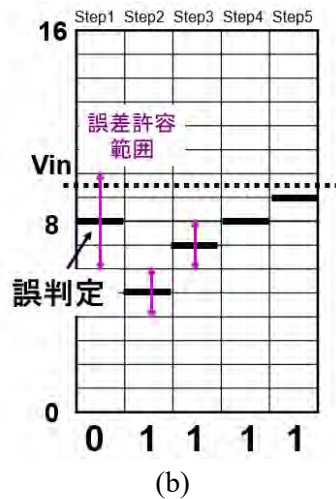
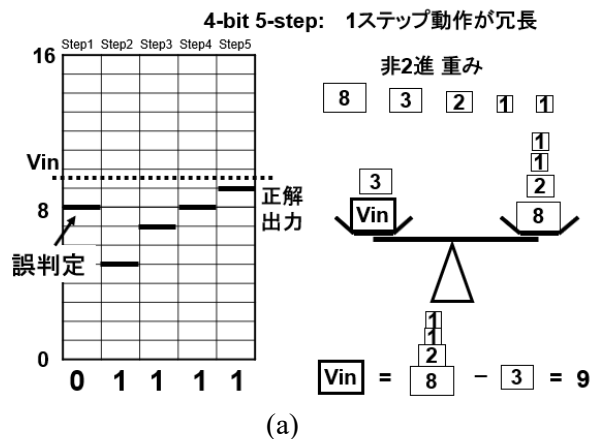


図 7: 冗長非 2 進探索 SAR ADC (5 ステップ). (a) 判定誤差があった場合. (b) 誤差許容範囲.

4.2 回路冗長性をもつ SAR ADC [6-9]

従来の 1 個の比較器と 2 進探索を用いる SAR ADC では, 前段でエラー が起きてしまうと後段で補正ができない. そこで 3 つの比較器を使用し冗長性をもたせデジタル誤差補正が可能となる構成を検討した. 図 8 にその構成を示す.

図 9 に示す動作からその誤差補正範囲が下位ビットになるにしたがい狭くなっていくことがわかる. すなわち上位ビットでは比較器の誤判定がある程度許容されるが, 下位ビットでは正しく判定されることが必要である.

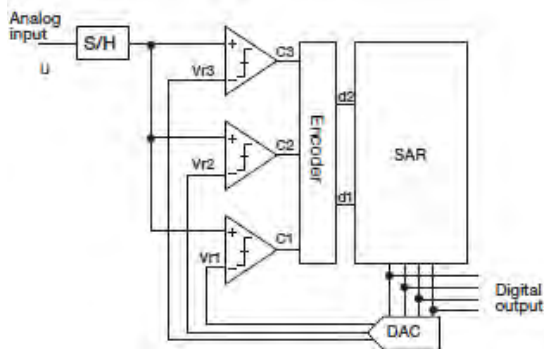
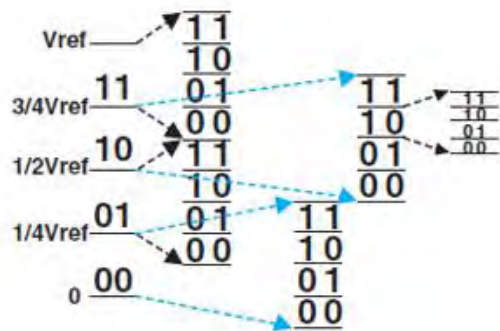


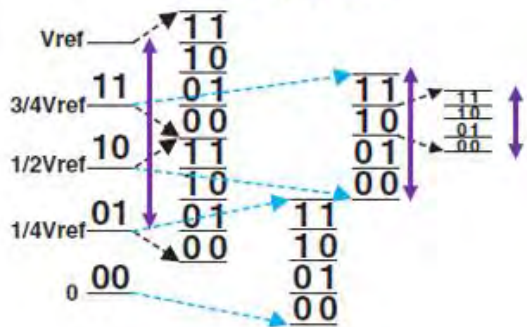
図 8: 3つの比較器を用いる SAR ADC の構成.



上位ビット → 下位ビット

(a)

誤差許容範囲



(b)

図 9: 3つの比較器を用いる SAR ADC の動作. (a) 動作例. (b) 誤差許容範囲.

V. 折り返し補間型 ADC

折り返し補間型 ADC はフラッシュ型と同等サンプリング速度を保ちながらアナログエンコーディングにより比較器の数, デジタルエン

コーダの回路規模を大幅に削減できる. したがって全体の電力を削減できる. [10, 11]

この ADC は例えば 6 bit 分解能の場合は折り返し回路で上位 3 ビット (G_5, G_4, G_3) を, 補間回路では下位ビット (G_2, G_1, G_0) を生成する. G_5, G_4, \dots, G_0 はグレイコード (Gray code) である. 補間回路は巡回コード (Cyclic Code) の $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を生成する. 図 10 にその構成を示す. アナログ入力 V_{in} とこれらのコードとの関係を図 11(a) に示す. また, 図 11(b) に示すように G_2, G_1, G_0 が巡回コードのデジタル演算で得られる.

$$G_2 = C_4$$

$$G_1 = C_2 \oplus C_6$$

$$G_0 = C_1 \oplus C_3 \oplus C_5 \oplus C_7$$

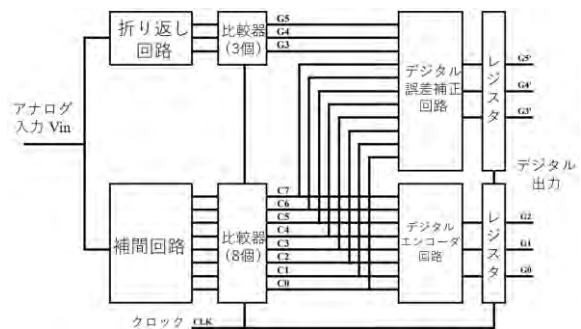
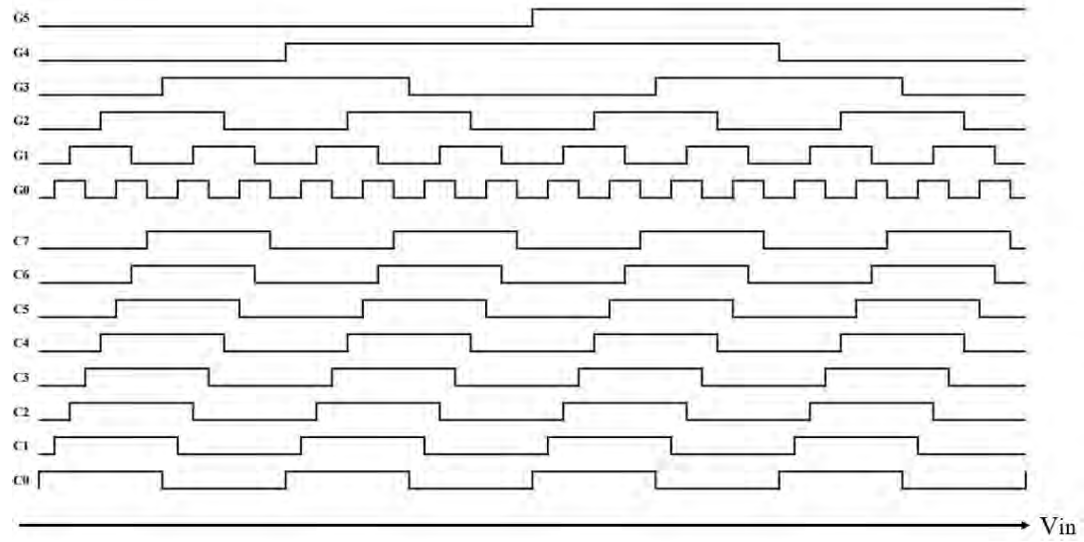


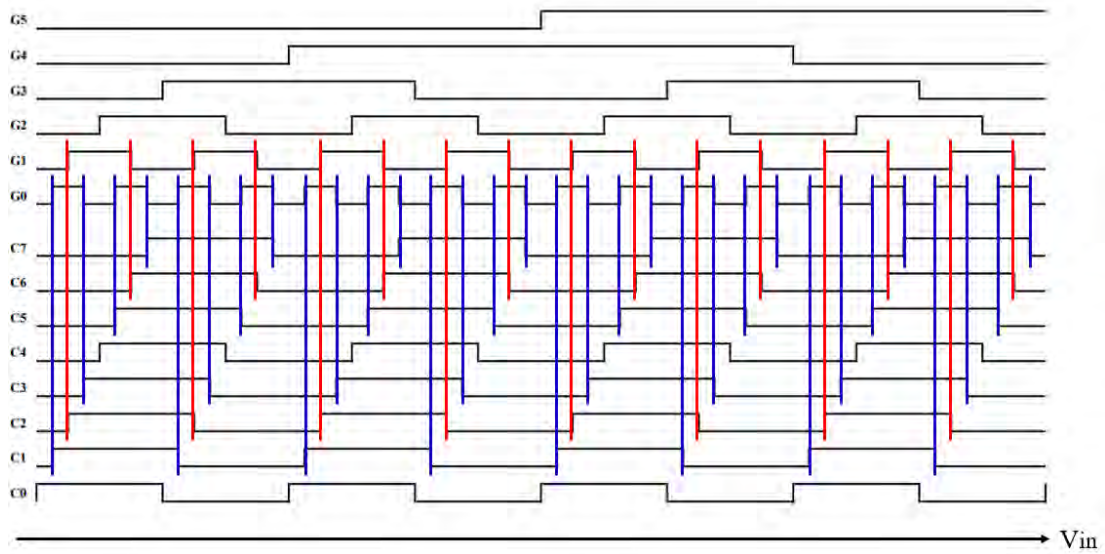
図 10: 6-bit 折り返し補間型 ADC の構成.

実際の回路では折り返し回路は比較的簡単で遅延が小さく, 補間回路は複雑で遅延が大きい. したがって折り返し回路がサンプリングするアナログ入力 $V_{in}(t_0)$ に対し補間回路でのサンプリングするアナログ入力は少し遅れた $V_{in}(t_0 + \Delta t)$ となる. $V_{in}(t)$ が高周波・大振幅になると遅延誤差 Δt による AD 変換誤差が顕著になる. これをデジタル補正するアルゴリズムを考案した. [11, 12]

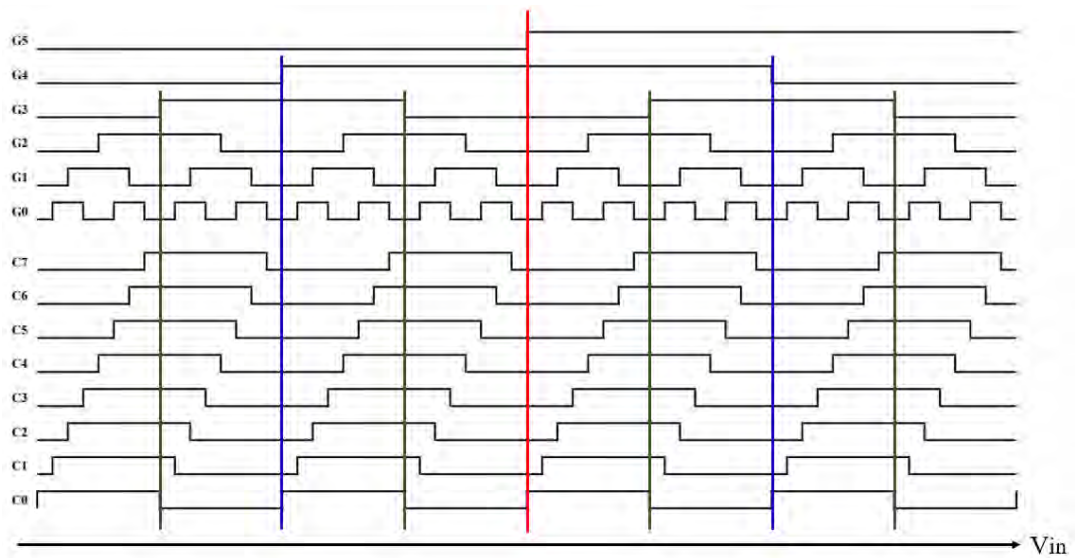
図 11 (c) をみると V_{in} に対する C_0 の遷移点と G_5, G_4, G_3 の遷移点は理想的には等しいことがわかる. すなわちここに冗長性がある. しかし実際の回路では G_5, G_4, G_3 を生成する回路と C_0 を生成する回路は動作速度がことなるので遷移点にずれが生じる. そこで遷移点近辺で G_5, G_4, G_3 の遷移点を C_0 の



(a)



(b)



(c)

図 11: 6-bit 折り返し補間型 ADC でのアナログ入力 V_{in} に対するグレイコード (Gray code) 出力と巡回コード (Cyclic code) 出力. (a) 全体. (b) G_1, G_0 を巡回コードから得るための情報. (c) G_5, G_4, G_3 と C_0 の遷移点が等しいことの説明.

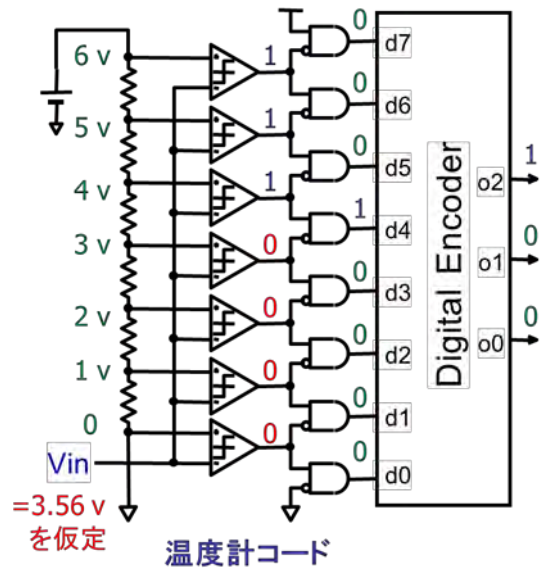
遷移点にデジタル誤差補正する. これは結果として G5, G4, G3, C7, ..., C0 の比較的簡単なデジタル演算で得られる. もちろんこのデジタル誤差補正に限界があり, それが V_{in} の入力周波数・振幅との関係として得られる.

ここでも「冗長性をもち上位ビットの判定誤りを下位ビット情報で補正する」という構造になっていることがわかる.

VI. 考察

上位ビット, 下位ビット別々に生成される4つのタイプの冗長 ADC では「上位ビットの判定誤りを下位ビット情報で補正する」と構造になっていることを見出した. すなわち下位ビットは正解値を生成し, それに基づき, 上位ビットの(ある程度の)誤差を補正している.

- 容量を用いた電荷再配分型逐次比較近似 ADC の容量ミスマッチの影響の自己校正で下位ビットから上位ビットに向けて自己校正を行う方式にも類似性がある. [13]
- デジタル加算演算で下位ビットから上位ビットへ計算して桁上げをしていくのと相似である.
- 一方, フラッシュ ADC (図 12) での各比較器の出力のバブル誤差を補正するために多数決回路を用いる方式(図 13)はこれに当てはまらない. [14]



(a)

Encoder 真理値表

d7	d6	d5	d4	d3	d2	d1	d0	o2	o1	o0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

(b)

図 12: 3 bit フラッシュ ADC.

(a) 構成と動作例.

(b) エンコーダの真理値表.

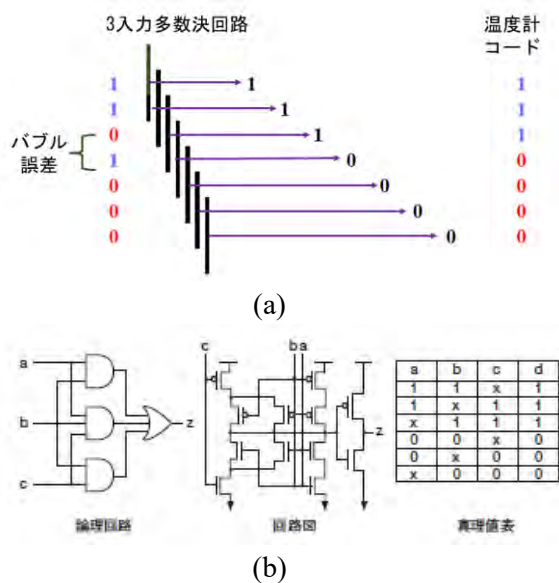


図 13: (a) フラッシュ ADC での比較器配列の出力のバブル誤差とその多数決回路による補正. (b) 3 入力多数決回路.

VII. 結論

上位ビット, 下位ビット別々に生成される4つのタイプの冗長 ADC ではデジタル誤差補正アルゴリズムが「上位ビットの判定誤りを下位ビット情報で補正する」という構造になっていることを見出した. これは冗長 ADC 設計で (回路構成にも依存するが), 上位ビット生成回路でのノイズやコンパレータオフセットの要求を緩和できることにもつながる.

謝辞

この研究は科学研究費 基盤(C)21K04190 の支援を受けて行われた.

参考文献

- [1] 小林春夫「デジタルアシストADCの統一理論へむけての一考察」応用科学学会誌 電子回路研究, vol.24, no.1, pp.8-11 (2011).
- [2] 高橋洋介, 趙楠, 傘昊, 三田大介, 八木拓哉, 小林春夫「パイプライン ADC デジタ

ル自己校正アルゴリズム」FTC 研究会, 長崎 (2008 年 1 月).

- [3] T. Ogawa, H. Kobayashi, Y. Takahashi, N. Takai, M. Hotta, H. San, T. Matsuura, A. Abe, K. Yagi, T. Mori, "SAR ADC Algorithm with Redundancy and Digital Error Correction," IEICE Trans. Fundamentals, vol.E93-A, no.2, pp. 415-423 (Feb. 2010).
- [4] T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, N. Takai, "SAR ADC Algorithm with Redundancy," IEEE Asia Pacific Conference on Circuits and Systems, Macao, China (Dec. 2008).
- [5] Y. Kobayashi, H. Kobayashi, "Redundant SAR ADC Algorithm Based on Fibonacci Sequence," Advanced Micro-Device Engineering VI, Key Engineering Materials, pp.117-126 (2016).
- [6] 早川 晃, 趙楠, 堀田正生, 小林春夫「高性能逐次比較 AD 変換器アーキテクチャ」電気学会, 電子回路研究会, 桐生 (2006 年 3 月).
- [7] S. Shimokura, M. Hotta, Y. Takahashi, N. Zhao, H. Kobayashi, "Conversion Rate of SAR ADC with Digital Error Correction," IEEJ International Analog VLSI Workshop, Limerick, Ireland (Nov., 2007).
- [8] M. Hotta, A. Hayakawa, N. Zhao, Y. Takahashi, H. Kobayashi, "SAR ADC Architecture with Digital Error Correction," IEEJ International Analog VLSI Workshop, Hangzhou, China (Nov.2006).
- [9] 小川智彦, 小林春夫, 高橋洋介, 傘昊, 堀田正生「冗長性をもった逐次比較近似AD変換アルゴリズム - 3個の比較器を持つ場合 -」, 電子情報通信学会, 第 21 回回路とシステム (軽井沢) ワークショップ (2008 年 4 月).
- [10] H. Kobayashi, T. Mizuta, K. Uchida, H. Matsuura, A. Miura, T. Yakihara, S.

- Oka and D. Murata, "A High-Speed 6-bit ADC Using SiGe HBT," IEICE Trans. Fundamentals, vol. E81-A, no. 3, pp.389-397 (March 1998).
- [11] H. Kobayashi, T. Mizuta, M. Kimura, K. Uchida, T. Tobari, H. Matsuura, K. Kobayashi, A. Miura, T. Yakhara, S. Kobayashi, M. Yamanaka, S. Oka, T. Fujita, A. Nakajima, D. Murata and M. Morimura, "High-Speed ADC Systems with HBTs for Measuring Instrument Applications," Computer Standards & Interfaces, Elsevier Publishers, vol.22, no.2, pp.121-140 (June 2000).
- [12] H. Kobayashi, H. Sakayori, T. Tobari, H. Matsuura, "Error Correction Algorithm for Folding/Interpolation ADC," IEEE International Symposium on Circuits and Systems, Seattle (May 1995).
- [13] 塚田敏郎, 高木克明, 喜田祐三, 永田穰「自己校正形高精度 MOS・A/D 変換器」電子通信学会論文誌 C, 66 号, pp. 797-804 (1983 年 11 月).
- [14] B. Razav, Principles of Data Conversion System Design, IEEE Press (1994).