

# 冗長性を備えたAD変換器の デジタル誤差補正アルゴリズムの共通構造

小林 春夫 （群馬大学）  
加藤 健太郎 （福岡大学）  
魏 江林 （宜賓学院）



# 発表内容

- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

# 発表内容

- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

# 研究目的

## 研究目的:

いくつかの冗長性を備えたAD変換器 (ADC) の  
デジタル誤差補正アルゴリズムの共通構造を見出す

## 最終目標:

統一理論の構築

# 研究背景

## CMOS集積回路の微細化進展

トランジスタ 高速、チップ面積 縮小、トランジスタ利得 小  
素子特性ばらつき大、電源電圧 低下

➡ ADC設計が難



様々なデジタル誤差補正 自己校正技術

➡ 個別技術にとどまっている



統一的に扱い体系化を目指す

# 発表内容

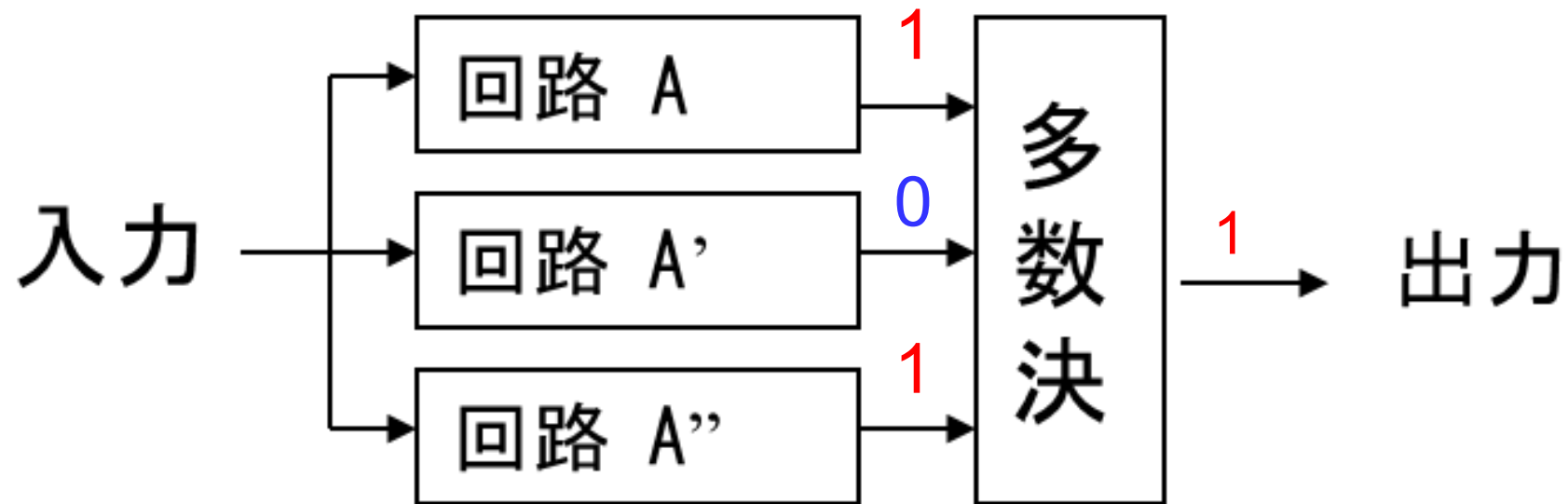
- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

# デジタル誤差補正

冗長回路・動作を持つ。

誤りを許容して**正解**を出力する。

誤りは計測しない。



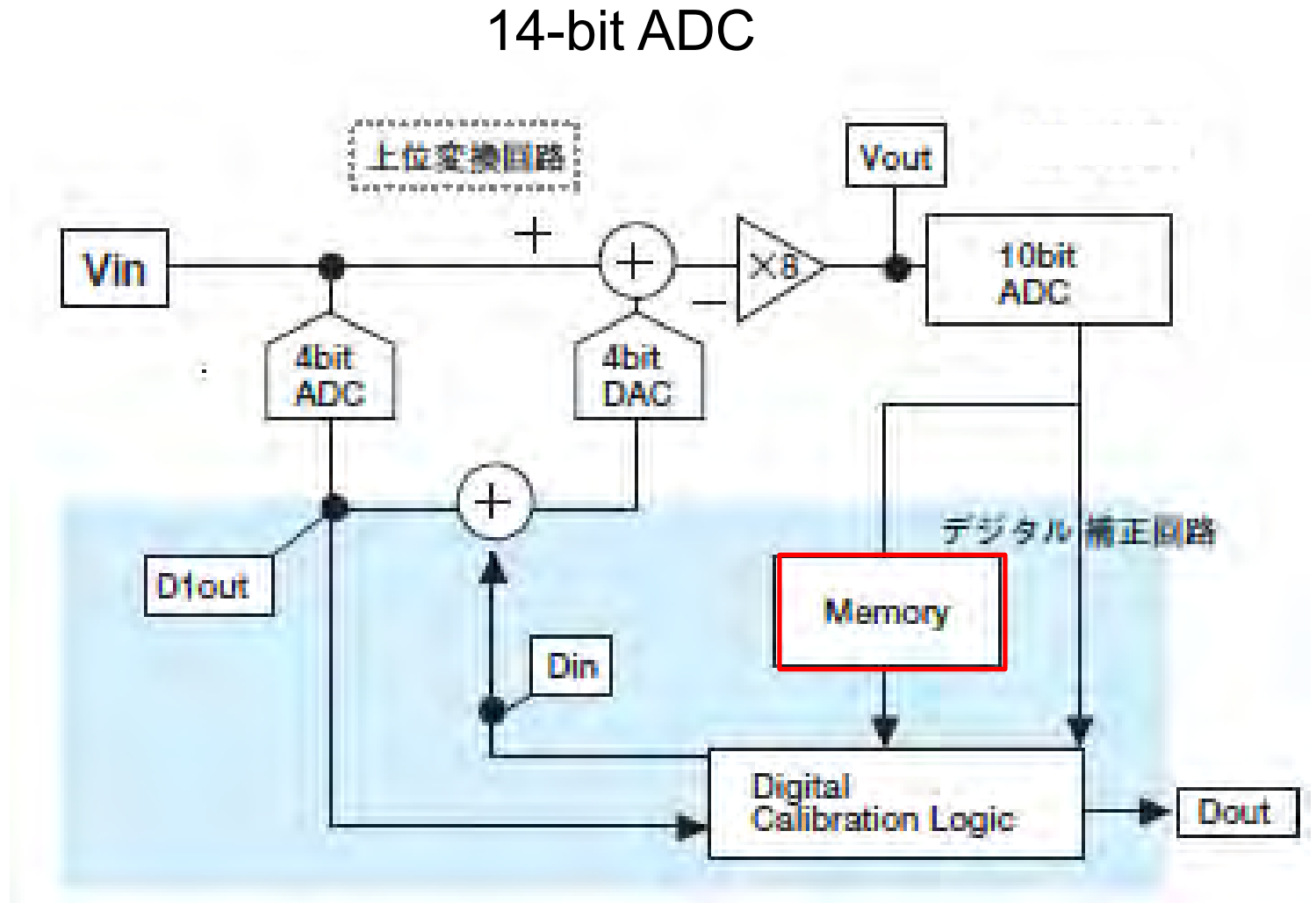
# 自己校正

## 校正時:

- 回路の誤差を自身の回路システムで自動的に測定
- 結果を測定メモリに記憶

## 通常動作時:

- その値でデータを補正して出力





# 発表内容

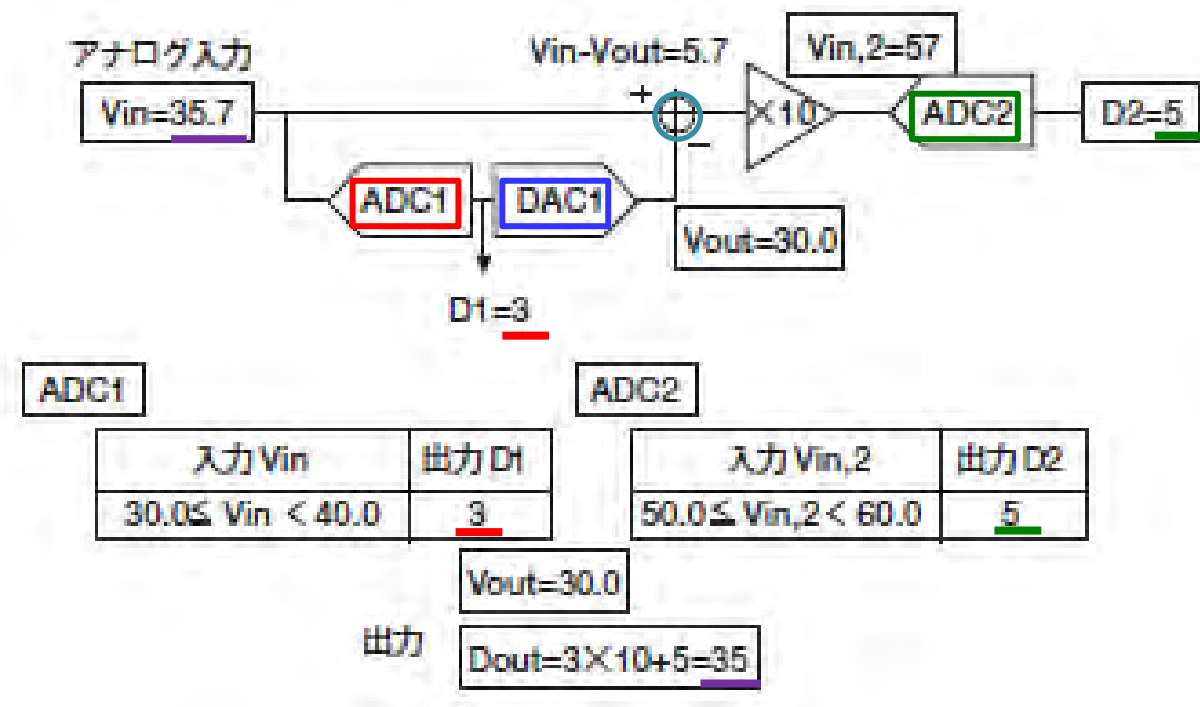
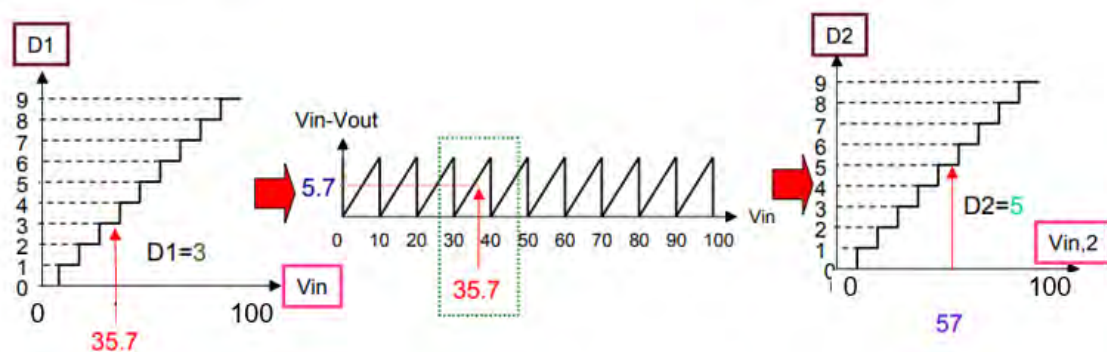
- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

# パイプラインADCの構成と動作

**ADC1:** 10の桁をAD変換

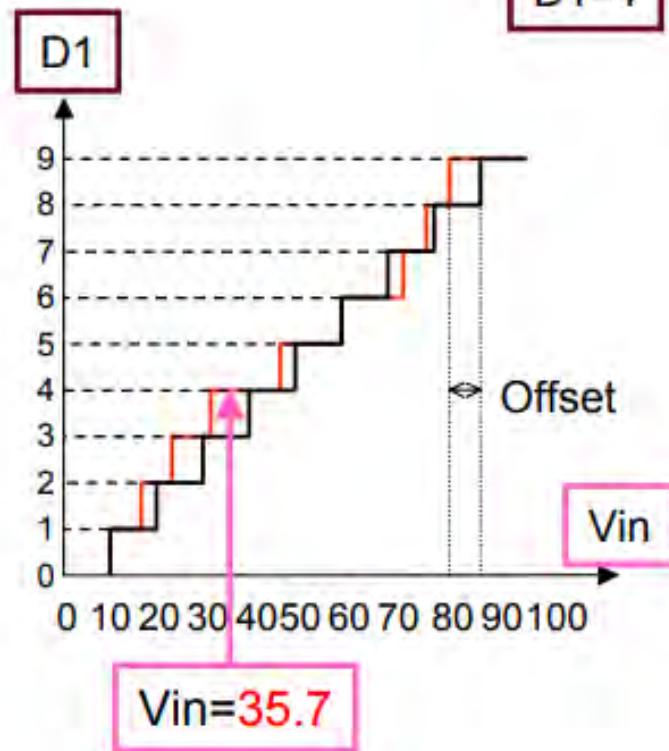
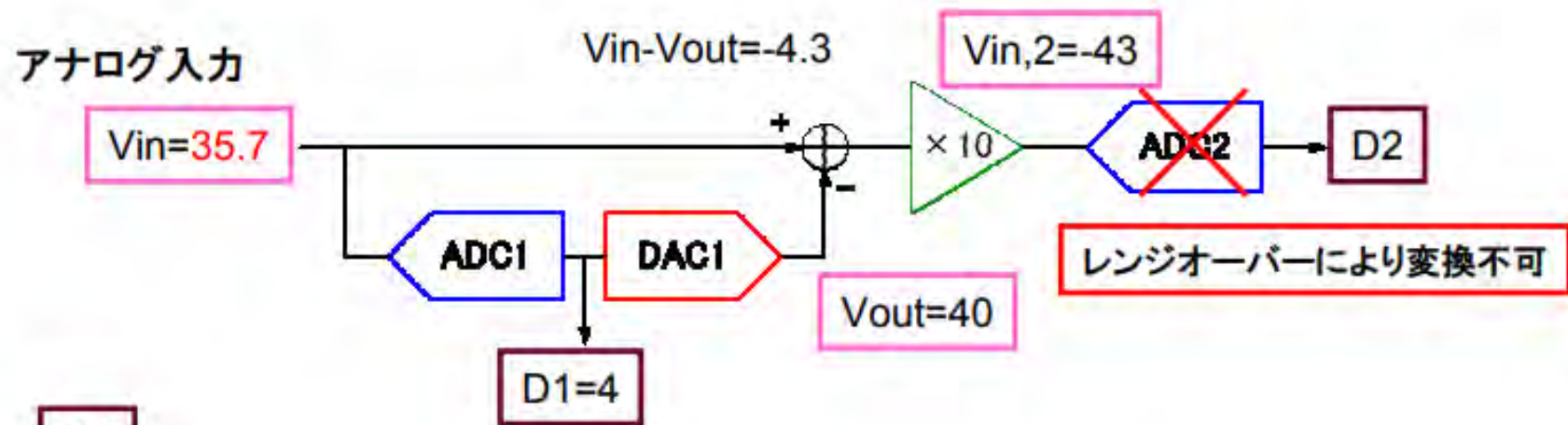
**DAC1と引算器:** 残差を得る

**ADC2:** 1の桁をAD変換



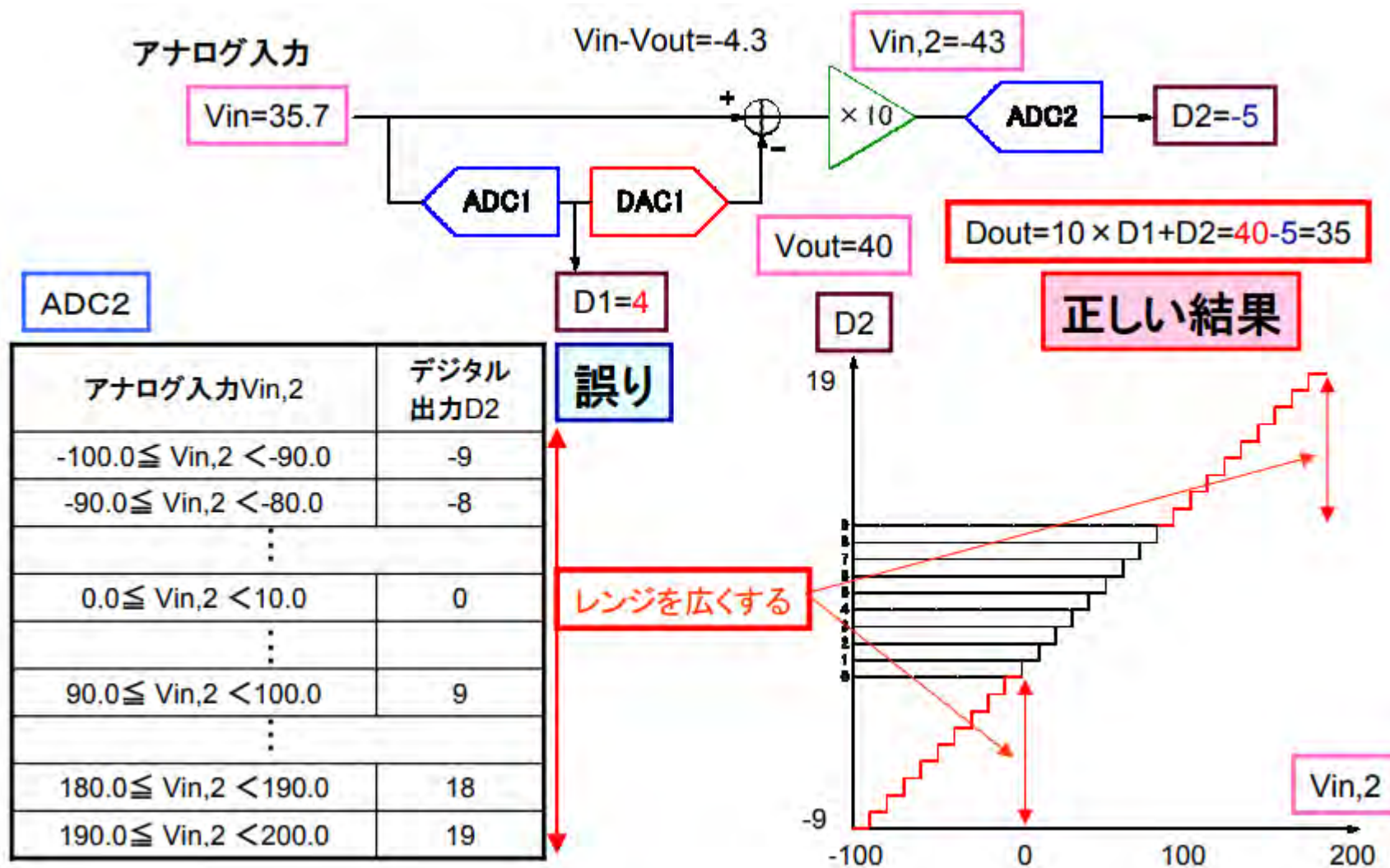
分かりやすく10進で表示、実際は2進で設計

# 10の桁を得るADC1の誤差



ADC1の非線形性により  
ADC全体が変換不可能

# ADC1 誤差のデジタル誤差補正



ADC1の誤差



ADC2の  
入力レンジを  
広げる



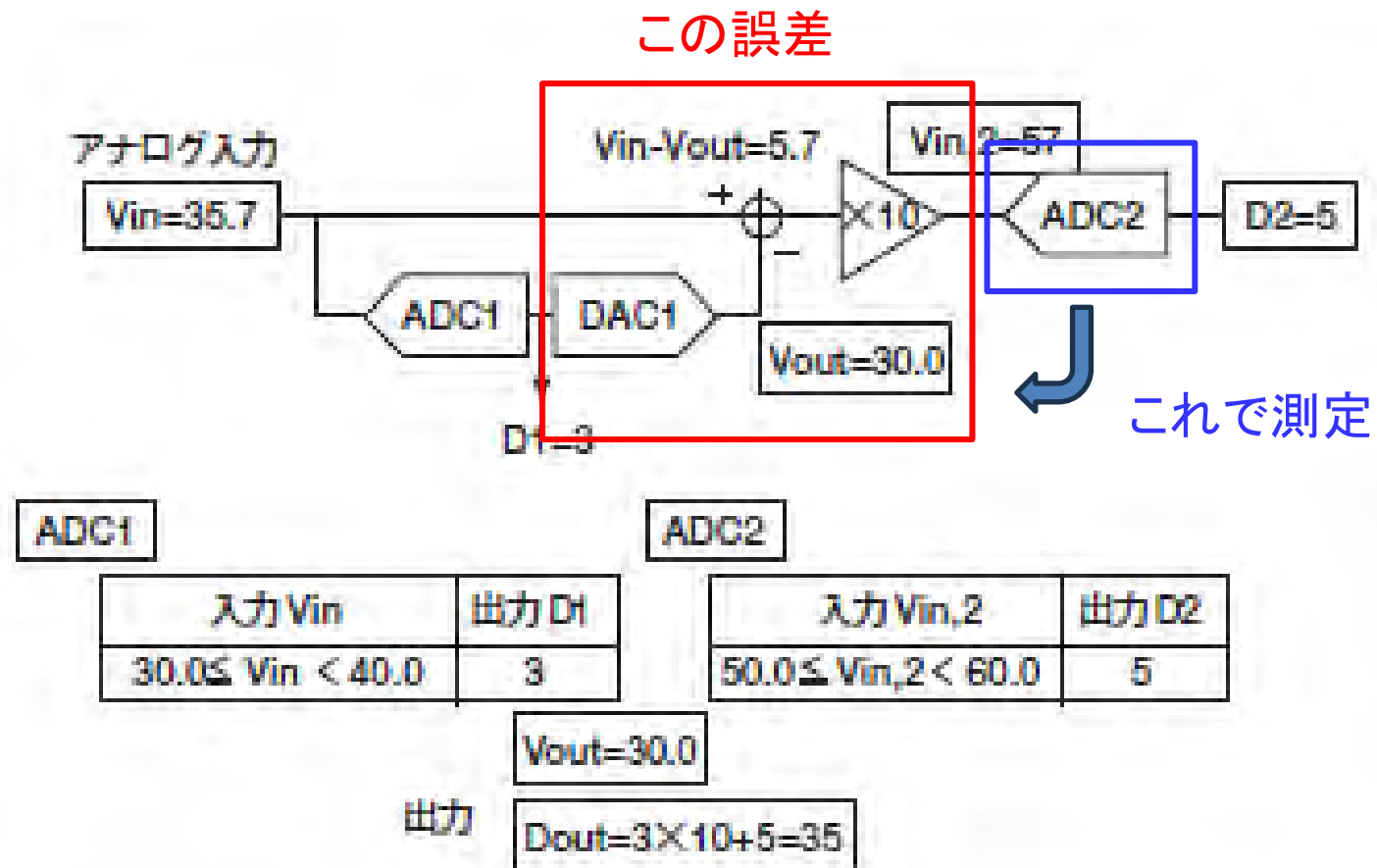
正しい結果を得る

前提:  
ADC2が正しい

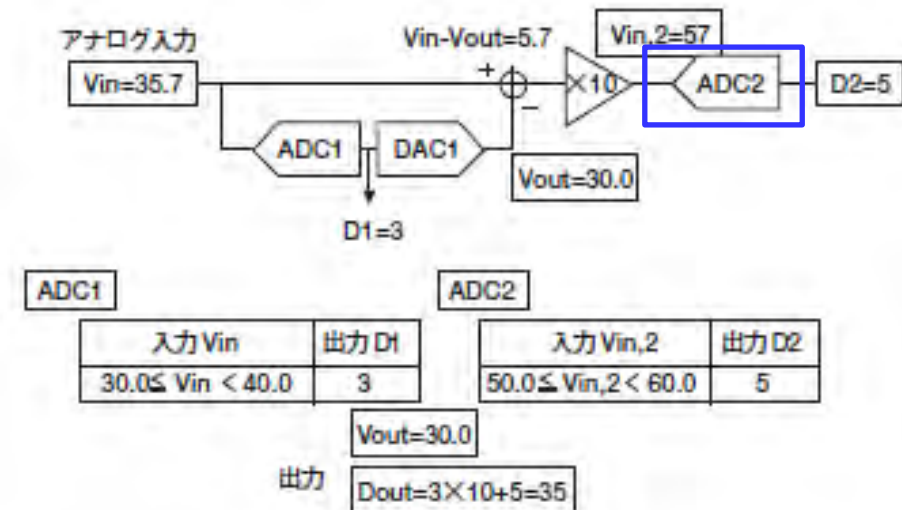
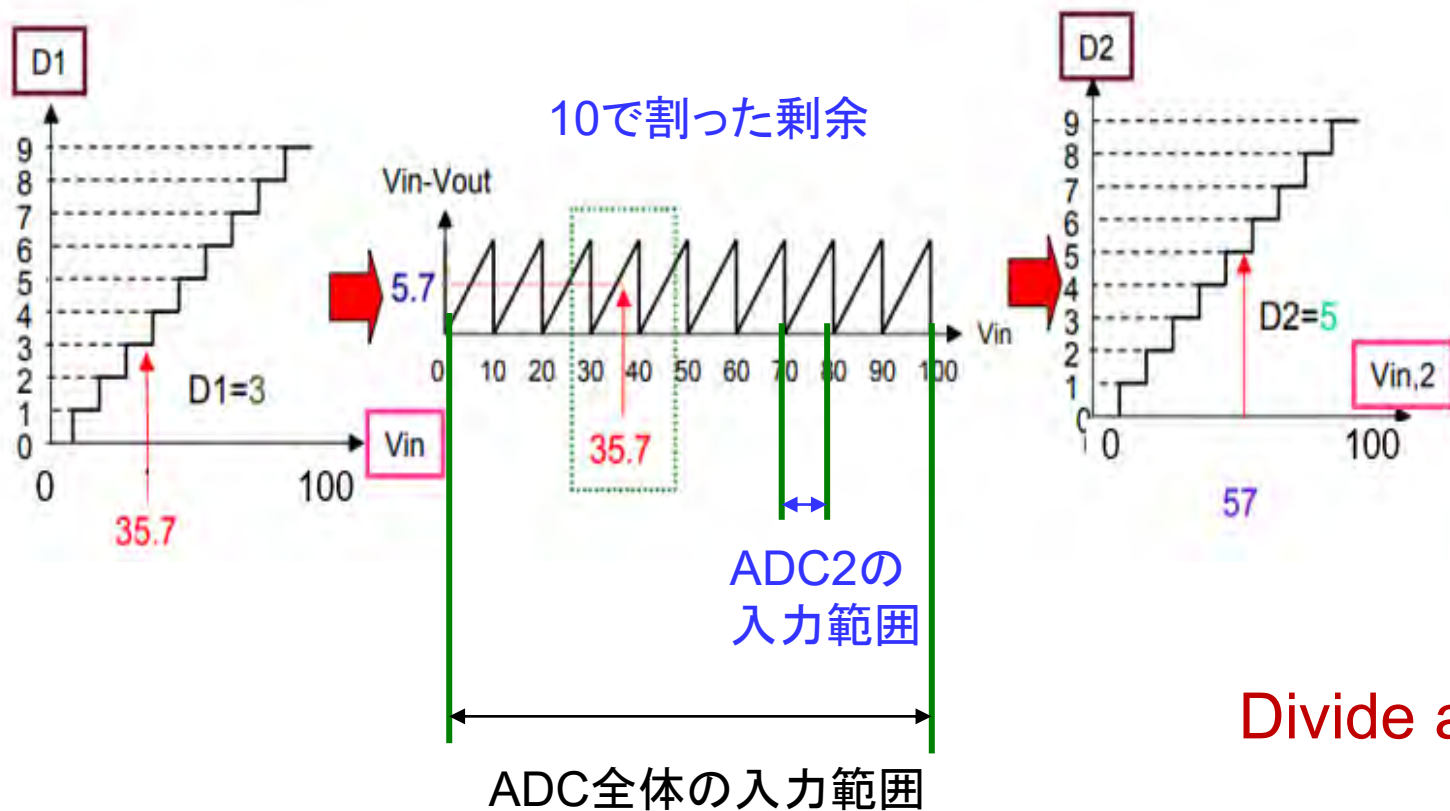
# 「DAC1+引算器+増幅器」誤差の自己校正

- 「DAC1+引算器+増幅器」の誤差
- ADC2 で測定
- 結果をメモリに格納
- 通常動作時にこのデータをもとに誤差補正

前提：  
ADC2が正しい



# ADC2の精度



Divide and Conquer

精度の良い物差し

1m 作るのが大変 (ADC全体)

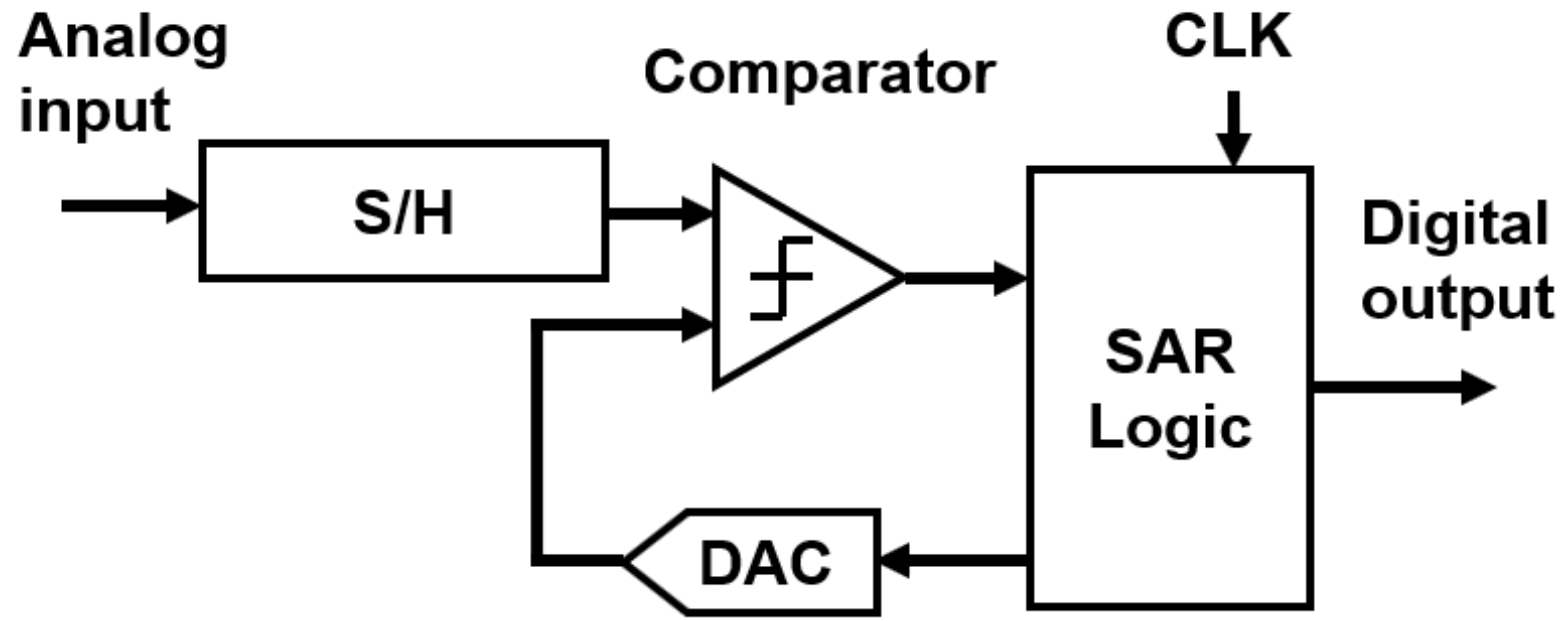
10cm 比較的容易 (ADC2)

# 発表内容

- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ



# 冗長性なし： 2進探索 1個の比較器 SAR ADC



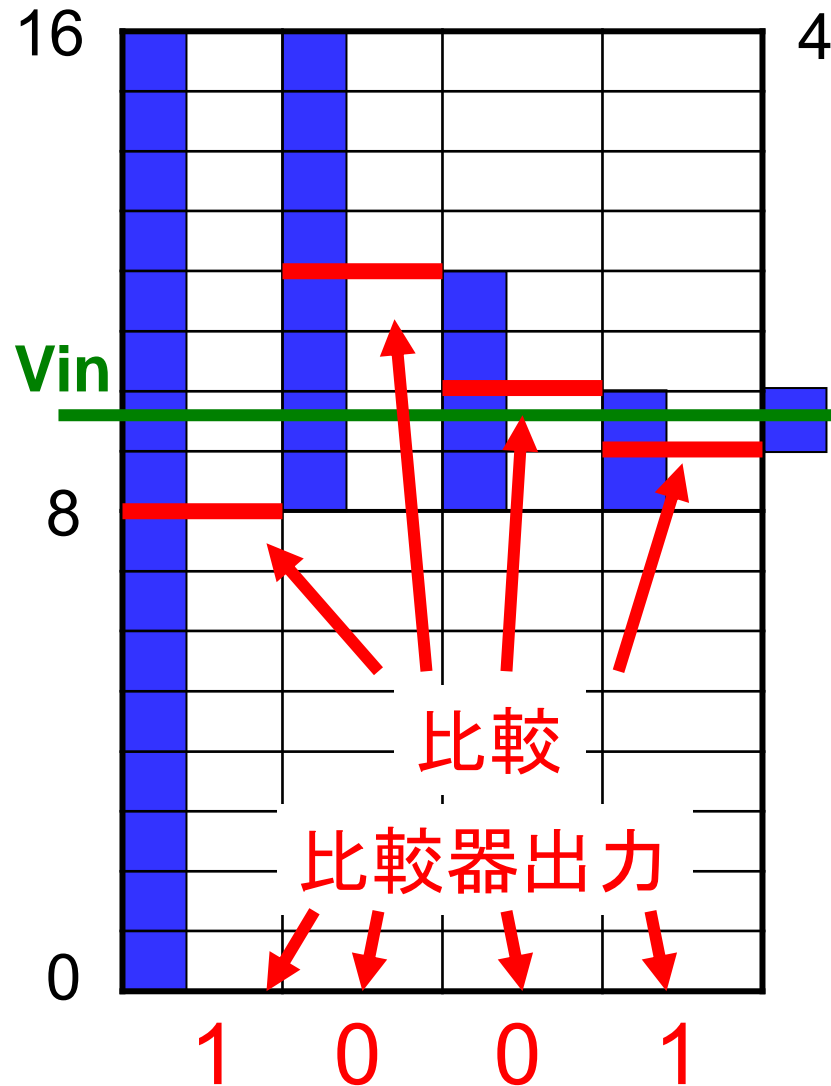
天秤の原理

構成

休憩なしで5人で5時間の仕事に  
5人で5時間を割り当てる

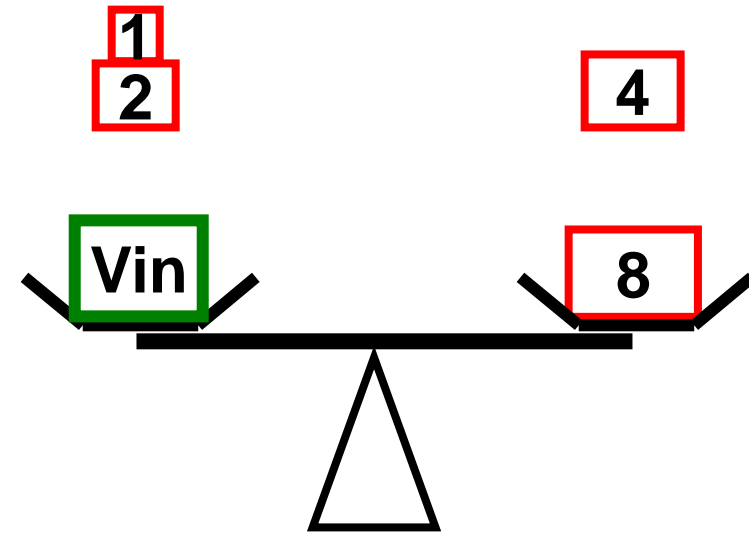


# 2進探索動作 (4ビットの場合)



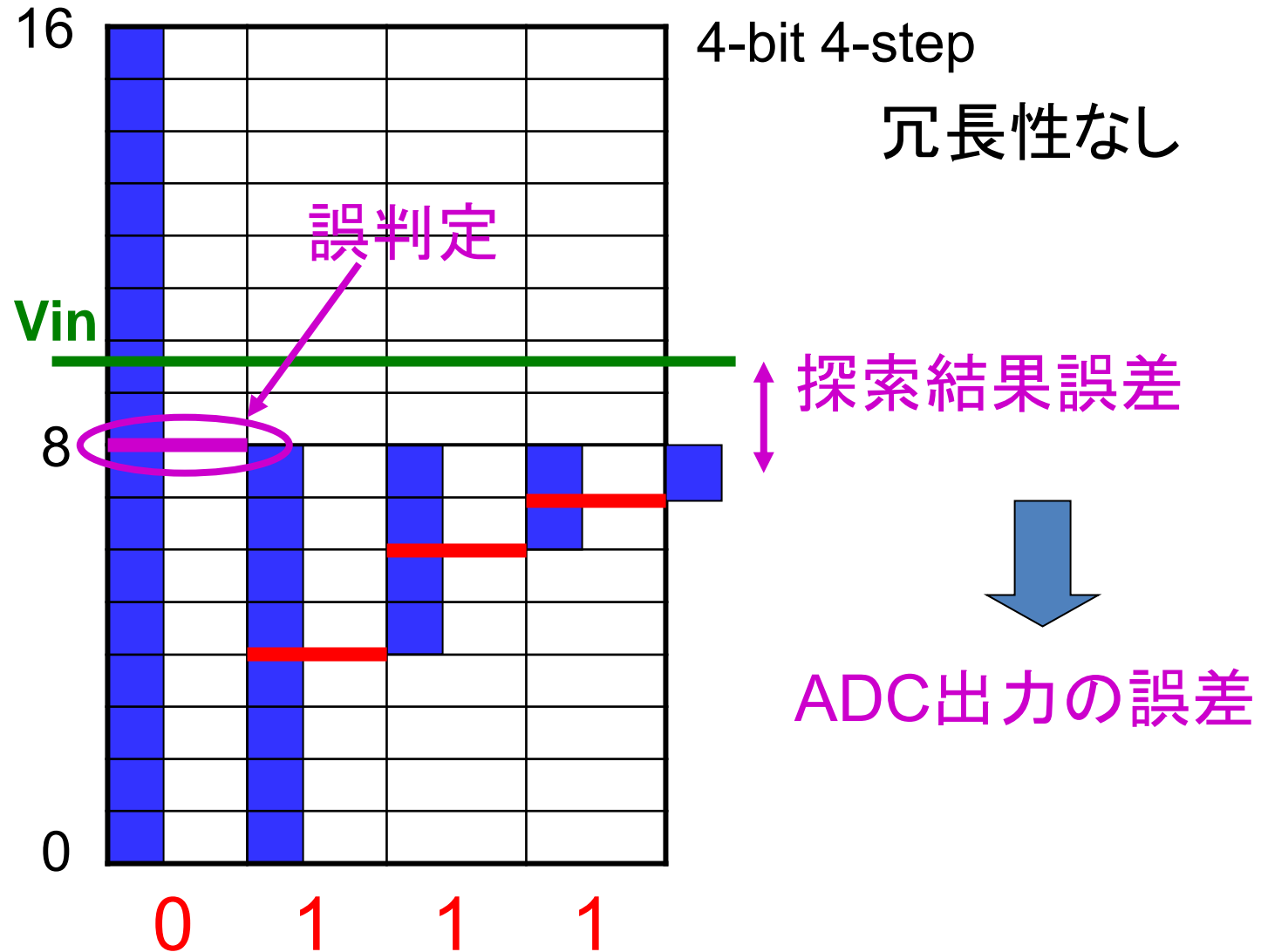
4ビット ( $2^4=16$ ) 4ステップ

“天秤の原理”



$$\boxed{\text{Vin}} = \begin{array}{c} \boxed{4} \\ \boxed{8} \end{array} - \begin{array}{c} \boxed{1} \\ \boxed{2} \end{array} = 9$$

# 2進探索動作 (4ビットの場合)

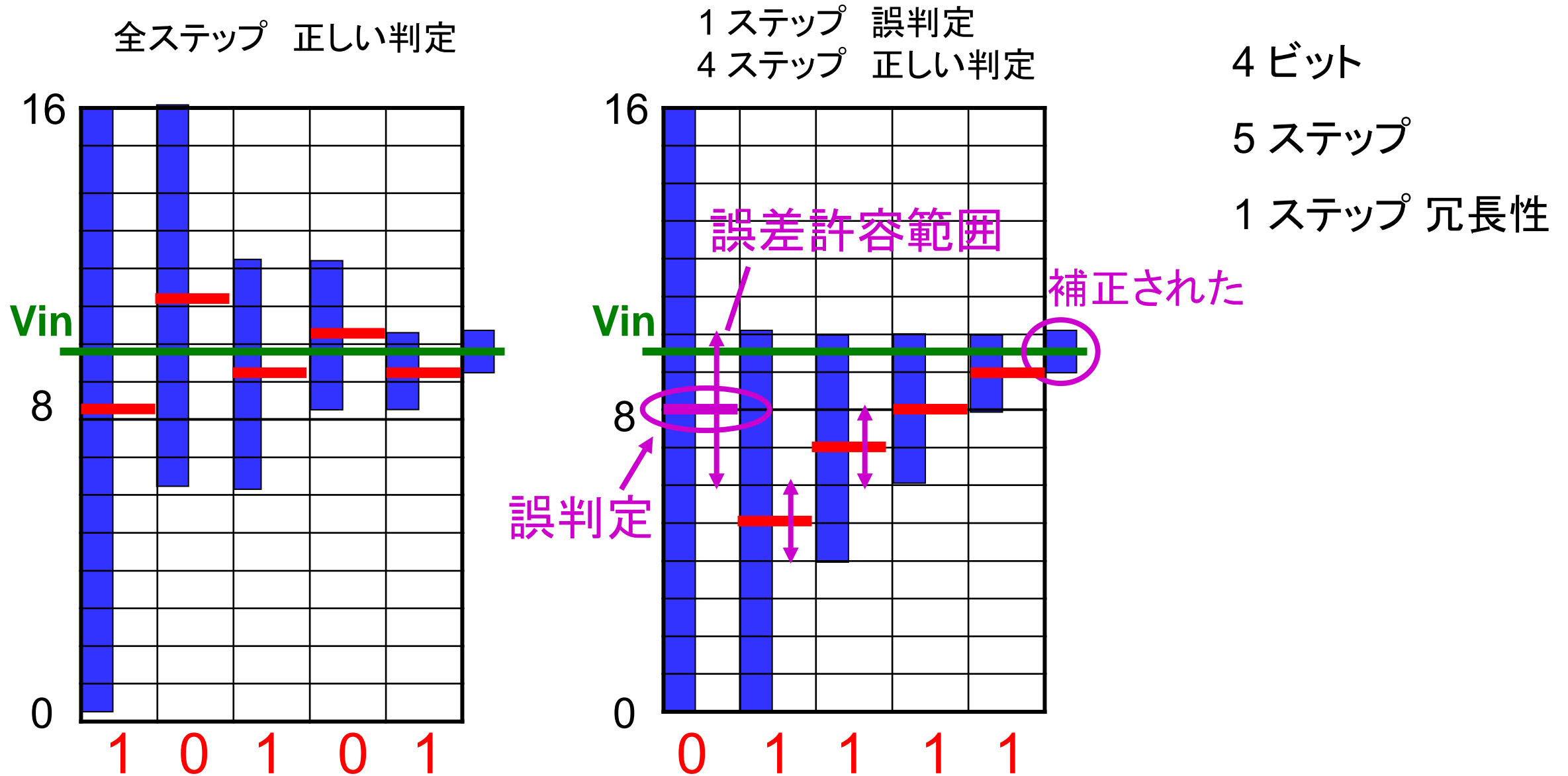


# 発表内容

- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

休憩なしで5人で5時間の仕事に  
5人で6時間を割り当てる

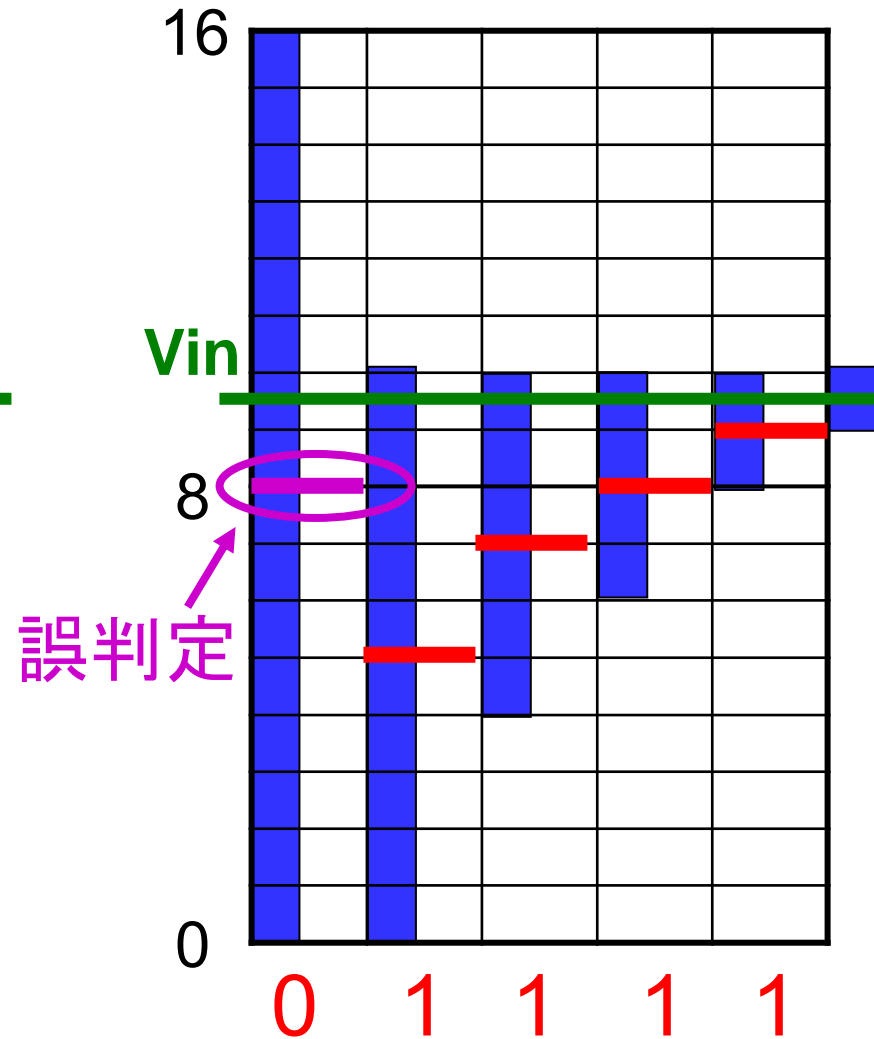
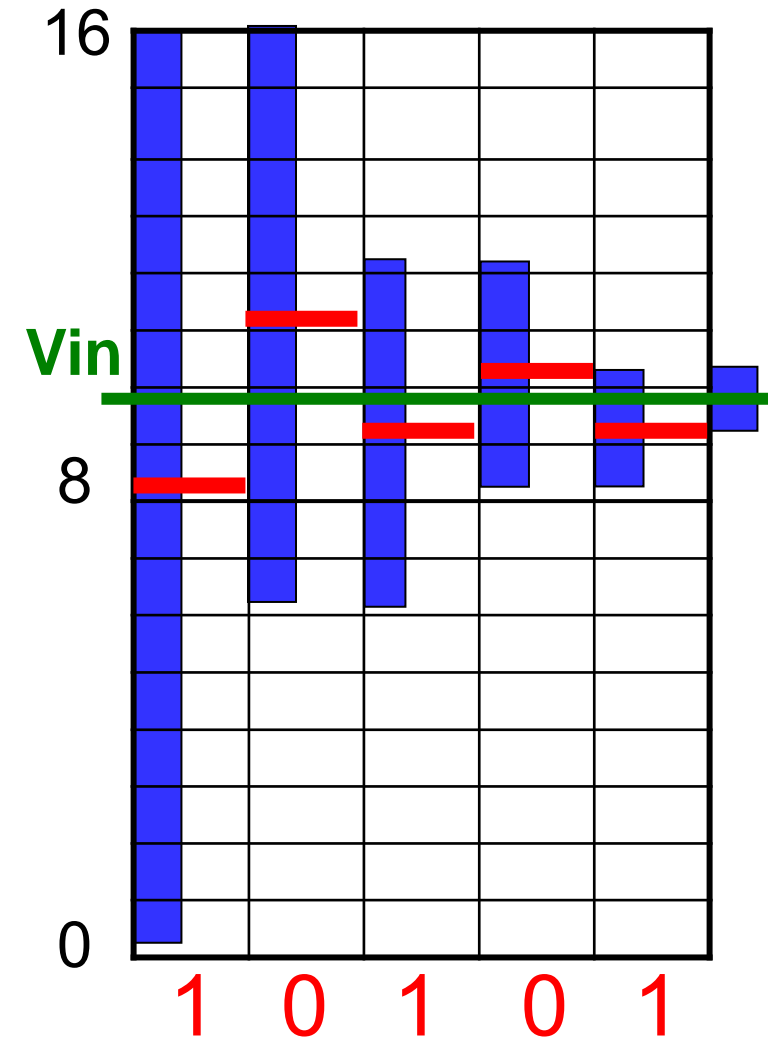
# 冗長 非2進探索動作 (4ビットの場合)



# 冗長 非2進探索 誤差補正可能な理由

4ビット、5ステップ

1ステップ冗長性



0-15 の可能なデジタル出力

32個 (=5ステップ) の  
0, 1 のパターン

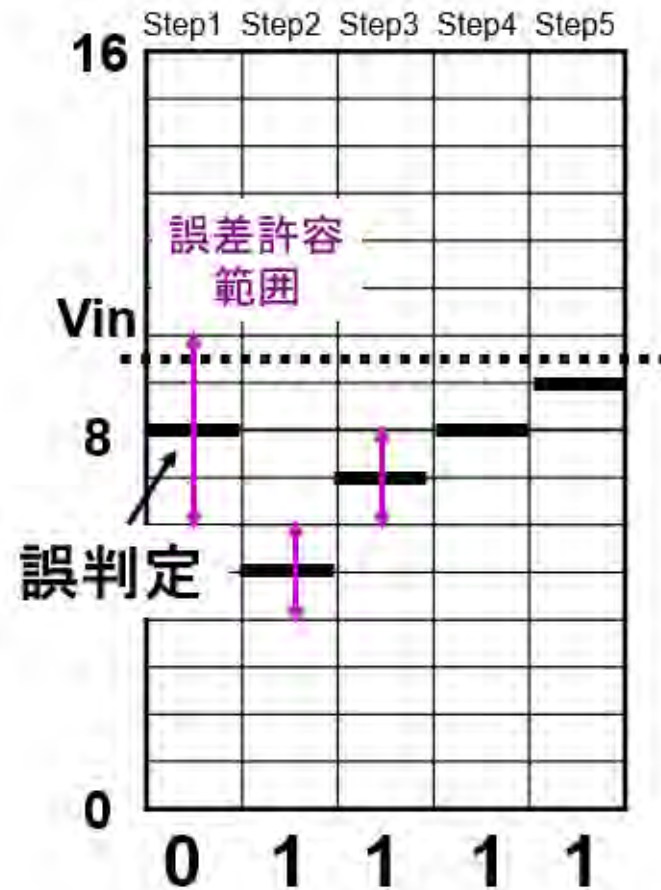
デジタル出力 9

2通りの表現

1 0 1 0 1

0 1 1 1 1

# 冗長ステップ数 SAR ADC 誤差許容範囲



「上位ビット → 下位ビット」 → 許容範囲は狭くなる

下位ビットほど正確に判定しなければならない

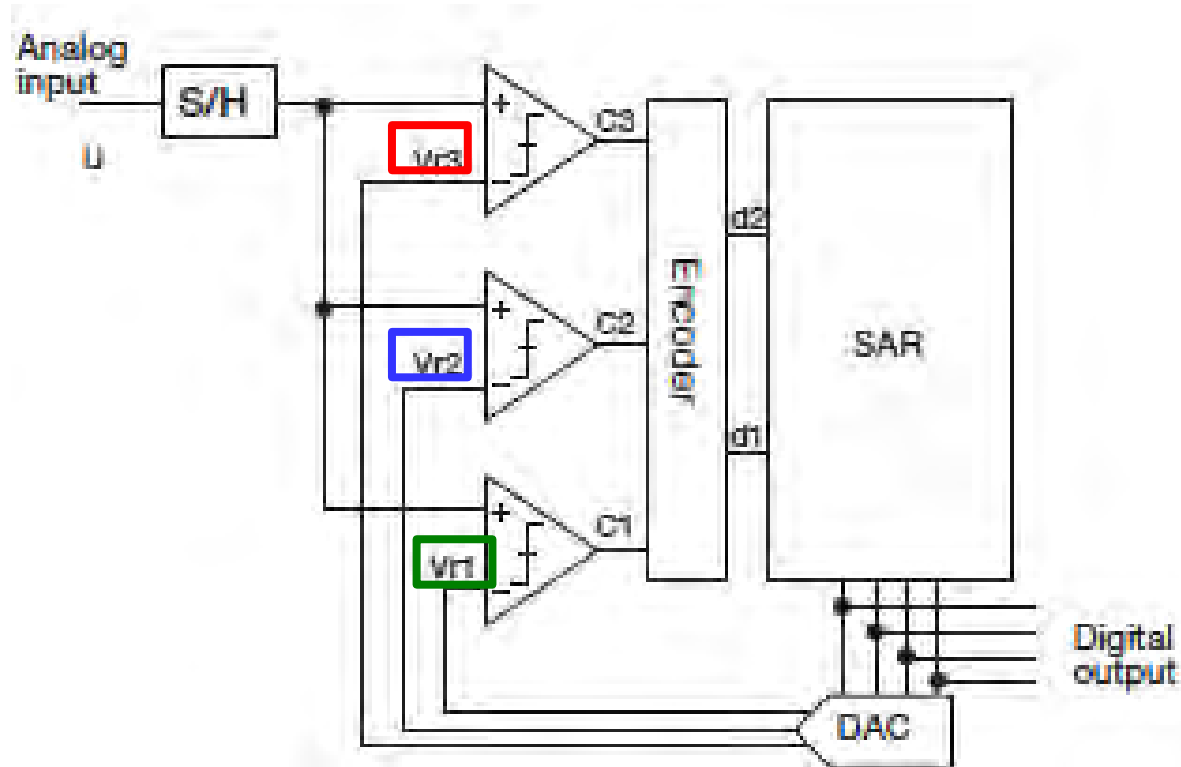
# 発表内容

- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

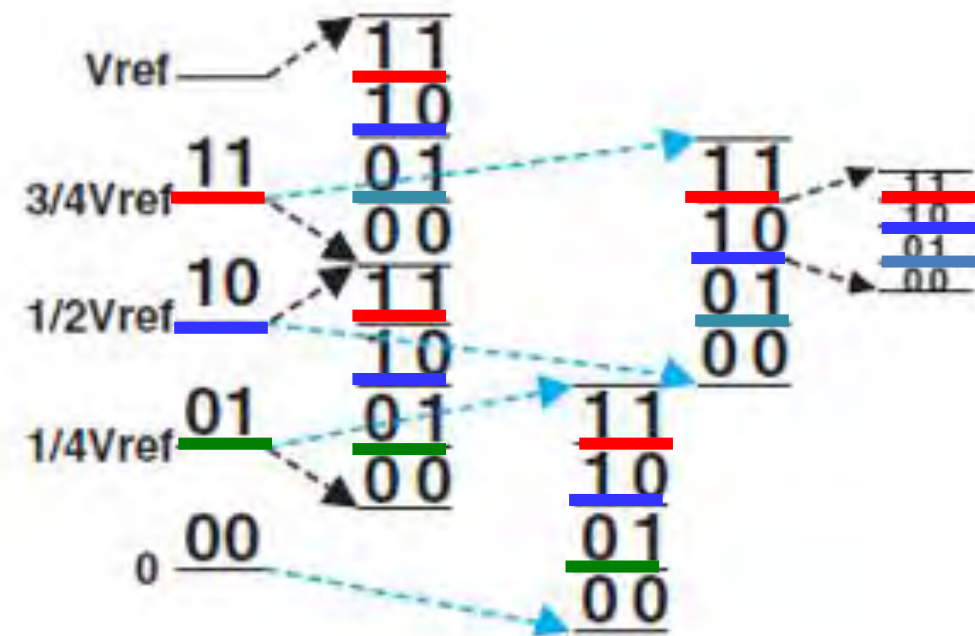
休憩なしで5人で5時間の仕事に

6人で5時間を割り当てる

# 3個の比較器をもつSAR ADC



構成

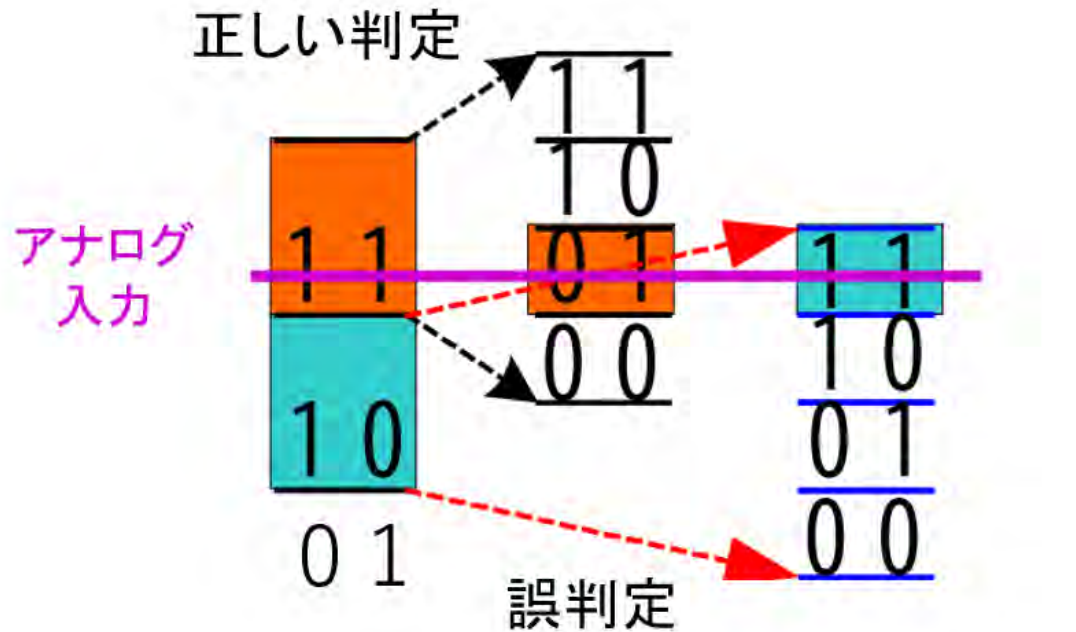


上位ビット → 下位ビット

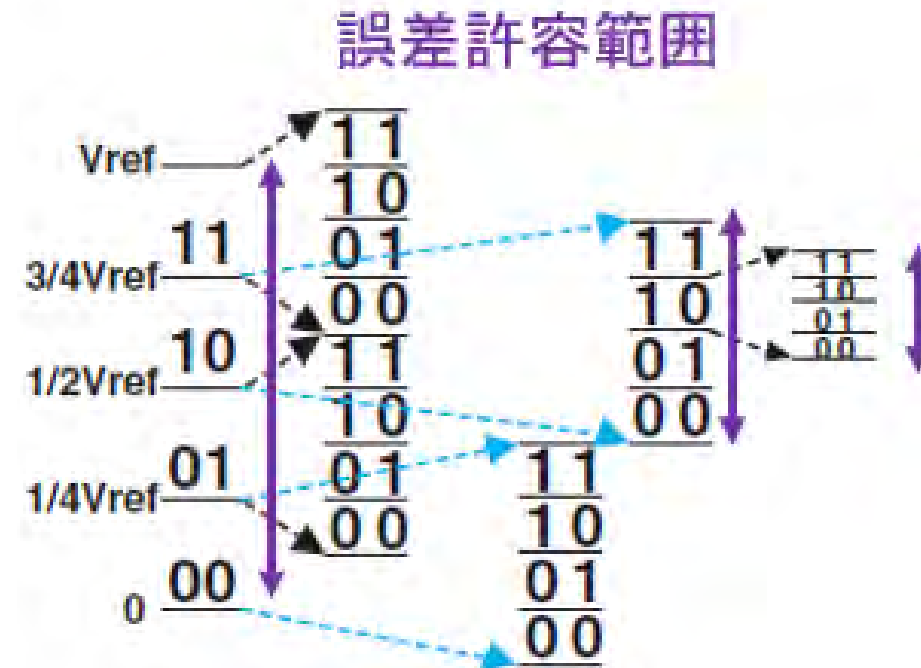
動作



# 3個の比較器をもつSAR ADC 誤差許容範囲



11 01 でも 10 11 でも  
同じ 3-bit デジタル値 110 を出力



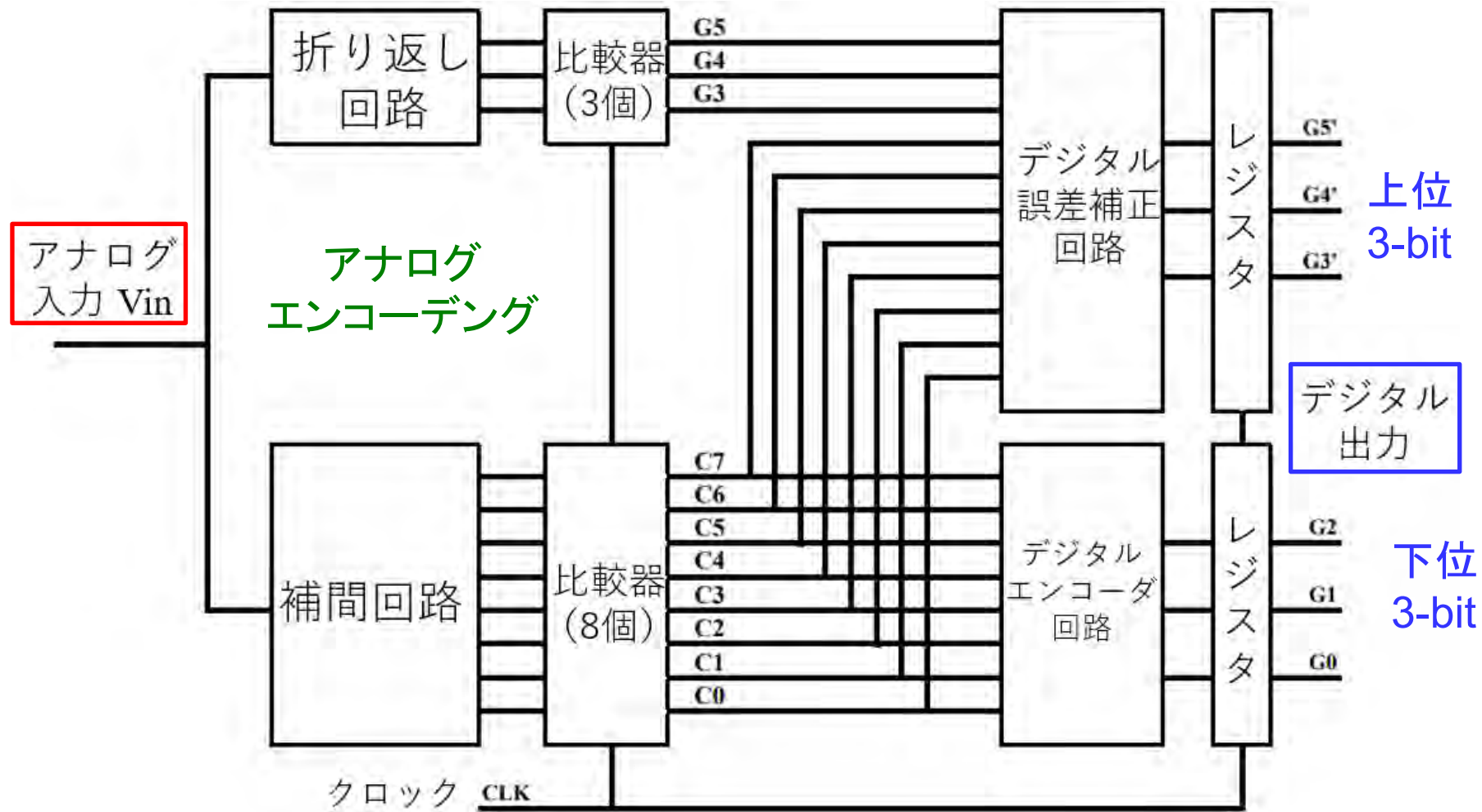
「上位ビット → 下位ビット」 → 許容範囲は狭くなる

下位ビットほど正確に判定しなければならない

# 発表内容

- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

# 6-bit 折り返し補間型ADCの構成



フラッシュ型ADCに比べ

- 同等スピード
- 小規模回路
- 低消費電力
- 小入力容量

アナログ

デジタル

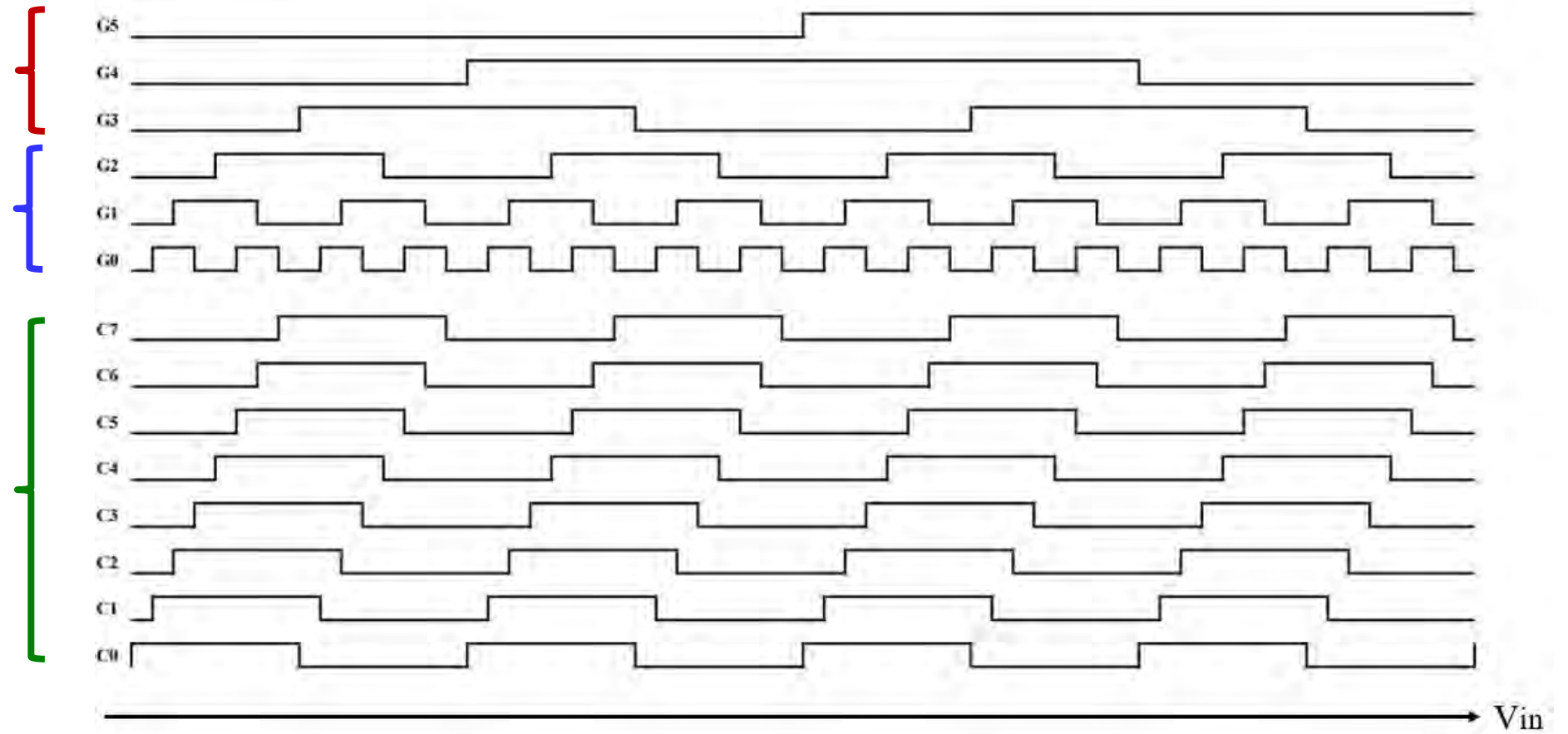
# ADC出力 (Gray code)

Gray code

ADC 上位 3-bit  
折り返し回路から

ADC 下位 3-bit

Cyclic code  
補間回路から

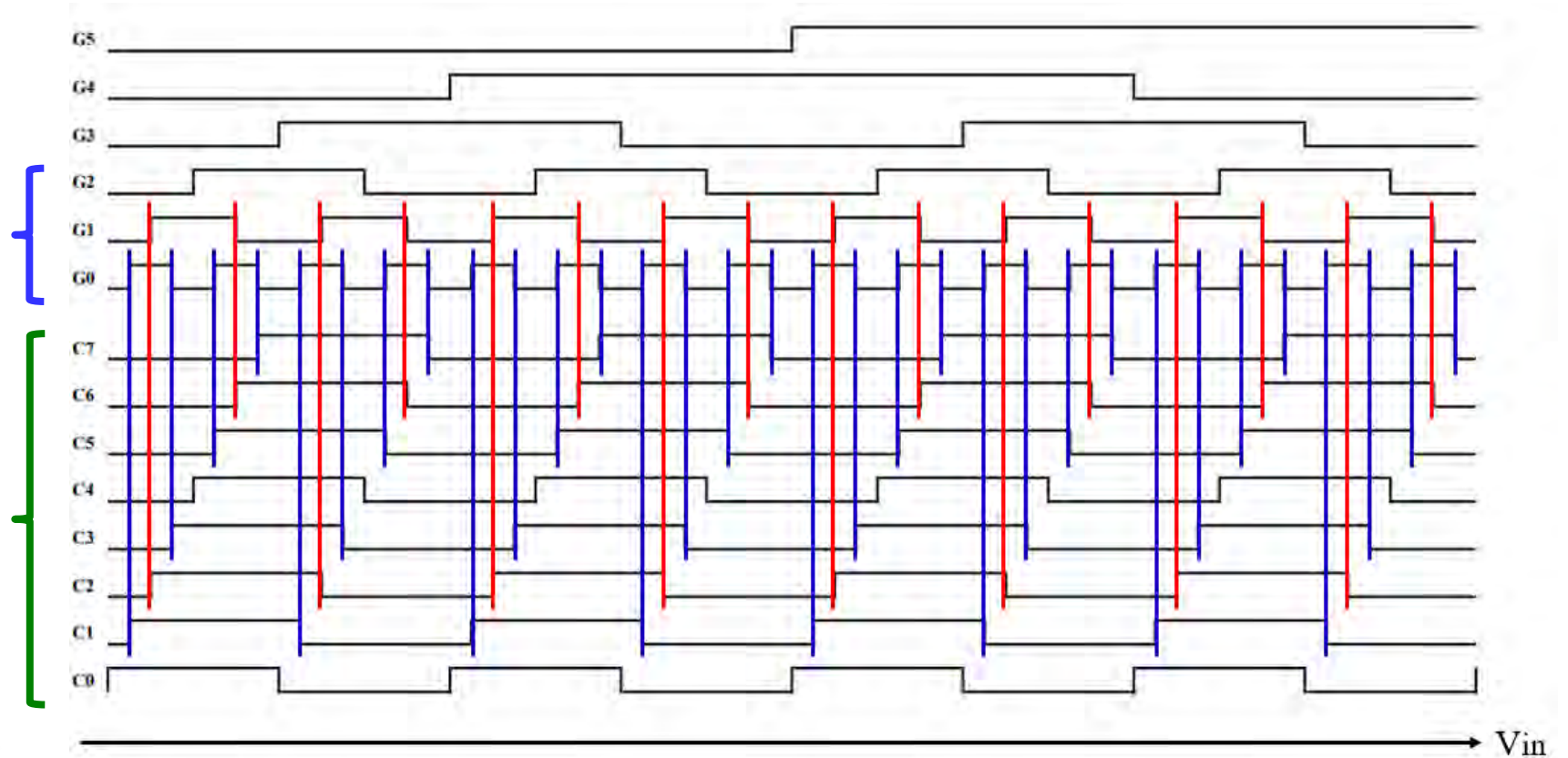
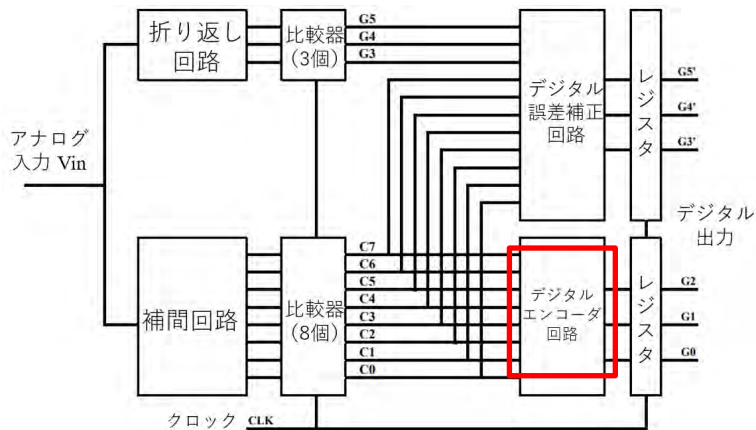


アナログ入力

# Cyclic Code から下位3-bit の生成

ADC 下位 3-bit

Cyclic code  
補間回路から



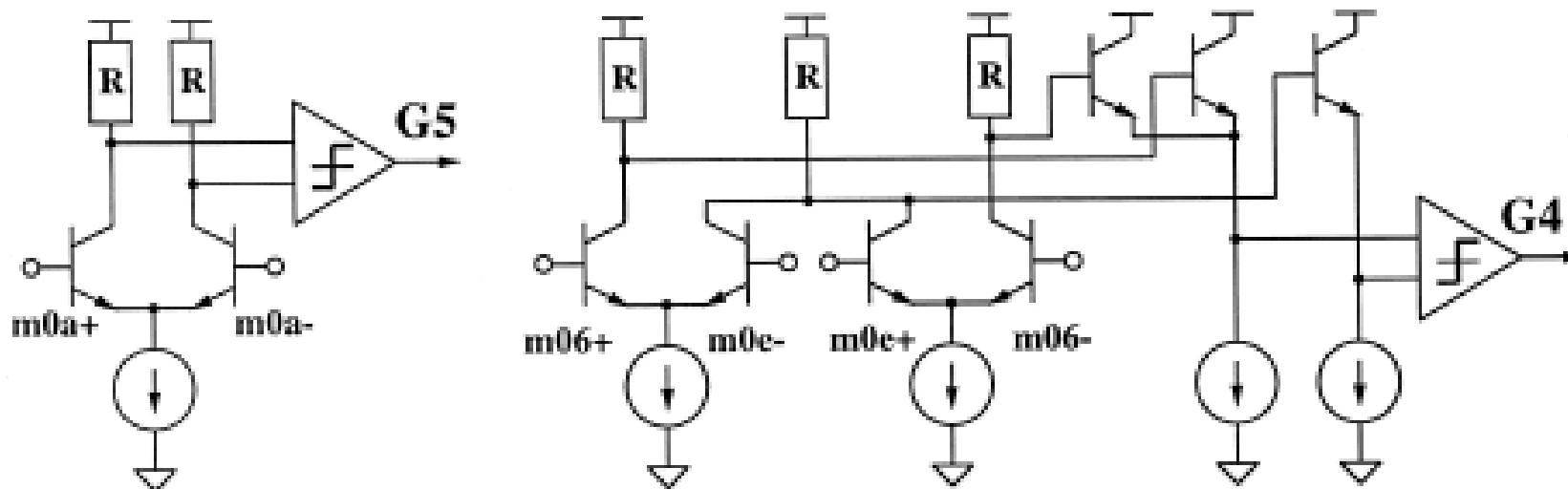
$$G2 = C4$$

$$G1 = C2 \oplus C6$$

$$G0 = C1 \oplus C3 \oplus C5 \oplus C7$$

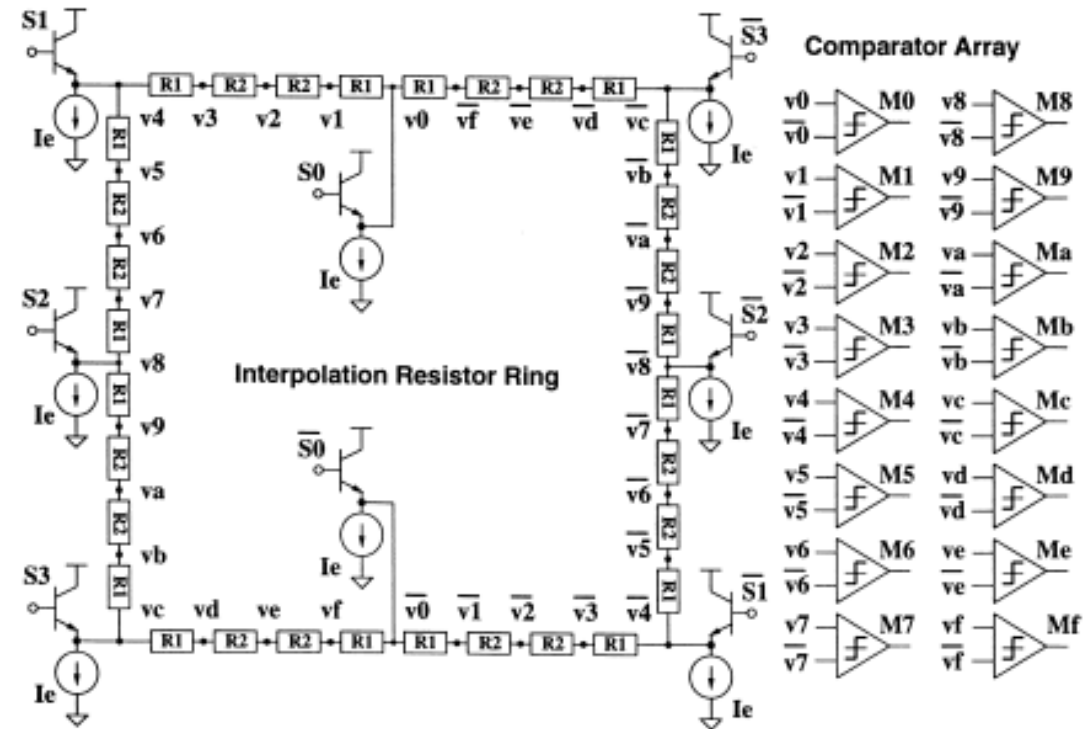
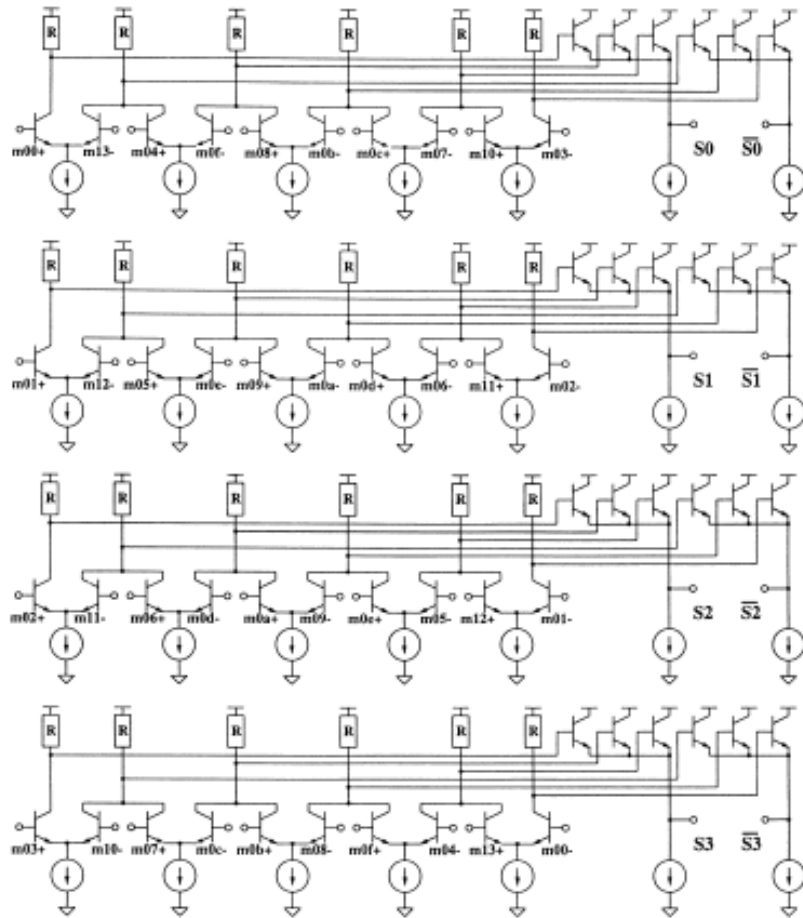
アナログ入力

# 折り返し回路（上位ビット生成）



- 比較的簡単な回路
- アナログ入力  $V_{in}$  から比較器までの遅延小

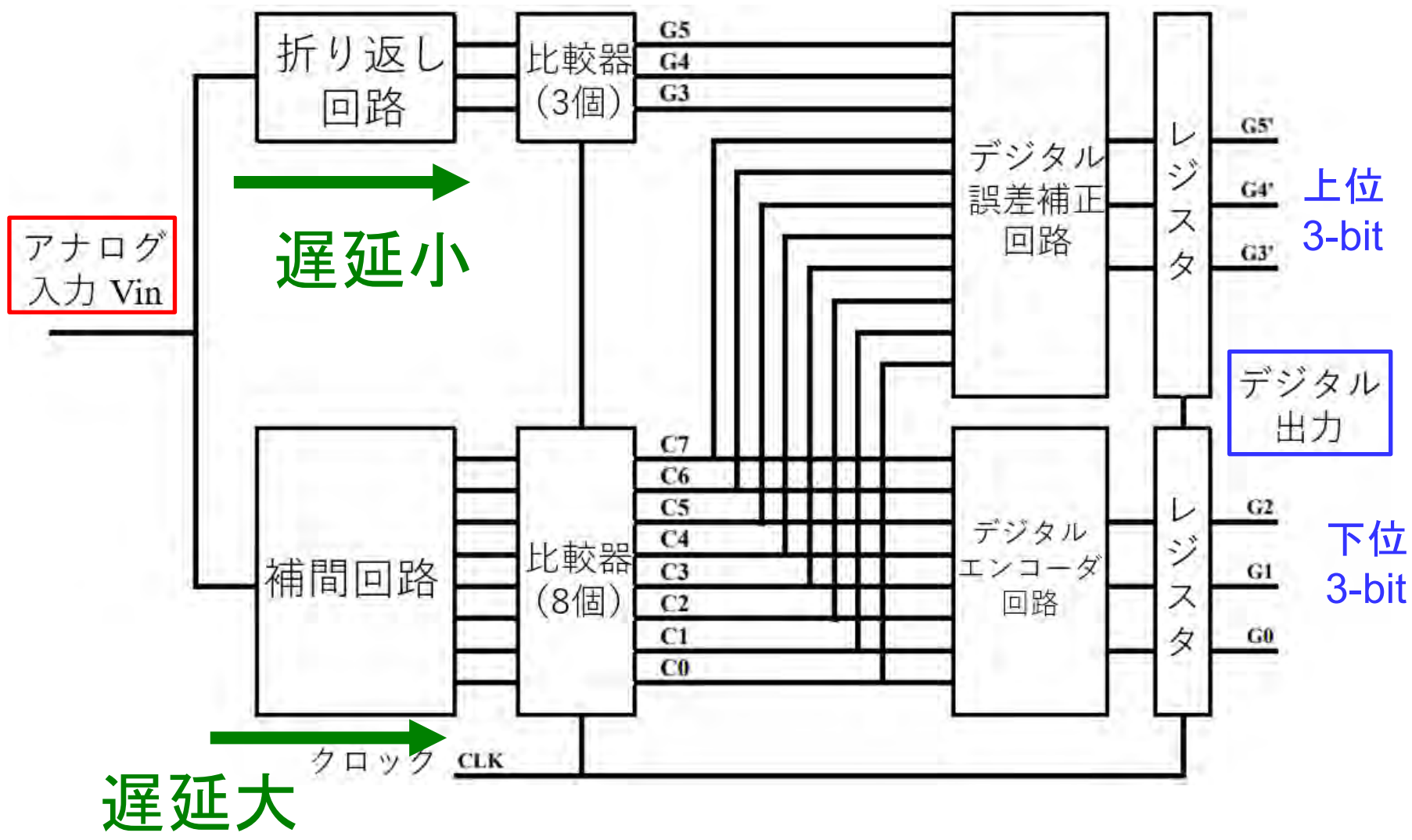
# 補間回路 (Cyclic code 生成)



- 比較的複雑な回路
- アナログ入力  $V_{in}$  から比較器までの遅延大



# 折返し回路と補間回路のタイミングスキューの問題





# タイミングスキューによる誤差のデジタル補正

理想的には  
G5, G4, G3の遷移点と  
C0の遷移点は一致

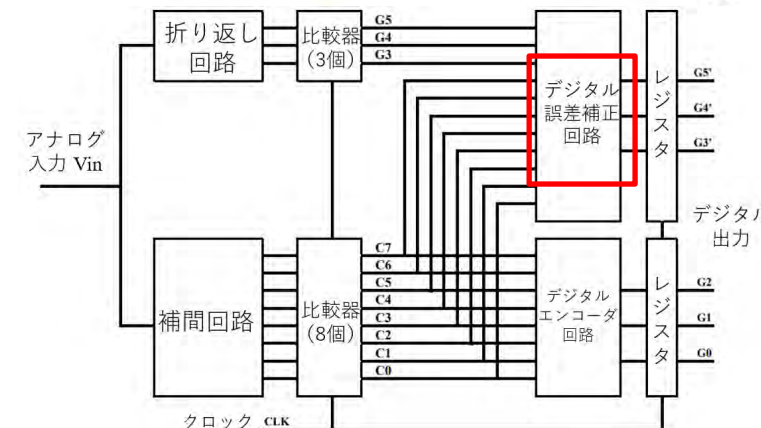
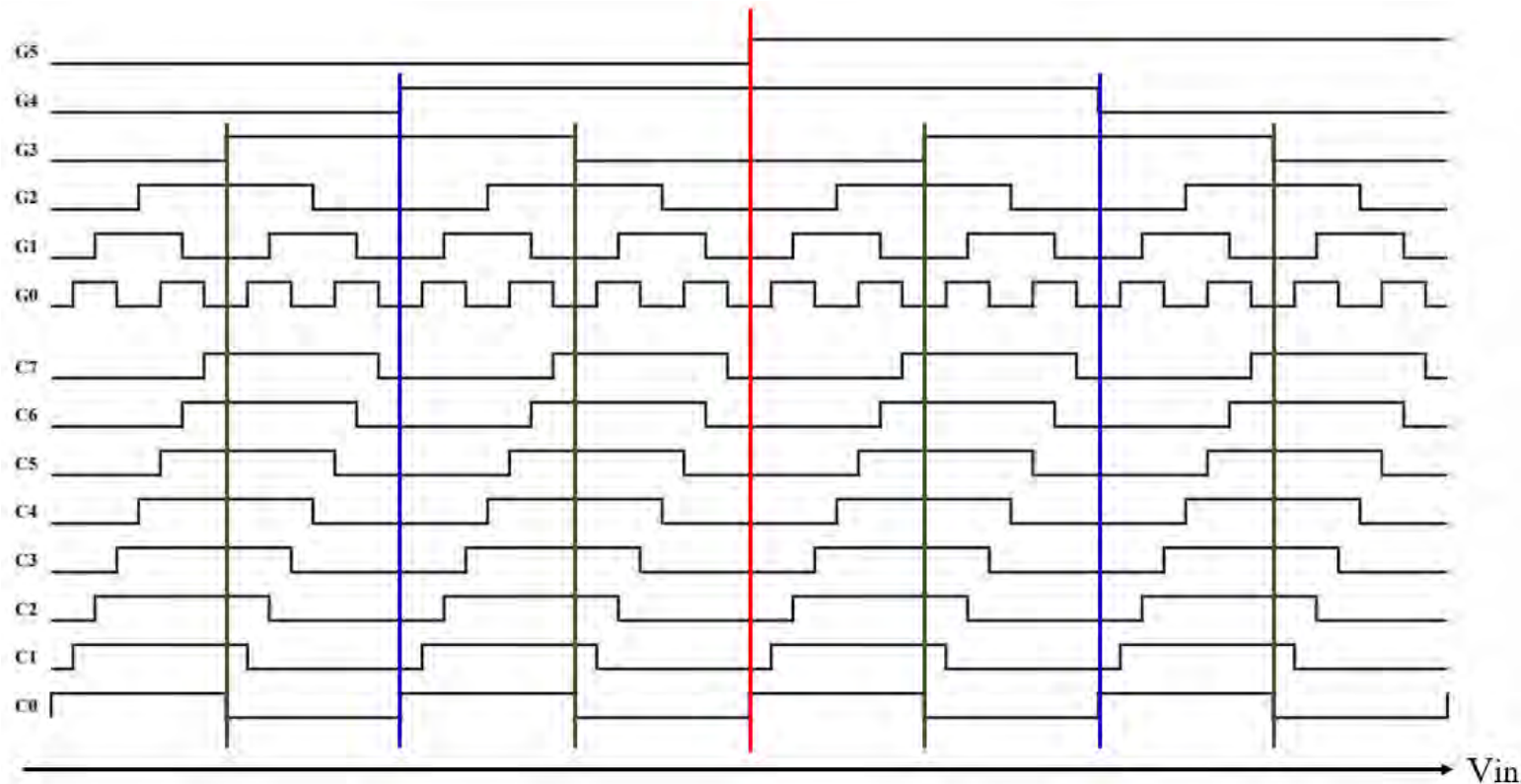


C0は冗長



C0の遷移点に合わせてよう  
タイミングスキューによる  
G5, G4, G3の遷移点のずれをデジタル補正

下位ビットをもとに上位ビットの誤差を補正



# 発表内容

- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

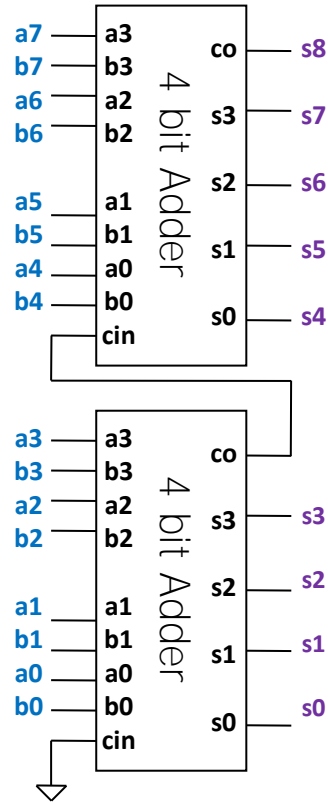
# 冗長ADC 誤差補正アルゴリズムの共通構造

## あるクラスの冗長ADC

- 上位ビットをある程度正確に得る  
下位ビットを正確に得る
- 正確な下位ビット情報をもとに  
冗長性を利用して  
上位ビットをデジタル演算で補正する
- 最初の上位ビットがあまりに不正確  
➡ 補正できない（限界）

# Carry Select Adder との相似

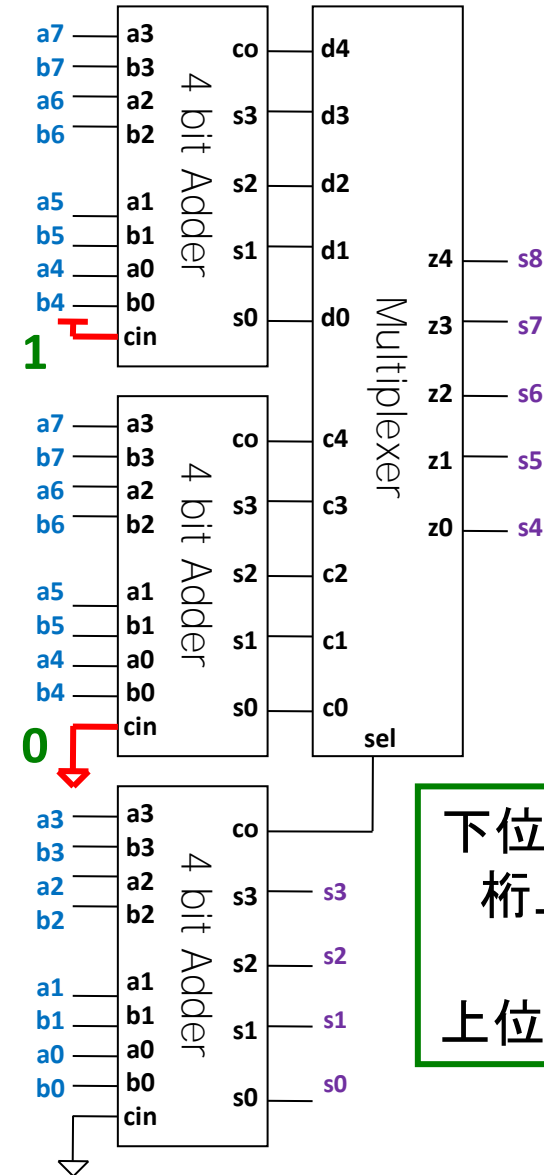
通常の  
8bit 加算器



桁上げ1の場合を  
計算

桁上げ0の場合を  
計算

約1.5倍の  
回路規模で  
約2倍の  
スピード



下位ビットからの  
桁上げ1,0に  
応じて  
上位ビットを選択

# 発表内容

- 研究目的と背景
- デジタル誤差補正と自己校正
- パイプラインADCとデジタル誤差補正
- 逐次比較近似 とデジタル誤差補正
  - 動作冗長性
  - 回路冗長性
- 折り返し補間型ADC
- 考察
- まとめ

# まとめ

あるクラスの冗長性を備えたAD変換器 (ADC) の  
デジタル誤差補正アルゴリズムの共通構造



下位ビットの正しい情報と  
冗長性をもとに  
ある程度正しい上位ビットの情報を誤差補正する

統一理論の構築を目指す

# 関連発表論文

## パイプラインADC

[1] 高橋洋介, 小林春夫 他「パイプラインADCデジタル自己校正アルゴリズム」FTC研究会, 長崎(2008年1月).

## 逐次比較近似ADC (動作冗長性)

[2] T. Ogawa, H. Kobayashi, et. al., "SAR ADC Algorithm with Redundancy and Digital Error Correction," IEICE Trans. Fundamentals (Feb. 2010).

## 逐次比較近似ADC (回路冗長性)

[3] M. Hotta, H. Kobayashi, et. al., "SAR ADC Architecture with Digital Error Correction," IEEJ International Analog VLSI Workshop (Nov.2006).

## 折返し補間型ADC

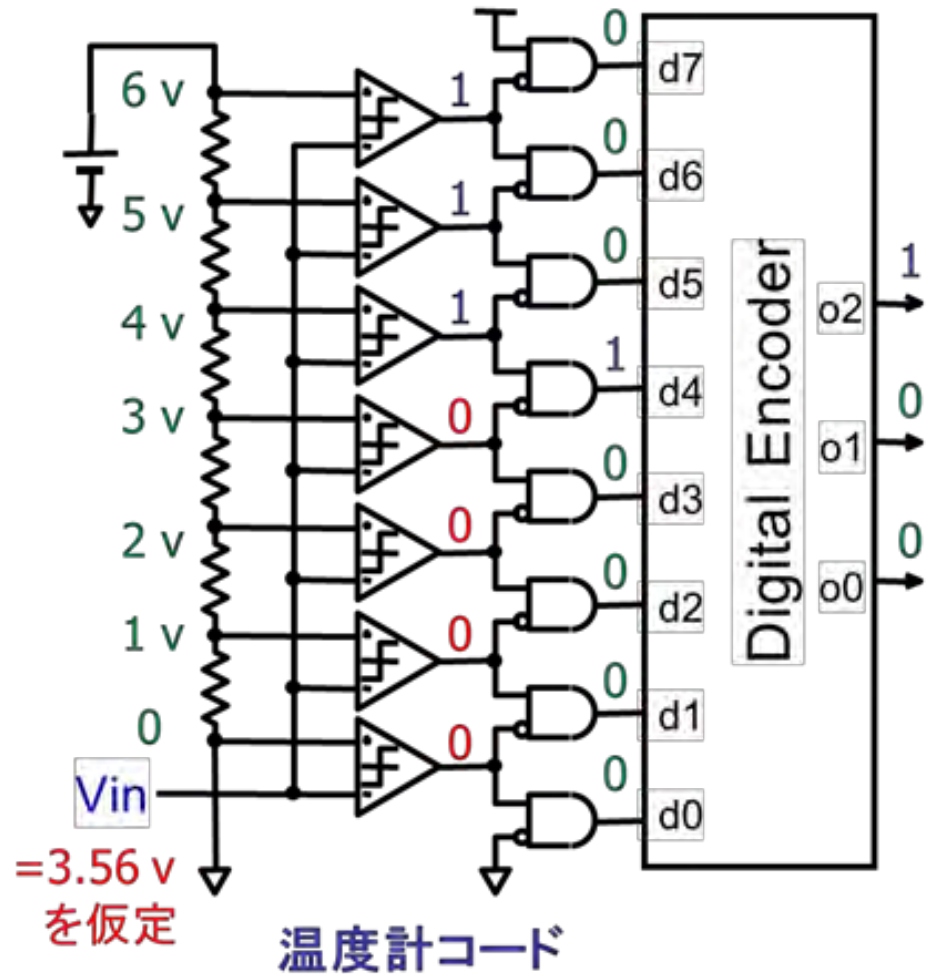
[4] H. Kobayashi, et. al., "A High-Speed 6-bit ADC Using SiGe HBT," IEICE Trans. Fundamentals (March 1998).

[5] H. Kobayashi, et. al., "Error Correction Algorithm for Folding/Interpolation ADC," IEEE International Symposium on Circuits and Systems (May 1995).

# 付 録



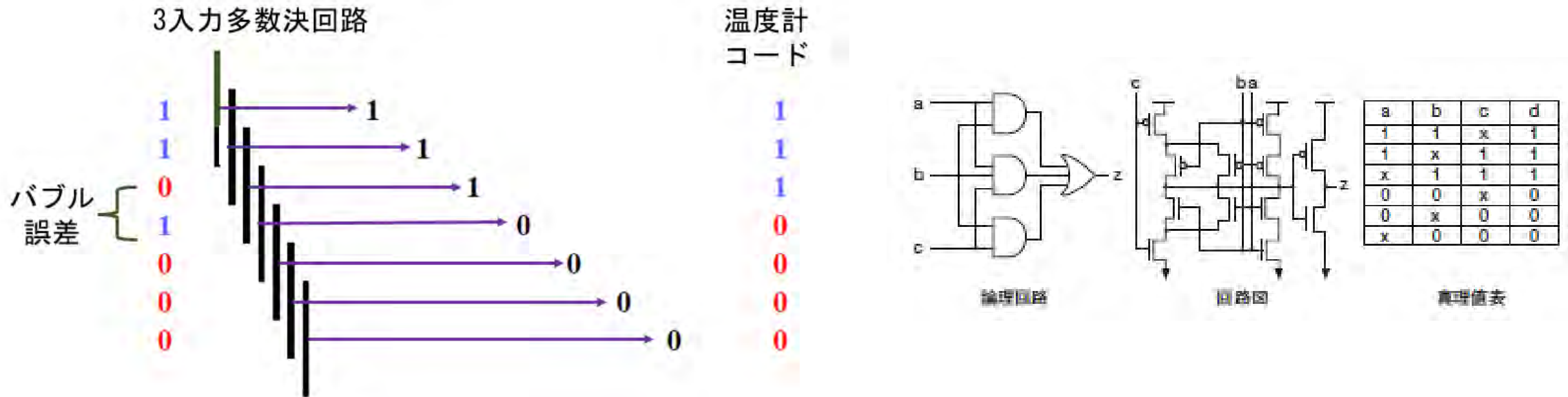
# フラッシュ型ADC



Encoder 真理値表

d7	d6	d5	d4	d3	d2	d1	d0	o2	o1	o0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

# 多数決回路によるバブル誤差補正



下位ビットの正しい情報と  
冗長性をもとに  
ある程度正しい上位ビットの情報を誤差補正する

に当てはまらない例