

## [招待講演]

## 数理とアナログ集積回路：研究教育を振り返り今後を展望する

小林春夫（群馬大学）

Mathematics and Analog Integrated Circuit:  
Review of Author's Research and Education Activities and Future Perspective

Haruo Kobayashi (Gunma University)

**Abstract** This article reviews the author's research and education activities in circuit and system areas. It is shown that many of his research results are related to signal processing and mathematics targeting for analog and mixed-signal circuit analysis and design. Also, as contribution to society, he has invited many excellent researchers in many areas to deliver their technological contents as open seminar at Gunma University. As a future perspective, analog circuit design environments such as EDA tools as well as its research and education opportunities are improving rapidly thanks to digital transformation technologies, and it is the author's belief that the designer has to continue to improve his circuit design ability in any case. The analog and mixed-signal circuit will continue to be important even in digital technology era.

**キーワード**：アナログ回路、ミクストシグナル回路、信号処理、数理、群馬大学アナログ集積回路研究会  
(Analog Circuit, Mixed-Signal IC, Signal Processing, Mathematics, Gunma University Analog Integrated Circuit Society)

## 1. はじめに

筆者は長年回路システムの研究教育、社会貢献活動を行ってきた。2023年3月末で群馬大学を定年になりひと区切りであるので、本稿ではこれまでのそれらの内容のまとめを紹介したい。

## 2. 研究を振り返る

自分の研究を振り返るとアナログ回路の数理的・信号処理的側面での研究が多いと気が付く。[1, 2, 3, 4] 「自分の強みは何かを認識する」「己を知る」ために長年かかった。また回路システム分野の研究はインパクトファクタの高いジャーナルへの論文掲載をめざす“純文学”というより、産業界への応用をかなり強く意識した“大衆文学”であると考えるのが良いとも気が付く。以下研究成果を自身の発表論文を引用しながら要約する。

- (1) 筆者は電子計測器関係で波形サンプリング技術にかかわってきており、次の研究成果を得た。

波形サンプリング回路のトレードオフの明確化：

波形サンプリング回路として民生用デバイス等での多くのADCではトラック・ホールド回路が使用されているが[5]、広帯域オシロスコープの一部ではインパルスサンプリング回路が使用されている。これらを統一して扱うモデルを構築した。そこでは2つの時定数が出てくる

が、帯域一定でSNRを最大にする2つの時定数の関係を求め、最適なところがそれらの中間にあることを示し、ストロブサンプリング技術を提案した。[6]

波形サンプリング回路の非理想要因の解析：

- サンプリング回路でサンプリングクロックのジッタ（正規分布を仮定）によりSNRが劣化する厳密式を導出した。[7, 8]
- サンプリング回路でトラックモードからホールドモードに遷移するためのサンプリングクロックの立ち下がりが（ゼロではなく）有限時間かかる場合、入力信号レベルに依存してサンプリングタイミングがずれる。この入力依存サンプリングタイミング誤差の影響を解析し、周波数領域で偶数次高調波が生じることを示した。[9]
- サンプリング回路ではサンプリングクロックの有限アパーチャ時間により高周波信号が減衰する。その低域通過フィルタ効果の伝達関数を導出し、シミュレーション検証を行った。[10]

黄金比サンプリング技術：

LSI試験での等価時間サンプリング技術適用の際にサンプリングクロック周波数と入力周波数の関係を黄金比にするといわゆる“波形抜け現象”が避けられ効率的波形取得ができることを示した。[11, 12]

### 剰余系サンプリング技術：

高周波信号の周波数を、サンプリングによるスペクトルの折り返し現象とアナログヒルベルトフィルタ(RC ポリフェーズフィルタ)を利用し、複数の低いサンプリング周波数(互いに素)でサンプリング、AD変換、FFTを行い剰余系定理により推定する方式(剰余系サンプリング技術)を考案した。またこれらの半導体試験技術への応用を検討した。[13, 14]

(2) DA変換器の研究開発に携わり次の成果を得た。

### DA変換器(DAC)のクロックジッタの影響の解析：

この出力劣化の解析式を導出した。[15]

### 抵抗ネットワークを用いたDAC：

抵抗ネットワークを用いたDACの抵抗ミスマッチによる非線形性の解析を行った。またこのDACの一般化した構成法を導出した。[16, 17, 18] また、フィボナッチ数列重みづけの抵抗ネットワークDACの構成を考案した。

### ユナリDACでの線形性向上のための単位セル選択順序の静的ランダム化：

ユナリDACの単位セル間のシステムテックミスマッチの影響を低減し線形性を向上させるために魔方陣、ラテン方陣、オイラーナイトツアー等の方陣を利用した2次元疑似ランダムな順番の単位セル選択アルゴリズムを検討した。[19, 20] また計測した単位セル値の情報に基づいて並び替えることでDAC線形性を向上するアルゴリズムを開発した。[21, 22]

### ユナリDACでの線形性向上のための単位セル選択順序の動的変更によるノイズシェーピング・アルゴリズム

ユナリDACの単位セル間のシステムテックおよびランダムミスマッチの影響を低減し線形性を向上させるため単位セル選択順序をサンプリング毎に動的に変更し、信号帯域内ノイズをノイズシェーピングするDWA(Data Weighted Averaging)アルゴリズムをいくつか開発した。

- マルチバンドDACでマルチバンドでのノイズを1次ノイズシェーブするDWA(Data Weighted Averaging)アルゴリズム [23]
- ローパスDACで低域ノイズを2次ノイズシェーブするアルゴリズム [24]
- 複素バンドパスI,QDACで複素単一バンドのノイズを1次ノイズシェーブするDWAアルゴリズム [25]
- 複素マルチバンドパスI,QDACで複素マルチバンドのノイズを1次ノイズシェーブするDWAアルゴリズム [26]
- 3値の単位セルから構成されるユナリDACでのローパス、バンドパス、ハイパスのそれぞれの信号帯域の場合の1次DWAアルゴリズムの有効性の検証[27]

### 高分解能ユナリDACでの線形性向上のための単位セル選択順序の動的変更によるノイズの周波数拡散

信号帯域がナイキスト周波数でミスマッチの影響を周波数拡散するがノイズシェーブはしない「ミスマッチスクランプリング (mismatch scrambling)」を比較的容易な回路で実現する方式を開発した。[28]

### 複素信号処理回路I,Q経路のミスマッチ低減のためのダイナミックマッチング方式 [29, 30]を開発した。

### ΔΣDA変調器でのリミットサイクル低減回路：

ΔΣDA変調器でコンパレータ出力部にEXOR回路と1ビットのデジタルディザ(dither)信号を加えることでリミットサイクルを低減できる構成を考案した。入力信号レンジを減少させることなく信号帯域に影響を与えず容易な回路で実現できる。[31]

### グレイコード入力DAC：

バイナリ(Binary)デジタル入力をグレイコード(Gray code)に変換し、そのコードでスイッチを制御する電流型、電圧型、電荷型の3つのDAC構成を考案した。バイナリコードとグレイコード間の変換がEXORを用いて実現できることを利用している。グレイコードはデジタル値が+1(または-1)変化するとどれか1つのコードのみが反転するという性質によりグリッチが低減できることをシミュレーション検証した。[32]

### HPF使用の緩和DAC(Relaxation DAC: ReDAC)：

1次RC高域通過フィルタ(High Pass Filter: HPF)を用いることで、正負の出力を生成できることを示した。従来のRC低域通過フィルタ(Low Pass Filter: LPF)を用いて正の出力のみを生成するReDAC方式の発展形である。[33]

### 整数論を用いたDAC：

多角数定理、素数に関するゴールドバッハ予測に基づきDACの新しい構成の導出を試みた。導出したものはユナリ型とバイナリ型DACの中間に位置付けられよう。[34]

(2) AD変換器の研究開発に携わり次の成果を得た。

### ADC線形性補正：

ADCの入出力関係からのみの非線形性のデータを線形化するデジタル補正アルゴリズムを開発した。[35]

### パイプライン型Split ADCのバックグラウンドキャリブレーション： このための回路・方式を[36]に提案した。

### 差動アンブ配列を入力段とするCMOS ADCの入力容量

この入力容量の非線形性の解析を行った。[37]

インターリーブ ADC のチャンネル間ミスマッチ影響解析:  
時間インターリーブ ADC においてチャンネル ADC のオフセット、ゲイン、帯域のミスマッチおよび各チャンネル間 ADC のサンプリングクロック間のスキューをモデル化し、その SNDR への影響を導出した。[38]

インターリーブ ADC のチャンネル間クロックスキューのデジタル補正技術:  
チャンネル間のサンプリングクロックのスキューをチャンネル出力間の相関とデジタルフィルタを用いてバックグラウンドでデジタル補正する方式を提案した。[39]

非対称ホップフィールドネットワークを用いたスイッチドキャパシタ ADC 構成:  
従来の非対称ホップフィールドネットワークを用いた ADC は抵抗ネットワークを用いるが、抵抗値が数十  $G\Omega \sim T\Omega$  のオーダーになってしまい IC 内での実現が難しい。これをスイッチドキャパシタ回路で実現し、各ビットを並列に生成する高速非同期 SAR ADC 構成を考案した。通常の SAR ADC とは異なり分解能 N ビットの場合はコンパレータの N 個必要であるが、高速動作が可能になる。新規な ADC 方式となることが期待できる。[40]

折り返し補間型 ADC とそのデジタル誤差補正:  
SiGe HBT を用いた折り返し補間型 ADC を開発した。[41] この方式はアルゴリズム的発想を要する。また上位ビットを生成する折り返し回路と下位ビットを生成する補間回路の間の不整合をデジタル補正するアルゴリズムを開発した。下位ビットの冗長情報をもとに上位ビットを補正する方式になっている。[42]

電荷モード折り返し ADC:  
差動増幅回路の飽和特性を利用し、結線の変更だけでアナログエンコードを実現できる CMOS ADC 構成を考案した。小規模回路の高速 ADC に適した構成である。[43]

冗長性を持つ逐次比較近似 ADC  
コンパレータ 1 個でフィボナッチ数列重みづけ (約 1.6 進) 等の非 2 進冗長アルゴリズムを用いた逐次比較近似 ADC のデジタル誤差補正技術を開発した。[44, 45, 46, 47] またコンパレータ 3 個の冗長性を持つ逐次比較近似 ADC のデジタル誤差補正技術を開発した。[48, 49]

#### (4) 時間領域アナログ回路の研究成果

フラッシュ型時間デジタイザ:  
同回路では遅延バッファ配列を用いるがその遅延素子間の相対ばらつきが線形性を劣化させる。そこでヒストグラム法による自己校正法を検討し、2つの校正用クロック周波数の比が貴金属比になっていると効率的自己校正

ができることを示した。またこの校正法と遅延素子間の遅延値ばらつきを積極利用し高時間分解能を利用する確率的時間デジタイザ回路を提案した。[50]

$\Delta\Sigma$  型時間デジタイザ回路:  
位相ノイズ測定への応用を提案・シミュレーション検証した。[51] またマルチビット構成を考案し、遅延バッファ間の遅延値のばらつきの影響を低減する DWA 回路方式を考案・アナログ FPGA 実装・検証した。[52, 53, 54]

逐次比較近似時間デジタイザ (SAR TDC):  
前段にトリガ回路を用いると2つの繰り返しクロック信号間時間差だけでなく2つの単発のタイミング信号間の時間差も SAR TDC で測定できることを示した。[55]

剰余系・グレイコード利用の時間デジタイザ:  
フラッシュ型に比べて変換速度を保ちながら回路規模を低減できる方式を検討した。[56, 57, 58]

バーニア型デジタル PWM 生成回路:  
高時間分解能デジタル PWM 生成回路の実現のため複数の異なる遅延値を用いるバーニア型を考案し、その選択順序を拡張ユークリッド互除法アルゴリズムを用いて決定する方式を提案した。[59, 60]

#### (5) その他のアナログ回路の研究成果

能動抵抗ネットワークの時空間ダイナミクスの解析:  
アナログニューラルネットワーク画像処理用 (ビジョンチップ) の負性抵抗を含んだ抵抗ネットワークチップを開発した。[61, 62, 63] さらにこの時空間ダイナミクスを解析し、RC 線形回路網理論上の新しい定理を導出した。[64, 65] 現在もその一般化に取り組んでいる。[66]

ラウス・フルビッツ安定判別のオペアンプ設計への応用:  
オペアンプの安定性設計にはナイキスト法、ボード線図を用いることが多い。小信号の伝達関数を求めてラウス・フルビッツ安定判別を適用すると、どの回路パラメータ値を大きくすればまたは小さくすれば安定性を得やすくなるかの設計指針が得られることを示した。[67]

RC ポリフェーズフィルタの解析・設計:  
複素アナログ信号処理回路としての RC ポリフェーズフィルタの解析を行い、設計法を検討した。特にこれがヒルベルトフィルタの特性を持つことを示し、その性質を利用し剰余系サンプリング回路の構成回路の一つとして用いることを提案した。[68, 69, 70, 13, 14]

帯域選択ノイズスペクトル拡散技術:  
スイッチング電源回路でノイズスペクトル拡散技術を

信号帯域にノイズが拡散されるのを避ける「帯域選択ノイズスペクトル拡散技術」を考案した。 $\Delta\Sigma$ 型デジタル時間変換回路を用いる。[71, 72]

#### CMOS 基準電流源回路：

ピーキング電流源（永田穰電流源）を改良し広い範囲で電源電圧不感の CMOS 基準電流源回路を考案した。[73, 74] また MOS のゲート電圧に対するドレイン電流の温度特性を利用し温度不感の基準電流源回路設計を示した。[75, 76]

#### チャージポンプ回路の効率計算：

容量とスイッチから構成される昇圧型チャージポンプ回路で動作周波数、容量値、負荷電流と効率の関係式を導出した。[77, 78]

(6) デジタル演算アルゴリズム、デジタルフィルタの研究を行ってきた。

#### テイラー展開に基づく浮動小数点計算アルゴリズム：

テイラー展開の収束領域が近傍だけに限らないことを利用し、少ない積和演算量・回路規模で割り算、平方根、指数関数の浮動小数点演算に使用できることを示した。[79, 80, 81]

#### 高分解能タイミング調整用デジタルフィルタ：

クロック周期より細かい時間分解能で遅延を調整できるデジタルフィルタの構成を考案し、半導体試験装置でのタイミングスキューのデジタル的調整に適用することを検討した。[82, 83]

(7) アナログおよびアナログ・デジタル混載 IC の試験技術の研究の概要は[84, 85] に記している。

### 3. 教育を振り返る

研究室学生には積極的に学会発表・論文発表を行わせてモチベーションを向上させてきた。コロナ前には毎年10名以上の大学院生を海外の国際学会で発表させ、コロナ中は多くのオンライン学会発表をさせてきた。多くの留学生を受け入れてきて国際交流も深めてきた。

多くの学外の一流の方々を招聘し、大学に「新しい知・智・血」を入れてこの分野を活性化してきた。群馬大学アナログ集積回路研究会にて512回の公開講演会を開催してきた。その意図は次の通りである。

"おのれよりも優れた者に働いてもらう方法を知る男ここに眠る"

鉄鋼王アンドリュー・カーネギー 墓碑名

“知識労働者は自らが教える時に最もよく学ぶ。  
情報化時代の組織は「学ぶ組織」であると同時に  
「教える組織」にならない”

経営学者 ピータードラッカー

“古の学者は己れのためにし 今の学者は人のためにす”  
論語

### 4. 今後を考える

現在デジタルトランスフォーメーション技術が急速に進展し社会に普及している。また先端デジタル LSI のための微細プロセスが関心を集めている。このような中でも「アナログ技術はデジタル社会の中で重要な技術」の見方は正鵠を射ているであろう。また、何十年もアナログ技術にかかわってもまだまだ知らないこと、分からないことがたくさんある。逆に言えば今後もこの分野は研究の種がいくらでもあり差別化技術であることであろう。回路系国際会議でもアナログ分野の発表は長年にわたり比較的多い。この分野の技術者・研究者は長く活躍できると思う。デジタル化をアナログ回路の設計環境・情報提供の改善に最大限に活用し設計を効率化する、が主体は設計者であろう。ますます設計者の能力を高めていく必要がある。

また研究者・技術者個人としては 「己を知る」ということと「学び続ける」ということが重要であろう。

人を知るは難くして易く、自ら知るは易くして難し

少にして学べば壮にして為す有り。壮にして学べば老いて衰えず。老いて学べば死して朽ちず。

国学者 佐藤一斎

謝辞：これらの研究開発・教育活動にご協力・ご支援いただきました皆様に感謝申し上げます。

### 文 献

- (1) (Invited) H. Kobayashi, *et. al.*, “Unified Methodology of Analog/Mixed-Signal IC Design Based on Number Theory”, IEEE 14th International Conference on Solid-State and Integrated Circuit Technology (Nov. 2018).
- (2) (Invited) H. Kobayashi, *et. al.*, “Performance Improvement of Delta-Sigma ADC/DAC/TDC Using Digital Technique”, IEEE 14th International Conference on Solid-State and Integrated Circuit Technology (Nov. 2018).
- (3) (Invited) H. Kobayashi, *et. al.*, “Classical Mathematics and Analog/Mixed-Signal IC Design”, IEEE 14th International Conference on ASIC (Oct. 2021).
- (4) H. Kobayashi, *et. al.*, “Analog/Mixed-Signal Circuit Design in Nano CMOS Era”, IEICE Electronics Express (2014).
- (5) T. Tobar, *et. al.*, “Track / Hold Circuit in GaAs HBT Process”, IEICE Trans. Fundamentals (March 1997).
- (6) 上森将文、他「広帯域高精度サンプリング技術」

- 電子情報通信学会誌 和文誌 C (2007年9月).
- (7) H. Kobayashi, *et. al.*, "Aperture Jitter Effects on Wideband Sampling Systems", IEEE Instrumentation and Measurement Technology Conference (May 1999)
  - (8) H. Kobayashi, *et. al.*, "Sampling Jitter and Finite Aperture Time Effects in Wideband Data Acquisition Systems", IEICE Trans. Fundamentals (Feb. 2002).
  - (9) N. Hayasaka, H. Kobayashi, "Input-Dependent Sampling-Time Error Effects in MOS Samplers", IEICE Trans. Electronics, (June 2004).
  - (10) M. Arai, *et. al.*, "Finite Aperture Time Effects in Sampling Circuit", IEEE International Conference on ASIC (Nov. 2015).
  - (11) Y. Sasaki, *et. al.*, "Highly Efficient Waveform Acquisition Condition in Equivalent-Time Sampling System", IEEE Asian Test Symposium (Oct. 2018)
  - (12) S. Yamamoto, *et. al.*, "Metallic Ratio Equivalent-Time Sampling and Application to TDC Linearity Calibration", IEEE Transactions on Device and Materials Reliability (June 2022).
  - (13) Y. Abe, *et. al.*, "Frequency Estimation Sampling Circuit Using Analog Hilbert Filter and Residue Number System", IEEE International Conference on ASIC (Oct. 2019)
  - (14) S. Katayama, *et. al.*, "Application of Residue Sampling to RF/AMS Device Testing", IEEE Asian Test Symposium (Nov. 2021).
  - (15) N. Kurosawa, *et. al.*, "Sampling Clock Jitter Effects in Digital-to-Analog Converters", Measurement (Mar. 2002).
  - (16) H. Hirai, *et. al.*, "Digital-to-Analog Converter Configuration Based on Non-uniform Current Division Resistive-Ladder", International Technical Conference on Circuits/Systems, Computers and Communications (June 2021).
  - (17) M. Hirai, *et. al.*, "Nonlinearity Analysis of Resistive Ladder-Based Current-Steering Digital-to-Analog Converter", International SOC Design Conference (Oct. 2020).
  - (18) M. Hirai, *et. al.*, "Systematic Construction of Resistor Ladder Network for N-ary DACs", IEEE International Conference on ASIC (Oct. 2019).
  - (19) M. Higashino, *et. al.*, "DAC Linearity Improvement Algorithm With Unit Cell Sorting Based on Magic Square", IEEE International Symposium on VLSI Design, Automation and Test (April, 2016).
  - (20) D. Yao, *et. al.*, "DAC Linearity Improvement with Layout Technique using Magic and Latin Squares", IEEE International Symposium on Intelligent Signal Processing and Communication Systems (Nov. 2017).
  - (21) S. N. Mohyar, H. Kobayashi, "Digital Calibration Algorithm for Half-Unary Current-Steering DAC for Linearity Improvement", International SoC Design Conference (Nov. 2014).
  - (22) Y. Liu, *et. al.*, "Segmented DAC Linearity Improvement Algorithm Using Unit Cell Sorted Alternately with Digital Method", Workshop on Synthesis and System Integration of Mixed Information Technologies (Oct. 2022).
  - (23) 元澤篤史、他「マルチバンドパス  $\Delta\Sigma$  変調器技術とその応用」電子情報通信学会誌 和文誌 C (2007年2月).
  - (24) 萩原広之 他「マルチビット・ローパス  $\Delta\Sigma$ AD 変調器2次 DWA アルゴリズムの提案」電気学会電子回路研究会 (2004年6月)
  - (25) H. San, *et. al.*, "A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass  $\Delta\Sigma$ AD Modulators", IEICE Trans. Fundamentals (April 2004).
  - (26) M. Murakami, *et. al.*, "I-Q Signal Generation Techniques for Communication IC Testing and ATE Systems", IEEE International Test Conference (Nov. 2016)
  - (27) J. Kojima, *et. al.*, "DWA Algorithm for Band-Pass  $\Delta\Sigma$  DAC with Ternary Unit Cells", IEEE 14th International Conference on Solid-State and Integrated Circuit Technology (Nov. 2018).
  - (28) D. Yao, *et. al.*, "Unit Cell Mismatch Scrambling Method for High-Resolution Unary DAC based on Virtual 3D Layout", IEICE Electronics Express (Dec. 2022).
  - (29) J. Otsuki, *et. al.*, "Reducing Spurious Output of Balanced Modulators by Dynamic Matching of I, Q Quadrature Paths", IEICE Trans. Electronics, (June 2005).
  - (30) H. San, *et. al.*, "Complex Bandpass  $\Delta\Sigma$ AD Modulator Architecture Without I, Q-Path Crossing Layout", IEICE Trans. Fundamentals (April 2006).
  - (31) 小島潤也、新井薫子、小林春夫 "  $\Delta\Sigma$ DA 変調器のデジタルデジ信号による性能改善の検討, 電気学会論文誌 和文誌 C (2016年12月).
  - (32) R. Jiang, *et. al.*, "Gray-code Input DAC Architecture for Clean Signal Generation", IEEE International Symposium on Intelligent Signal Processing and Communication Systems (Nov. 2017).
  - (33) L. Nengvang, *et. al.*, "Relaxation DAC with Positive and Negative Polarity Output using High-Pass Filter", IEICE Electronics Express (Feb. 2023).
  - (34) X. Bai, *et. al.*, "Derivation of Digital-to-Analog Converter Architectures Based on Number Theory" Journal of Pure and Applied Mathematics (Oct. 2022).
  - (35) H. Kobayashi, *et. al.*, "Algorithms for Digital Correction of ADC Nonlinearity", IEICE Trans. Fundamentals (Feb. 2003).
  - (36) T. Yagi, *et. al.*, "Background Self-Calibration Algorithm for Pipelined ADC Using Split ADC Scheme", IEICE Trans. Electronics (July 2011).
  - (37) H. Kogure, *et. al.*, "Analysis of CMOS ADC Nonlinear Input Capacitance", IEICE Trans. Electron (May 2002).
  - (38) N. Kurosawa, *et. al.*, "Explicit Analysis of Channel Mismatch Effects in Time-Interleaved ADC Systems", IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications (Mar. 2001).
  - (39) R. Yi, *et. al.*, "Digital Compensation for Timing Mismatches in Interleaved ADCs", IEEE 22nd Asian Test Symposium (Nov. 2013).
  - (40) X. Bai, *et. al.*, "Asynchronous Capacitive SAR ADC based on Hopfield Network", IEICE Electronics Express (Sept. 2022)
  - (41) H. Kobayashi, *et. al.*, "A High-Speed 6-bit ADC Using SiGe HBT", IEICE Trans. Fundamentals (March 1998).
  - (42) H. Kobayashi, *et. al.*, "Error Correction Algorithm for Folding/ Interpolation ADC", International Symposium on Circuits and Systems (May 1995).
  - (43) X. Li, *et. al.*, "Charge Domain Folding ADC for Multi-bit  $\Delta\Sigma$  AD Modulator" Journal of Technology and Social Science (April 2022).
  - (44) Y. Kobayashi, *et. al.*, "SAR ADC Design Using Golden Ratio Weight Algorithm", International Symposium on Communications and Information Technologies (Oct. 2015).
  - (45) H. Arai, *et. al.*, "Fibonacci Sequence Weighted SAR ADC as Golden Search SAR ADC as Golden Section Search", IEEE International Symposium on Intelligent Signal Processing and Communication Systems (Nov. 2017).
  - (46) T. Ogawa, *et. al.*, "SAR ADC Algorithm with Redundancy and Digital Error Correction", IEICE Trans. Fundamentals (Feb. 2010).
  - (47) 小川智彦, 他「逐次比較近似 ADC コンパレータ・オフセット影響の冗長アルゴリズムによるデジタル補正技術」, 電子情報通信学会誌 和文誌 C

- (2011年3月).
- (48) M. Hotta, *et. al.*, "SAR ADC Architecture with Digital Error Correction", IEEJ International Analog VLSI Workshop (Nov. 2006).
- (49) 早川晃, 他「高性能逐次比較 AD 変換器アーキテクチャ」電気学会、電子回路研究会 (2006年3月)
- (50) S. Ito, *et. al.*, "Stochastic TDC Architecture with Self-Calibration," IEEE Asia Pacific Conference on Circuits and Systems (Dec. 2010).
- (51) Y. Osawa, *et. al.*, "Phase Noise Measurement Techniques Using Delta-Sigma TDC", IEEE International Mixed-Signals, Sensors and Systems Test Workshop (Sept. 2014).
- (52) S. Uemori, *et. al.*, "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity," Journal of Electronic Testing: Theory and Applications, Springer (Dec. 2013).
- (53) S. Uemori, *et. al.*, "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (May 2012).
- (54) T. Chujo, *et. al.*, "Timing Measurement BOST with Multi-bit Delta-Sigma TDC", IEEE International Mixed-Signal Testing Workshop (June 2015).
- (55) Y. Ozawa, *et. al.*, "SAR TDC Architecture with Self-Calibration Employing Trigger Circuit", IEEE Asian Test Symposium (Nov. 2017).
- (56) C. Li, *et. al.*, "Time-to-Digital Converter Architecture with Residue Arithmetic and its FPGA Implementation", International SoC Design Conference (Nov. 2014).
- (57) C. Li, H. Kobayashi, "A Gray Code Based Time-to-Digital Converter Architecture and its FPGA Implementation", IEEE International Symposium on Radio-Frequency Integration Technology (Aug. 2015)
- (58) C. Li, H. Kobayashi, "A Glitch-Free Time-to-Digital Converter Architecture Based on Gray Code", 電気学会論文誌 和文誌 C (2016年1月).
- (59) I. Mori, *et. al.*, "High-Resolution DPWM Generator for Digitally Controlled DC-DC Converters", IEEE Asia Pacific Conference on Circuits and Systems (Dec. 2008).
- (60) 光野正志, 他「デジタル制御電源用 高時間分解能 DPWM 回路」電子情報通信学会誌 和文誌 C (2008年8月).
- (61) H. Kobayashi, *et. al.*, "An Active Resistor Network for Gaussian Filtering of Images", IEEE Journal of Solid-State Circuits (May 1991).
- (62) 松本隆、小林春夫、八木哲也 「ビジョンチップ (I) - アナログ画像処理用ニューロチップ -」電子情報通信学会誌, (1993年7月).
- (63) 松本隆、小林春夫、八木哲也 「ビジョンチップ (II・完) - アナログ画像処理用ニューロチップ -」電子情報通信学会誌 (1993年8月).
- (64) T. Matsumoto, *et. al.*, "Spatial Versus Temporal Stability Issues in Image Processing Neuro Chips", IEEE Trans. on Neural Networks (July 1992).
- (65) H. Kobayashi, *et. al.*, "Two-Dimensional Spatio-Temporal Dynamics of Analog Image Processing Neural Networks", IEEE Trans. on Neural Networks (May 1995).
- (66) M. Chiba, *et. al.*, "Spatial and Temporal Dynamics of Non-Uniform Active Resistor Networks", IEEE International Conference on Solid-State and Integrated Circuit Technology (Oct. 2022).
- (67) J. Wang, *et. al.*, "Analysis and Design of Operational Amplifier Stability Based on Routh-Hurwitz Stability Criterion", 電気学会論文誌 和文誌 C (2018年12月)
- (68) (Invited) H. Kobayashi, *et. al.*, "Analog / Mixed-Signal / RF Circuits for Complex Signal Processing", 13th IEEE International Conference on ASIC (Oct. 2019).
- (69) Y. Tamura, *et. al.*, "RC Polyphase Filter as Complex Analog Hilbert Filter", IEEE International Conference on Solid-State and Integrated Circuit Technology (Oct. 2016).
- (70) Y. Niki, *et. al.*, "Flat Passband Gain Design Algorithm for 2nd-order RC Polyphase Filter," IEEE International Conference on ASIC (Nov. 2015).
- (71) T. Daimon, *et. al.*, "Spread-Spectrum Clocking in Switching Regulators for EMI Reduction", IEICE Trans. Fundamentals (Feb. 2003).
- (72) R. Khatami, *et. al.*, "Delta-Sigma Digital-to-Time Converter and its Application to SSCG," IEICE International Conference on Integrated Circuits Design and Verification (Nov. 2013).
- (73) M. Hirano, *et. al.*, "Simple Reference Current Source Insensitive to Power Supply Voltage Variation - Improved Minoru Nagata Current Source", IEEE International Conference on Solid-State and Integrated Circuit Technology (Oct. 2016).
- (74) M. Hirano, *et. al.*, "Silicon Verification of Improved Nagata Current Mirrors", IEEE International Conference on Solid-State and Integrated Circuit Technology (Nov. 2018).
- (75) T. Feng, *et. al.*, "A Reference Current Source with Cascaded Nagata Current Mirrors Insensitive to Supply Voltage and Temperature", IEEE International Conference on Solid-State and Integrated Circuit Technology (Oct. 2022).
- (76) T. Hosono, *et. al.*, "Nagata Current Sources with Self-Bias Configuration Insensitive to Supply Voltage and Temperature" International Conference on Electrical, Computer and Energy Technologies (Dec. 2021).
- (77) K. Kashiwase, *et. al.*, "Dynamics of Parallel-Type and Serial-Type Charge Pump Circuits for High Voltage Generation", IEEJ International Analog VLSI Workshop (Sept. 2002).
- (78) H. Kobayashi, T. Nabeshima (Editors), *Handbook of Power Management Circuits*, Pan Stanford Publisher (2016).
- (79) J. Wei, *et. al.*, "IEEE754 Binary32 Floating-Point Logarithmic Algorithms based on Taylor-Series Expansion with Mantissa Region Conversion and Division" IEICE Trans. Fundamentals (Jul. 2022).
- (80) J. Wei, *et. al.*, "Revisit to Floating-Point Division Algorithm Based on Taylor-Series Expansion", IEEE Asia Pacific Conference on Circuits and Systems (Dec. 2020).
- (81) J. Wei, *et. al.*, "Floating-Point Inverse Square Root Algorithm Based on Taylor-Series Expansion", IEEE Trans. Circuits and Systems II (July 2021).
- (82) K. Asami, *et. al.*, "Timing Skew Compensation Technique using Digital Filter with Novel Linear Phase Condition", IEEE International Test Conference (Nov. 2010).
- (83) K. Asami, *et. al.*, "Digitally-Assisted Compensation Technique for Timing Skew in ATE Systems", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop (May 2011)
- (84) (Invited) H. Kobayashi *et. al.*, "Analog/Mixed-Signal Circuit Testing Technologies in IoT Era", IEEE 15th International Conference on Solid-State and Integrated Circuit Technology (Nov. 2020).
- (85) 小林春夫, 他「IoT時代のアナログ/ミクストシグナル回路テスト技術」電気学会論文誌 和文誌 C (2021年1月).