

# 国際会議報告:ITC2022

畠山 一実

(群馬大学/EVALUTO/日本アクティブキャリア開発)

2023.01.27 Kazumi Hatayama

1

# ITC (International Test Conference)



- ・ITCの沿革および概要
  - ・1970年にIC Testに関するSymposiumとしてスタート (Semiconductor Test Symposium)
  - ・1978年からConferenceに(Annual Test Conference)
  - ・1981年からは現在の名称を使用
  - ・LSIを含む電子回路のテスト分野では最大規模かつ最重要な国際会議
  - ・VTS(VLSI Test Symposium)がどちらかといえばアカデミックであるのに対して、ITCは企業が主体
  - ・論文発表の3日間を中心とした6日間を、ITC Test Week(TM)と呼び、様々なテスト関連イベントを実施

2023.01.27 Kazumi Hatayama

3

## アウトライン

- ・ ITCについて
- ・ ITC2022の概要
- ・ 論文発表の全体動向
- ・ 注目セッションの紹介
- ・ まとめ

2023.01.27 Kazumi Hatayama

2

## ITC開催一覧

	Year	Date	Location		Year	Date	Location		
	14th	1983	10/18-10/20	Philadelphia		36th	2005	11/06-11/11	Austin
	15th	1984	10/16-10/18	Philadelphia		37th	2006	10/22-10/27	Santa Clara
	16th	1985	11/19-11/21	Philadelphia		38th	2007	10/21-10/26	Santa Clara
	17th	1986	09/08-09/11	Washington		39th	2008	10/26-10/31	Santa Clara
	18th	1987	09/01-09/03	Washington		40th	2009	11/01-11/06	Austin
	19th	1988	09/12-09/14	Washington		41st	2010	10/31-11/05	Austin
	20th	1989	08/29-08/31	Washington		42nd	2011	09/18-09/23	Anaheim
	21st	1990	09/10-09/14	Washington		43rd	2012	11/04-11/09	Anaheim
	22nd	1991	10/26-10/30	Nashville		44th	2013	09/08-09/13	Anaheim
	23rd	1992	09/20-09/24	Baltimore		45th	2014	10/19-10/24	Seattle
	24th	1993	10/17-10/21	Baltimore		46th	2015	10/04-10/09	Anaheim
	25th	1994	10/02-10/06	Washington		47th	2016	11/13-11/18	Fort Worth
	26th	1995	10/21-10/25	Washington		48th	2017	10/29-11/03	Fort Worth
	27th	1996	10/20-10/25	Washington		49th	2018	10/28-11/02	Phoenix
	28th	1997	11/01-11/06	Washington		50th	2019	11/10-11/15	Washington
	29th	1998	10/18-10/23	Washington		51th	2020	11/01-11/06	Virtual
	30th	1999	10/26-10/31	Atlantic City		52nd	2021	10/10-10/15	Virtual
	31st	2000	10/01-10/06	Atlantic City		53rd	2022	09/25-09/30	Anaheim/Virtual
	32nd	2001	10/28-11/02	Baltimore		54th	2023	10/08-10/13	Anaheim
	33rd	2002	10/06-10/11	Baltimore					
	34th	2003	09/28-10/03	Charlotte					
	35th	2004	10/24-10/29	Charlotte					

2000-2010: プログラム委員  
 1997-2017: ITCアジア委員会委員  
 2000-2001は副委員長, 2002-2003は委員長

2023.01.27 Kazumi Hatayama

4

# ITC2022概要

- ・開催日 : 2022年9月25日(日)～9月30日(金)
- ・開催場所 : Anaheim/Virtual
- ・参加者 : 不明 (日本からも多数)
- ・基調講演 : 3件 (9/27, 9/28, 9/29)
- ・招待講演 : 1件 (9/28)
- ・論文発表 : 22セッション78件 (9/27, 9/28, 9/29)
  - ・一般論文 : 18セッション42件 (採択率<30%)
  - ・ショート/企業事例 : 4(+6(一般))セッション31件
- ・特別セッション : 9件 (9/27, 9/28, 9/29)
- ・パネル討論 : 4件 (9/26, 9/27, 9/28, 9/29)
- ・チュートリアル : 12件 (すべてHalf Day (9/25, 9/26))
- ・ポスター : 37件 (9/28)
- ・展示会 : 20社 (9/27, 9/28, 9/29 14)
- ・併設ワークショップ : 2件 (9/29, 9/30)
  - ・ARTS (Automotive Reliability, Test and Safety) (7年連続)
  - ・SLM (Silicon Lifecycle Management) (2年連続)

# ITC2022 At-a-Glance (cont.)

## TUESDAY, SEPTEMBER 27 – TECHNICAL SESSIONS

15:30 – 16:00	Coffee Break				
16:00 – 17:30	<b>Session A2: Panel2</b> Are Last Century's Test Techniques Suitable for 21 <sup>st</sup> Century Silent Errors?	<b>Session B2</b> Innovation and Machine Learning II	<b>Session C2</b> New Frontiers in Test Content Optimization	<b>Session D2</b> Test of HW Accelerators I	<b>Special Session E2</b> Experiences in Silicon Lifecycle Management
18:00 – 20:00	ITC Welcome Reception				

## WEDNESDAY, SEPTEMBER 28 – TECHNICAL SESSIONS

09:00 – 10:30	<b>Plenary Session</b> <b>Keynote 2:</b> The Future of High-Performance Computing Beyond Moore's Law, <i>J. Shalf</i> , Lawrence Berkeley National Labs <b>Visionary Talk:</b> Ultra Low-Power AI Accelerators for AIoT, <i>T. Chen</i> , HKUST				
09:30 – 16:30	Coffee Break & Exhibits				
10:30 – 11:30	Coffee Break & Corporate Forum				
11:00 – 12:30	<b>Session A3</b> Hardware Security I	<b>Session B3</b> Latest on Wafer Map Analytics	<b>Session C3</b> Memory Test/Diagnosis	<b>Special Session D3</b> Compute-in-Memory	<b>IP Session E3</b> Industrial Practices I
12:30 – 14:30	Lunch, Posters and Corporate Forum				
14:30 – 16:00	<b>Session A4</b> Hardware Security II	<b>Session B4</b> Test of HW Accelerators II	<b>Session C4</b> Memory Test/Repair	<b>Session D4</b> Automotive I	<b>IP Session E4</b> Industrial Practices II
16:00 – 16:30	Coffee Break & Corporate Forum				
16:30 – 18:00	<b>Special Session A5</b> HW Security Certification	<b>Session B5</b> Analog Testing	<b>Session C5: Panel 3</b> Performing RAS in Today's Mission Critical Systems	<b>Special Session D5</b> High-Power Electronics	<b>Session E5</b> Analog Test, Diagnosis, Test Cost, All-in-One

# ITC2022 At-a-Glance

## SUNDAY, SEPTEMBER 25 – HALF-DAY TUTORIALS

08:30 – 12:00	<b>Tutorial 1</b> Dependability and Testability of AI Hardware	<b>Tutorial 2</b> Early System Reliability Analysis for Cross-Layer Soft Errors	<b>Tutorial 3</b> Device-Aware Test for Emerging Memories
13:00 – 16:30	<b>Tutorial 4</b> Computation in Memory: Technologies, Design, Test and Reliability	<b>Tutorial 5</b> Mixed-Signal DFT and BIST: Trends, Principles and Solutions	<b>Tutorial 6</b> Scan Test Escapes, New Fault Models and Effectiveness of Functional System Level Tests

## MONDAY, SEPTEMBER 26 – HALF-DAY TUTORIALS

08:30 – 12:00	<b>Tutorial 7</b> Silicon Lifecycle Management for Emerging SoCs	<b>Tutorial 8</b> Testing and Manufacturing of Die-to-Die Interconnection in a 2.5D/3D IC	<b>Tutorial 9</b> Domain-Specific Machine Learning in Semiconductor Test
13:00 – 16:30	<b>Tutorial 10</b> Automotive Safety, Reliability and Test Solutions	<b>Tutorial 11</b> SOC Security Verification	<b>Tutorial 12</b> Advances in Defect-Oriented Testing

## MONDAY, SEPTEMBER 26 – HALF-DAY TUTORIALS

16:30 – 18:00	<b>Panel 1:</b> An Industry-wide Dialog on Chiplets and Heterogeneous Integration		
---------------	---	--	--

## TUESDAY, SEPTEMBER 27 – TECHNICAL SESSIONS

09:00 – 10:30	<b>Plenary – Opening Session</b> <b>Keynote 1:</b> Make Computing Count: Some Opportunities for Testing, <i>P. Ranganathan</i> , Google				
10:30 – 17:30	Exhibits				
11:00 – 12:00	Diamond Supporter Presentation				
12:00 – 14:00	Lunch & Corporate Forum				
14:00 – 15:30	<b>Session A1</b> New Frontiers in Fault Modeling	<b>Session B1</b> Innovation and Machine Learning I	<b>Session C1</b> Diagnosis and Debug	<b>Session D1</b> TTTC McCluskey PhD Competition	<b>Special Session E1</b> Dedicated to the Memory of T. W. Williams, W. Maly and D. Pradhan

# ITC2022 At-a-Glance (cont.)

## THURSDAY, SEPTEMBER 29 – TECHNICAL SESSIONS

09:00 – 10:00	<b>Plenary Session</b> <b>Keynote 3:</b> What Did We Learn in 120 Year's of DFT and Test?, <i>G. Giles, M. Bienek &amp; T. Wood</i> , AMD				
09:30 – 13:00	Exhibits				
10:00 – 10:30	Coffee Break				
10:30 – 12:00	<b>Special Session A6</b> Test of Quantum Circuits	<b>Session B6</b> Scan-Based Learning and Diagnosis	<b>Special Session C6</b> Road to Chiplets: UCle	<b>Session D6</b> Automotive II	<b>IP Session E6</b> Industrial Practices III
12:00 – 13:30	Lunch				
13:30 – 15:00	<b>Session A7</b> Test Generation	<b>Session B7</b> Low Power and Test	<b>Special Session C7</b> Design-for-Verification (DFV): A New Direction in Design Qualification	<b>Session D7: Panel 4</b> Automotive Safety & Security Interoperability	<b>Special Session E7</b> Industrial Practices from ITC India

## THURSDAY, SEPTEMBER 29 – WORKSHOPS

16:00 – 18:30	Automotive Reliability, Test and Safety	Silicon Lifecycle Management
<b>FRIDAY, SEPTEMBER 30 – WORKSHOPS</b>		
08:00 – 16:00	Automotive Reliability, Test and Safety	Silicon Lifecycle Management

## 基調講演-1

- P. Ranganathan (Google): コンピュータを効果的に・テストの大きなチャンス
  - ムーアの法則が鈍化・供給が鈍化, ただし需要は拡大
    - アクセラレータとSW定義インフラによる新たな時代
    - 空前のチャンスが目の前に
      - 経験的→理論的→計算論的・科学新世紀
    - 効果的でないコア・沈黙のデータ崩壊
    - 新たなムーア則: 効率的なアクセラレータの確立, SW/システム協調設計
    - HWの効率性を利用: SW定義HWインフラにより差別化+抽象化
    - ML(ムーア則)のためのML(機械学習)
  - すべての偉大な研究に感謝・もっとできるか?→テストの改良
    - 沈黙のデータ崩壊とテスト: 根本原因解析, システム内テスト, ...
    - 変革のスピードとテスト: 早期&頻繁なリリース, Siデバッグ, ...
    - SW定義〇〇とテスト: テスト改善のための協調設計, サービス水準最適化, ...
    - 機械学習とテスト: 自動デバイステスト(Fuzz), 適応テスト, 等
      - 正しく実施することが重要: 安全性, 公平性, 利用性, 理解性などのバランス
  - もっとチャンスが: 泥(mud)から雲(cloud)へ, チップ(chip)から船(ship)へ
    - 潜在的ブラックスワン, ただし協調設計と連携が重要

2023.01.27 Kazumi Hatayama

9

## 基調講演-3

- G. Giles, M. Bienek, T. Wood (AMD): 128年のDFTとテストの経験で何を学んだか?
  - AMDの熟練テストエンジニア3名の経験談・それぞれがDFT歴40年以上
  - 産業の進化
    - ドライバ(T): ムーア則, コスト, 品質
    - テスタ(M): Big Iron, DUTより高性能, SLT
    - DFT(G): 機能→構造, オーバヘッド
    - 自動化(T): CADアルゴリズム, 内製→EDA
    - 標準(AI): JTAG, DFT投資の正当化, 過去の遺産の継承
  - ITCについて
    - G: 知識の共有, 個性豊か, 白熱した議論, 仮想的Ph.D, 企業間連携の基盤
    - M: 最新技術の定義, 発明と公開のラグ, 公開されない技術も, ベンチマーク
    - T: ATE主導→EDA主導, MPU講演の立ち見, P.Nighミーティング, キャリア開発
  - 何を学んだか
    - M: 何を知っていると思うかという質問, 熟練者への挑戦, カーブの前へ
    - G: 手を汚して改革, 前PJとの差の認識, 誤解の回避, 自分のDFT箱の外を考慮
    - T: DFTには管理技術が必要, 変化を機会と見る, 過去を見て未来を探す
  - 今後の課題
    - M: 3D集積, 暗黙のデータ破壊, 設計規模, 熱と劣化
    - T: フィールド内テスト, 搭載DFT活用, DFTによる価値付加, RASとF-T
    - G: DFTの専門性, DFT知識の伝承, 産学連携, LSSDを忘れない

2023.01.27 Kazumi Hatayama

11

## 基調講演-2

- J. Shalf (Lawrence Berkeley N. L.): エクサスケール後のスーパーコンピューティング
  - エクサスケール計算プロジェクト(EPC)
    - 米国エネルギー省の2組織(科学局(SC), 国家核安全保障局(NNSA))が連携
    - 国家課題へのエクサスケール応用: 材料, 核, 加速器, など
      - ブラックホールからの重力波の観測も
    - 莫大なエネルギー効率が必要: 予測・80~190MW→目標・20MW
    - 性能開発(予測): 1Eflop/s(2021~2023)→10Eflop/s(2030?)
    - 新規用途: VR/AR, AI/ML, 自動運転, など・さらに $10^3 \sim 10^6$ の性能向上が必要
    - 特化: 資源制限のある環境でより性能を引き出すための自然な方法
      - エクサスケール後の方向・極端なヘテロ集積に向かう
        - 何を含めるか?, コストモデルは?, などが重要
      - ハイパースケール計算(HPC)が特定ドメインアーキテクチャ(DSA)をけん引
    - HPCのチャンス: 新たな経済モデル・オープンチップレット市場
      - ODSA(オープンDSAプロジェクト)がハイパースケールデータセンタ向けに設置
      - チップから脱出: パッケージ内集積・フォトニックMCM
    - 結論: 特化の生産性をいかに科学に利用するかをもっと真剣に考えよ
      - カーボンニュートラルHPCを2030年までに!

2023.01.27 Kazumi Hatayama

10

## 招待講演

- T. Chen (HKUST): AIoTのための超低電力AIアクセラレータ
  - AI HW: AIによる変革を牽引するキーデバイス
    - AIチップ(計算性能)→AIインフラ(アルゴリズム)→AIアプリ(データ)の3層が重要
  - 高精度なAI/MLには大きな計算性能とメモリ資源が必要・適合したHWが必要
  - 社会に遍在するAIアプリの牽引: HWの数桁の効率化と設計生産性の加速が必要
  - ACCESS: AI Chip Center for Emerging Smart Systems(Chen教授がセンター長)
    - HKUST(主導), Stanford, CUHK, U. Notre Dame, ほか7大学が参加
    - 技術戦略
      - 新規技術(メモリ, Siフォトニクス, など)をチップに統合, メモリ中心のアーキ, AI用設計メソッド, アプリ-アルゴリズム-HW協調設計
    - 協調設計と協調最適化により $10^2 \sim 10^3$ xの性能向上
    - メモリ内計算(CIM): フォノンノイマンボトルネックの解決手段
      - ReRAMベースCIM: ReRAMの高集積, 低電力性を活用
      - 3D ReRAM/CMOS集積: 様々な機関からの評価結果あり
      - ReRAMの主な課題: 自明でないD2D/C2Cばらつき→対策の提案も多数
  - 結論: AI HWには膨大なチャンスがある
    - AIoT対応には高エネルギー効率で高精度で実時間の埋込知能が重要
      - EDAとチップアーキの果たすべき役割は大きい

2023.01.27 Kazumi Hatayama

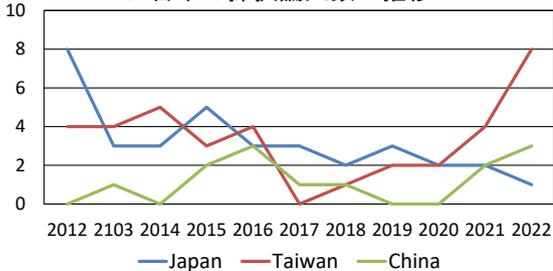
12

# 論文発表数の動向

- 採択論文数: 42件 (採択率は30%以下)
- 日本からは1件のみ
- 国別採択論文数は右図のとおり
  - 米国はやや回復も半数未満(38%→43%)
  - アジア勢は今年も躍進(29%→33%)
  - 台湾が2位に、中国も3件に増加
  - 残念ながら日本は1件に低迷

	ITC 2022	ITC 2021	ITC 2020	ITC 2019
USA	18	13	24	23
Japan	1	2	2	3
Taiwan	8	4	2	2
China	3	2	0	0
India	0	1	1	0
Other Asia	2	1	1	1
Germany	5	6	3	2
France	0	3	2	0
Netherland	1	1	1	1
Belgium	0	0	0	0
Italy	2	0	1	2
Greece	0	0	0	0
Poland	1	0	0	0
Austria	0	0	0	0
Sweden	1	1	1	1
Other Europe	0	0	1	0
Canada	0	0	1	1
Total	42	34	39	36

日台中の採択論文数の推移



# 分野別の状況

- 分野別の状況は以下のとおり
- 全体構成: やや変動あり
- ATPG/DFT関連が大幅に増加・AI関連も含む
- メモリテストも増加・新規メモリも含む
- AMS/RF関連も大幅に増加・年ごとの変動が大
- 3D-ICテストは引き続き0・回復はあるのか?
- 故障診断・歩留り改善関連が引き続き多数・AI活用が活発
- 車載関連(高信頼化), セキュリティも引き続き堅調

# 分野別論文発表数

- 前回(ITC2020)及び前々回(ITC2019)との比較

採択率	ITC2022	ITC2021	ITC2020
	<30% (42/?)	<30% (34/?)	<30% (39/?)
ディレイテスト/性能テスト	0	0	0
電力考慮テスト	2	0	1
ATPG(テスト生成)/テストデータ圧縮	5	2	2
DFT(テスト容易化)/BIST(組込み自己テスト)	6	1	4
メモリ/FPGAテスト	4	1	2
アナログ/ミクスドシグナルテスト	4	2	7
高速I/O/RFテスト	1	1	2
3D-ICテスト	0	0	0
その他のデバイステスト	0	1	1
ボード/システムテスト	0	0	0
機能テスト/システムレベルテスト	0	0	0
デバッグ/故障診断/歩留改善	11	11	11
アダプティブテスト/テスト結果データ活用	0	0	0
高信頼化/劣化対応	4	7	5
セキュリティ	5	5	4
テスト標準	0	2	0
その他	0	1	0
合計	42	34	39

# ATPG/DFT関連

- Session B1/B2: Innovation with Machine Learning I/II
- Session C2: New Frontiers in Test Content
- Session D2: Test of HW Accelerators I
- Session D4: Automotive I
- Session E5: Analog Test, Diagnosis, Test Cost, All-In-One
- Session B6: Scan-Based Learning and Diagnosis
- Session E6: Industrial Practices III
- Session A7: Test Generation
- Session B7: Low-Power and Test
  - ATPG/DFT関連では一般13件, ショート3件, 企業1件の講演あり (一覧は次スライド&次々スライド)
  - B1.1, E6.3及びB7.3について紹介

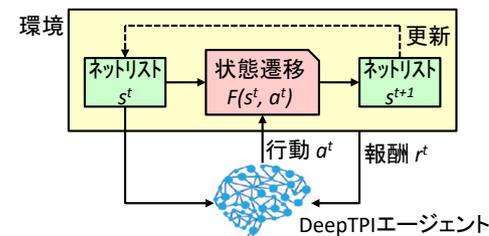
# ATPG/DFT関連 (cont.)

No.	タイトル	著者	所属
B1.1	DeepTPI: Test Point Insertion with Deep Reinforcement Learning	Z. Shi*, M. Li, S. Khan, Q. Xu, L. Wang, N. Wang, Y. Huang	CUHK, Huawei
B1.2	Efficient and Robust Resistive Open Defect Detection Based on Unsupervised Deep Learning	Y. Liao*, Z. Najafi-Haghi, H.-J. Wunderlich, B. Yang	U. Stuttgart
B2.1	Neural Fault Analysis for SAT-based ATPG	J. Huang, H.-L. Zhen*, N. Wang, H. Mao, M. Yuan, Y. Huang	Huawei
D2.3	Compact Functional Test Generation for Memristive Deep Learning Implementations Using Approximate Gradient Ranking	S. Ahmed, M. Tahoori*	Karlsruhe I.T.
D4.3	PPA Optimization of Test Points in Automotive Designs	B. Foutz*, S. Singhal, P. Rai, K. Chakravadhanula, V. Chickermane, B. Nandakumar, S. Chillarige, C. Papamaleitis, S. Ravichandran	Cadence
B6.1	Scan-Based Test Chip Design with XOR-based C-Testable Functional Blocks	Y.-F. Chen, D.-Y. Kang*, K.-J. Lee	NCKU
E6.2	Reusing IEEE 1687-Compatible Instruments and Sub-Networks over a System Bus	F. Ghani Zadegan, Z. Zhang, K. Petersén, E. Larsson*	Lund U
E6.3	Multi-die Parallel Test Fabric for Scalability and Pattern Reusability	A. Sinha*, Y. Cho, J. Easter, M. V. Leiva Rojas	Intel

# 講演の概要: B1.1

## ・Z. Shi (CUHK): DeepTPI—深層強化学習(DRL)を用いた検査点挿入

- ・検査点挿入(TPI): LBISTにおけるテスト容易性向上手法・故障検出率向上に有効
- ・従来のAI利用手法: 教師あり学習・ヒューリスティック手法で限界あり
- ・提案手法(DeepTPI): TPIをDRLとして定式化, エージェントを訓練し効果を最大化
- ・TPIを逐次意思決定過程としてマルコフ決定過程(MDP)でモデル化
- ・グラフNN(GNN)と深層Q学習NW(DQN)を組み合わせることでエージェントをインスタンス化
  - ・エージェントの概要: 以下の3処理を実行
    - ・前処理: 回路(GNN)に対して事前学習済DeepGateモデルにより特徴を埋設
    - ・DQN: 離散行動空間をもつMDPにより故障検出条件を学習
    - ・TP選択: 期待報酬を最大化するように行動(追加TPの位置と種類)を選択



# ATPG/DFT関連 (cont.)

No.	タイトル	著者	所属
A7.1	Compression-Aware ATPG	X. Wang*, Z. Wang, N. Wang, W. Zhang, Y. Huang	U. CAS, Huawei
A7.2	DIST: Deterministic In-System Test with X-Masking	J. Tyszer, B. Wlodarczak, G. Mrugalski, J. Rajski*	Poznan U.T., Siemens
A7.3	Test Generation for an Iterative Design Flow with RTL Changes	J. Joe*, I. Pomeranz, N. Mukherjee, J. Rajski	Purdue U., Siemens
B7.2	ML-Assisted Vmin Binning with Multiple Guard Bands for Low Power Consumption	W.-C. Lin*, C.-H. Hsieh, J.-M. Li, C. Chen; E.-W. Fang, S.-Y. Hsueh	NTU, MediaTek
B7.3	Comprehensive Power-Aware ATPG Methodology for Complex Low-Power Designs	L. Manchukonda*, E. Tsai, K. Abdel-Hafez, M. Dsouza, K. Natarajan, S. Lai, W. Hsueh	Synopsys, MediaTek
E5.4s	Transforming an n-Detection Test Set into a Test Set for a Variety of Fault Models	I. Pomeranz*	Purdue U.
E5.6s	GreyConE: Greybox Fuzzing + Concolic Execution Guided Test Generation for High Level Designs	M. Debnath, S. Sur-Kolay*, A Chowdhury, D. Saha	Indian Stat. I., NYU, U. Calcutta
B6.3s	A Comprehensive Learning-Based Flow for Cell-Aware Model Generation	P. d'Hondt*, A. Ladhar, P. Girard, A. Virazel	LIRMM, ST Micro
C2.3i	Low Capture Power At-Speed Test with Local Hot Spot Analysis to Reduce Over-Test	A. Srivastava*, J. Abraham	Qualcomm India

# 講演の概要: B1.1 (cont.)

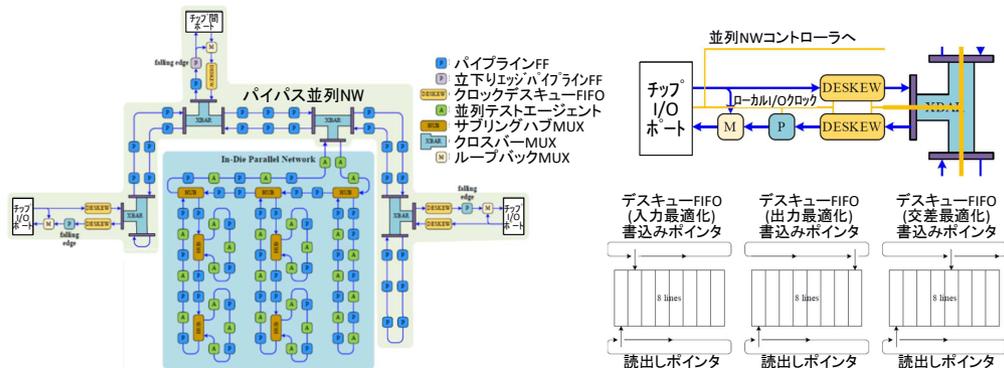
- ・実験評価: ベンチマーク回路(ITC99ほか, 8種)を使用
  - ・TP数をゲート数の1%に設定して, 検出率改善を市販ツールと比較
- ・実験結果
  - ・事前学習なしのエージェントでも市販ツールより約1%改善率が向上
  - ・事前学習ありのエージェント(DeepTPI)によりさらに約3%改善率が向上
- ・コード公開: <https://github.com/cure-lab/DeepTPI>

回路名	諸元					TP数	検出率改善		
	ゲート数	PI数	PO数	レベル数	検出率		市販ツール	訓練前	訓練後
b15_C	27.8k	485	449	158	90.61%	278	0.89%	1.02%	2.59%
b20_C	61.6k	522	507	165	90.60%	616	0.72%	1.66%	4.42%
b21_C	62.8k	522	507	167	89.73%	628	0.53%	1.69%	4.78%
b22_C	91.5k	767	750	173	91.70%	915	0.74%	1.48%	3.89%
i2c	3.4k	136	127	34	86.11%	34	3.61%	3.12%	8.33%
max	9.4k	512	129	333	52.65%	94	5.69%	4.84%	10.36%
b17_C	99.4k	1,452	1443	234	86.84%	994	1.12%	3.68%	4.83%
mem_ctrl	127.3k	1,028	967	195	69.95%	1,273	2.39%	5.93%	7.03%
Avg.							1.96%	2.93%	5.78%

# 講演の概要 : E6.3

- A. Sinha (Intel): スケーラビリティとパターン再利用のためのマルチチップテスト構造
  - 論理大規模化: 1チップへの搭載は歩留りが低下→チップ分割が標準的技法に
    - 一部機能は最先端プロセスが不要な場合もある
    - 異種チップ集積パッケージ
  - 提案手法: 複数チップを横断してスケーラブルな構造テストファブリック
    - STF
    - バイパス並列NWとチップ内並列NWを独立して実装
    - デスキューFIFOによりクロックツリー遅延の精密調整が可能
    - 統合したクロックとリセットの制御・分配・転送

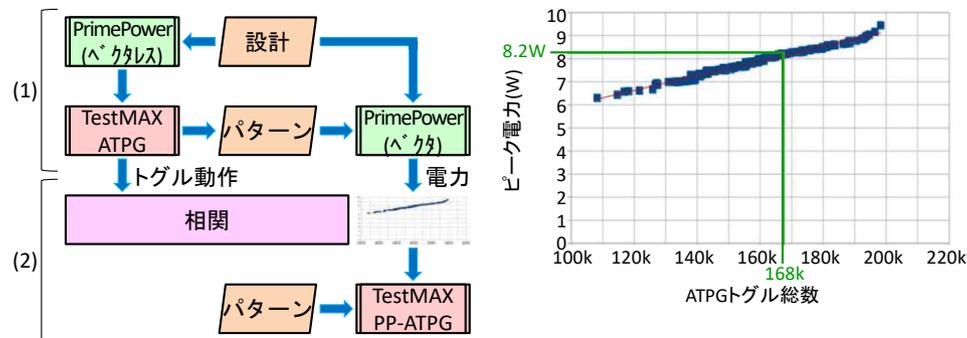
STF: Structural Test Fabric



2023.01.27 Kazumi Hatayama 21

# 講演の概要 : B7.3

- L. Manchukonda (Synopsys): 複雑な電力考慮設計向け包括的電力考慮ATPG手法
  - 低電力化: 微細化とともに論理規模が拡大→低電力化がより重要に
  - テスト時消費電力がシリコン立上げ、システム内テストを含めて極めて重要化
  - 提案手法: ATPGでの見積りとATEでの実消費電力を高精度モデルにより整合化
    - 電力解析ツールから抽出した情報を利用してテスト生成&消費電力レポート
    - 2段階電力考慮テスト生成フロー: Synopsysツール(PrimePower/TestMAX)で構成
      - サンプルパターン生成でトグルと電力を相関付け→適切な制約でテスト生成

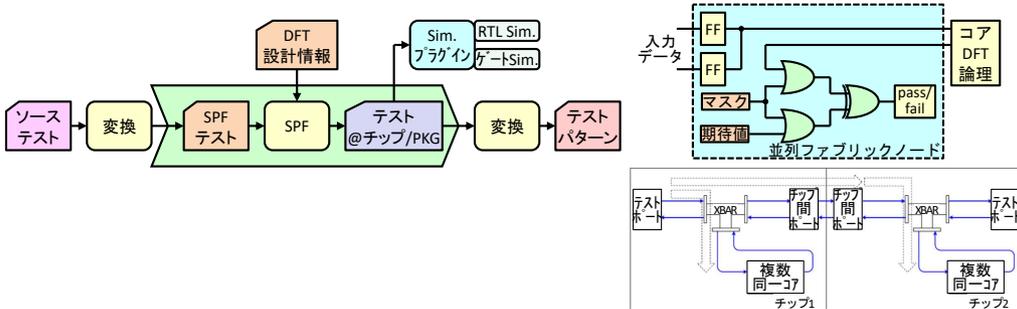


2023.01.27 Kazumi Hatayama 23

# 講演の概要 : E6.3 (cont.)

PDL: Procedure Description Language  
ICL: Instrument Connectivity Language

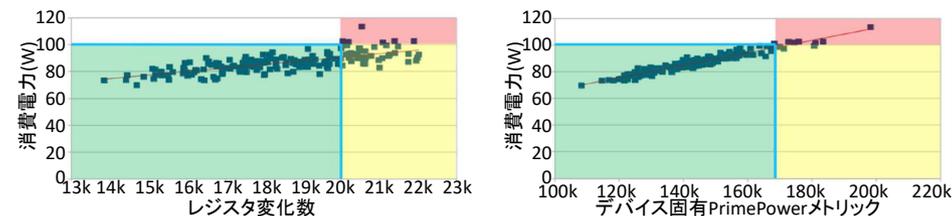
- テスト生成メソッドロジ
  - SFTのSW構成: 種々のテストの再利用に適用可能な枠組み
    - SPFテスト言語(PDLに類似)とDFT設計情報(ICLに類似)を使用
  - 同一ブロックテスト戦略: ブロードキャストモードにより同時にテスト
    - DFT論理の出力をブロードキャストした期待値と比較し良否を判定
  - パッケージレベルでの利用: ブロードキャストモードをパッケージで利用可能
    - ファブリックの経路制御のみでチップ1のテストをチップ2にも適用可能
  - IEEE 1838との比較: 詳細は少し異なるが基本的にほぼ同様の機能を持つ
    - 相違点の例: フレキシブルパラレルポート(1838)vsバイパスNW(SPF)



2023.01.27 Kazumi Hatayama 22

# 講演の概要 : B7.3 (cont.)

- 実験評価: MediaTek社の製品を用いてプレSi及びポストSiでデータを取得
  - 遷移故障ATPGにおける>2GHzの高速テストでのキャプチャ電力低減に適用
- 実験結果: 従来のレジスタ変化率制約とPrimePowerメトリックによる制約を比較
  - 従来方式: 多数の偽陽性(黄色の部分)が存在
  - 有効なパターンを棄却
  - 提案方式: 偽陽性がほとんどなし
  - ほとんどの有効パターンを採択
  - QoR評価: 提案方式が従来方式より少ないパターン数で同等の検出率を実現



タイプ	ATPG QoR			順序セル	組合せセル
	検出率	パターン数	処理時間	ピーク変化率/数	ピーク変化率/数
制約なし	97.0%	14,120	11.8h	14.58%/35,745	11.79%/713,725
レジスタ変化率8%	97.0%	24,544	1.90h	8.00%/19,605	8.07%/488,962
電力制限100W	97.0%	18,138	1.53h	10.33%/25,324	7.70%/466,241

2023.01.27 Kazumi Hatayama 24



# AI応用関連

- Session B1/B2: Innovation with Machine Learning I/II
- Session C2: New Frontiers in Test Content
- Session D2/B4: Test of HW Accelerators I/II
- Session B3: Latest on Wafer Map Analytics
- Session C3: Memory Test/Diagnosis
- Session E4: Industrial Practices II
- Session B5: Analog Testing
- Session E5: Analog Test, Diagnosis, Test Cost, All-In-One
- Session B6: Scan-Based Learning and Diagnosis
- Session D6: Automotive II
- Session B7: Low-Power and Test
  - AI応用関連では一般12件, ITC-Asia推薦2件, ショート5件, 企業5件の講演あり(うち12件は他の分類に含まれる)  
(一覧は次から3スライド, 他の分類に含まれるものは網掛け)
  - B3.2及びB3.3iについて紹介

# AI応用関連(cont.)

No.	タイトル	著者	所属
B2.2a	Improving Test Quality of Memory Chips by a Decision Tree-Based Screening Method	Y-C. Cheng*, M-D. Shieh, P-Y. Tan, C-W. Wu, C-H. Chuang, G. Liao	NCKU, NTHU, TSMC
B2.3a	Fault Resilience Techniques for Flash Memory of DNN Accelerators	S-K. Lu*, Y-S. Wu, J-H. Hong, K. Miyase	NTUST, NUK, Kyutech
B4.4s	RIBoNN: Designing Robust In-Memory Binary Neural Network Accelerators	S. Kundu*, K. Basu, A. Malhotra, S. Gupta, A. Raha	UT-Dallas, Purdue U., Intel
B6.4s	Runtime Fault Diagnostics for GPU Tensor Cores	S. Hukerikar*, N. Saxena	NVIDIA
B4.3s	The Impact of On-chip Training to Adversarial Attacks in Memristive Crossbar Arrays	B. Paudel*, S. Tragoudas	S. Illinois U.
E5.1s	Efficient Low Cost Alternative Testing of Analog Crossbar Arrays for Deep Neural Networks	K. Ma*, A. Saha, C. Amarnath, A. Chatterjee	Georgia Tech.
B6.3s	A Comprehensive Learning-Based Flow for Cell-Aware Model Generation	P. d'Hondt*, A. Ladhar, P. Girard, A. Virazel	LIRMM, ST Micro

# AI応用関連(cont.)

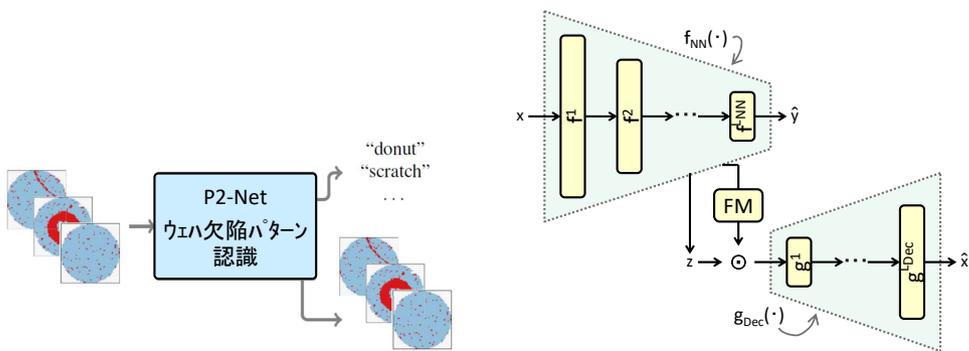
No.	タイトル	著者	所属
B1.3	RCANet: Root Cause Analysis via Latent Variable Interaction Modeling for Yield Improvement	X. Zhang*, E. Young, S. Hu, Z. Chen, S. Zhu, J. Hao, P. Li, C. Chen, Y. Huang	CUHK, Huawei
D2.1	A Multi-level Approach to Evaluate the Impact of GPU Permanent Faults on CNN's Reliability	J. Rodriguez Condia*, J. G. Balaguera, M. Sonza Reorda, F. F. dos Santos, P. Rech	P. Torino, INRIA, U. Trento
B3.2	Wafer Map Defect Classification Based on the Fusion of Pattern and Pixel Information	Y. Liao*, P. Genssler, H. Amrouch, B. Yang, R. Latty	U. Stuttgart, Advantest Europe
C3.2	Fault Modeling and Testing of Memristor-Based Spiking Neural Networks	K-W. Hou*, H-H. Cheng, C. Tung, C-W. Wu, NTHU; J-M. Lu	NTHU, ITRI
B1.1	DeepTPI: Test Point Insertion with Deep Reinforcement Learning	Z. Shi*, M. Li, S. Khan, Q. Xu, L. Wang, N. Wang, Y. Huang	CUHK, Huawei
B1.2	Efficient and Robust Resistive Open Defect Detection Based on Unsupervised Deep Learning	Y. Liao*, Z. Najafi-Haghi, H-J. Wunderlich, B. Yang	U. Stuttgart
B2.1	Neural Fault Analysis for SAT-based ATPG	J. Huang, H-L. Zhen*, N. Wang, H. Mao, M. Yuan, Y. Huang	Huawei
C2.1	Automatic Structural Test Generation for Analog Circuits using Neural Twins	J. Talukdar, A. Chaudhuri*, K. Chakrabarty, M. Bhattacharya	Duke U., Synopsys
D2.3	Compact Functional Test Generation for Memristive Deep Learning Implementations Using Approximate Gradient Ranking	S. Ahmed, M. Tahoori*	Karlsruhe I.T.
B5.1	ML-Assisted Bug Emulation Experiments for Post-Silicon Multi-Debug of AMS Circuits	J-Y. Lei*, A. Chatterjee	Georgia Tech.
D6.1	Unsupervised Learning-based Early Anomaly Detection in AMS Circuits of Automotive SoCs	A. Arunachalam*, A. Kizhakkayil, S. Kundu, K. Basu, A. Raha, S. Banerjee, F. Su, X. Jin	UT-Dallas, Intel, NXP
B7.2	ML-Assisted Vmin Binning with Multiple Guard Bands for Low Power Consumption	W-C. Lin*, C-H. Hsieh, J-M. Li, C. Chen, E-W. Fang, S-Y. Hsueh	NTU, MediaTek

# AI応用関連(cont.)

No.	タイトル	著者	所属
B3.3i	Wafer Defect Pattern Classification with Explainable-Decision Tree Methodology	K-C. Cheng*, A-A. Huang, C-S. Lee, L-Y. Chen, P-Y. Liao, N-Y. Tsai, K-M. Li, S-J. Wang	NXP Taiwan, NSYSU, NCHU
B3.4i	Yield-Enhanced Probing Cleaning with AI-Driven Image and Signal Integrity Pattern Recognition for Wafer Test	N. Sinhabahu*, S, J. Wang, K-M. Li, J-D. Li, S-J. Wang	NXP Taiwan, NSYSU, NCHU
B4.2i	Defect-Directed Stress Testing Based on Inline Inspection Results	C. He*, P. Grosch, O. Anilturk, J. Witowski, C. Ford, R. Kalyan, J. Robinson, D. Price, J. Rathert, B. Saville	NXP, KLA
E4.1i	Accurate Failure Rate Prediction Based on Gaussian Process Using WAT Data	M. Eiki*, M. Kajiyama, T. Nakamura, M. Shintani, M. Inoue	Sony, Kyoto I.T., NAIST
B4.1i	Functional In-Field Self-Test for Deep Learning Accelerators in Automotive Applications	T. Uezono; Y. He*, Y. Li	Hitachi, U. Chicago

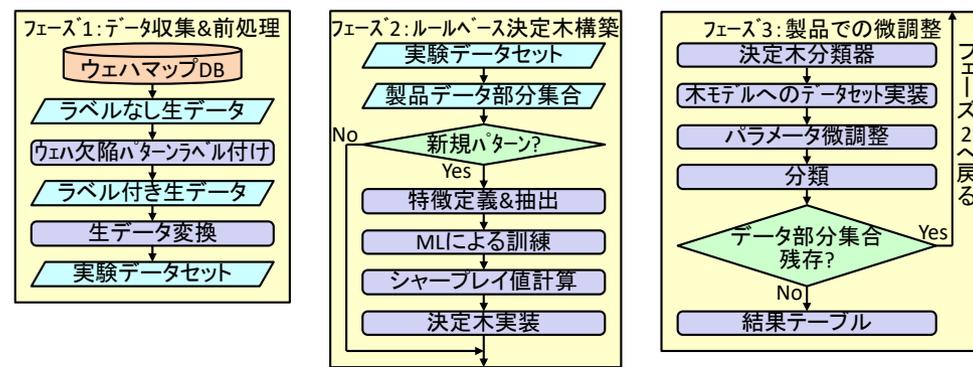
# 講演の概要 : B3.2

- Y. Liao (U. Stuttgart): パターンとピクセル情報の融合に基づくウェハマップ欠陥分類
  - ウェハマップ解析: 製品歩留り向上に重要・熟練者に頼るのは限界
  - DL/NN利用によりスケラブルに・ただし従来手法の大半はパターン分類に特化
  - 提案手法: NNに基づくマルチタスク学習により各チップ(ピクセル)の情報を利用
  - パターンとピクセル情報を融合したウェハマップ欠陥分類フレームワークを提示
    - P<sup>2</sup>-Net: 主NN(全体パターンの分類)とデコーダNW(各ピクセルの分類)で構成
    - 単純なNNでの実装が可能で、かつ先端技術と同等以上の性能を実現



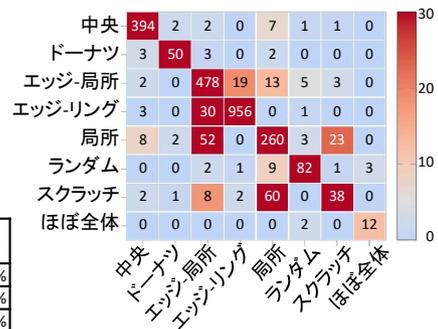
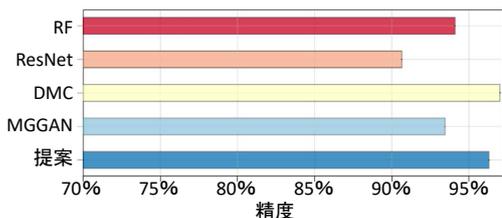
# 講演の概要 : B3.3i

- K-C. Cheng (NXP Taiwan): 説明可能な決定木手法を用いたウェハ欠陥パターン分類
  - IC製造プロセスが非常に複雑化・各工程で欠陥発生の可能性
  - ウェハマップ解析は問題のある工程の特定に重要
  - 提案手法: 欠陥パターン認識のためのルールベース分類手法
    - 原因となる欠陥に対する可能性のある結果(欠陥パターン)を定義してルール化
    - ルールに基づいて原因結果法により欠陥パターンを分類
    - 3フェーズ: データ収集&前処理 → ルールベース決定木構築 → 製品での微調整



# 講演の概要 : B3.2 (cont.)

- 実験評価: WK-811k(811,457ウェハ, 172,950は欠陥あり)データセットを使用
  - 欠陥分類は9パターン(「なし」を含む)
  - 提案手法と従来手法(ランダムフォレスト(RF), 欠陥マップ分類(DMC), 等)を比較
- 実験結果
  - 全体分類精度: 提案手法が他と遜色ない精度(96.3%)を持つことを確認
  - パターンごとの精度: 最も精度の高いDMCと比較しても「局所」以外は同等以上
  - 分類の矛盾: 「スクラッチ」に対する誤分類が多い・元のマップで除去したため



# 講演の概要 : B3.3i (cont.)

- 実験評価: NXP社の製品6種(車載用(A1-A3), 民生用(C1-C3))を使用
  - 各製品の欠陥ウェハマップ数を下表に示す
  - 2種の従来のMLベース分類器(決定木, XGBoost)と比較
  - 実験結果: 提案手法は従来手法とほぼ同等の分類精度を高速で実現

製品	中心	ドーナツ	エッジ-局所	半分-全体	局所	全体	リング	スクラッチ	扇形	テニス	なし	ウェハ数
A1			52		40	8	110				776	986
A2	18		51		3		38	11			81	202
A3			42		26		604	34			868	1574
C1			49		7		90	12		45	15	219
C2		53	72		35	14	112	36	14		1042	1277
C3					4			26			318	344

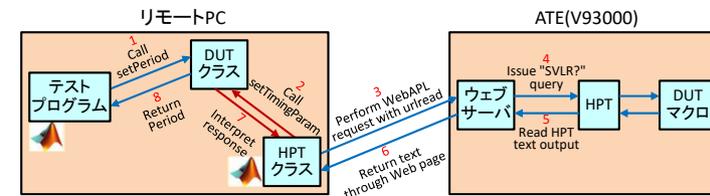
製品	分類精度(%)			実行時間(s)		
	提案	決定木	XGBoost	提案	決定木	XGBoost
A1	95.84	96.45	<b>97.36</b>	<b>938</b>	1467	1469
A2	<b>86.63</b>	81.73	86.07	<b>302</b>	582	584
A3	91.10	88.56	<b>92.21</b>	<b>1038</b>	5593	55976
C1	82.11	<b>88.84</b>	80.90	<b>472</b>	845	847
C2	<b>91.07</b>	90.91	89.58	<b>4180</b>	5869	5873
C3	95.05	96.50	<b>97.10</b>	<b>204</b>	561	563
平均	90.30	90.50	<b>90.52</b>	<b>1189</b>	2486	2489

# セキュリティ関連

- Session A3/A4: Hardware Security I/II
- Session B4: Test of HW Accelerators II
- Session E4: Industrial Practices II
  - セキュリティ関連では一般5件, ショート3件, 企業1件の講演あり (一覧は次スライド)
  - A3.3及びA4.4sについて紹介

# 講演の概要:A3.3

- F. Stellari (IBM): 14nmスキャンチェーンの信頼性調査と  
そのハードウェアセキュリティへの応用
- LSIの重要分野への適用が拡大・回路レベルの信頼性の確保が重要
  - ROによる測定が一般的・ただし, 回路の詳細な知識が必要
- 提案内容: スキャンチェーンを利用した高電圧ストレスによる劣化加速の影響調査
  - IDDQとタイミング性能(スキャンフラッシュテストの遅延)の変化を監視
  - テストパターンの選択の影響に注目
- 測定環境: プローブ装置に搭載したDUTをATE(V93000)と接続して測定
  - ソフト構成: Matlab/Pythonで開発したテストプログラムでATEをPCから自動制御
  - DUT: 14nm SOIマクロ, 576スキャンチェーン(チェーン長は256/512の2種類)
    - 主要論理ブロック: 16, 各々6本のスキャンチェーンを6組合む
  - 電圧ストレス: 一定電圧ストレス(CVS)と傾斜電圧ストレス(RVS)の両方を使用

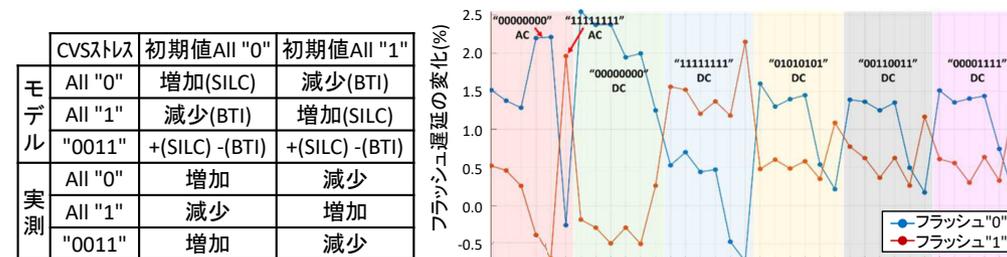


# セキュリティ関連(cont.)

No.	タイトル	著者	所属
A3.1	RTL-FSMx: Fast and Accurate Finite State Machine Extraction at the RTL for Security Applications	R. Kibria*, M. Rahman, F. Farahmandi, M. Tehranipoor	U. Florida
A3.2	TAMED: Transitional Approaches for LFI Resilient State Machine Encoding	M. Choudhury*, M. Gao, S. Tajik, D. Forte	U. Florida
A3.3	Reliability Study of 14 nm Scan Chains and Its Application to Hardware Security	F. Stellari, P. Song*	IBM
A4.1	Modeling Challenge Covariances and Design Dependency for Efficient Attacks on Strong PUFs	H. Wang*, W. Liu, H. Jin, Y. Chen, W. Cai	Huazhong U. S&T
A4.2	ADWIL: A Zero-Overhead Analog Device Watermarking Using Inherent IP Features	U. Das*, M. Muttaki, M. Tehranipoor, F. Farahmandi	U. Florida
A4.3s	Circuit-to-Circuit Attacks in SoCs via Trojan-Infected IEEE 1687 Test Infrastructure	M. Portolan*, A. Pavlidis, H. Stratigopoulos, G. Di Natale, E. Faehn	CNRS, Sorbonne U, ST Micro
A4.4s	Hardware Root of Trust for SSN-based DFT Ecosystems	J. Tyszer, B. Wlodarczak, J. Rajski*, M. Trawka	Poznan U.T., Siemens
B4.3s	The Impact of On-chip Training to Adversarial Attacks in Memristive Crossbar Arrays	B. Paudel*, S. Tragoudas	S. Illinois U.
E4.5i	Zero Trust Approach to IC Manufacturing and Testing	B. Buras*, C. Xanthopoulos, J. Kim, K. Butler	Advantest America

# 講演の概要:A3.3 (cont.)

- 測定戦略: 各パターンで動的スキャン(1チェーン/組)と静的スキャン(残り)を複合
  - パターンごとに異なるチェーンを動的スキャン・様々なパターンで変化を測定
  - BTI(バイアス温度不安定性)とSILC(ストレス起因リーク電流)による劣化を考慮
- IDDQ測定結果: 単純な線形モデルを設定し実測結果と比較
  - 定性的に非常に良く一致することを確認
- スキャンフラッシュテスト遅延測定結果
  - 変化率の高いパターンでより大きな遅延増を確認
- ハードウェアセキュリティへの適用
  - サブスレッシヨルドIDDQ値が顕著に変化→新品と中古/偽造品の判別が可能

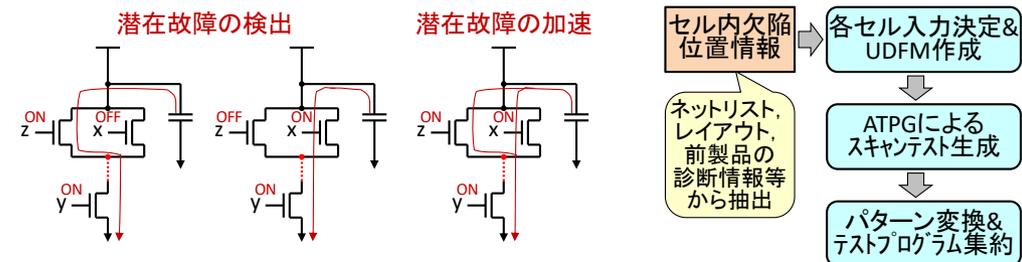


# 車載IC関連

- Session A1: New Frontiers in Fault Modeling
- Session C2: New Frontiers in Test Content
- Session B4: Test of HW Accelerators II
- Session D4/D6: Automotive I/II
- Session E6: Industrial Practices III
- 車載IC関連では一般10件, 企業事例1件の講演あり  
(一覧は次スライド, うち3件はATPG/DFT, AMS/RFテスト関連に分類)
- C2.2について紹介

# 講演の概要: C2.2

- S. Natarajan (Intel): DEFCON – 内容最適化を通じた欠陥の加速
  - 設計手法と製造プロセスの進化: 性能向上に寄与・品質確保の課題が増加
  - チップ欠陥の早期スクリーニング: コストと品質の両面で重要
  - 提案手法: 潜在欠陥の加速に重点をおいたストレステスト用テストパターン生成
    - 欠陥検出と欠陥加速では入力すべきパターンが異なる点に着目
    - 潜在短絡欠陥の2点間の電圧と潜在開放欠陥を通過する電流を最大化
    - テスト生成フロー: 様々なデータに基づくセル内欠陥位置情報を利用
      - セル入力決定&故障モデル化→テスト生成→テストプログラム集約

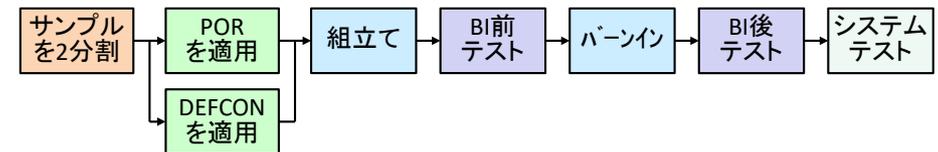


# 車載IC関連(cont.)

No.	タイトル	著者	所属
A1.2	Error Model (EM) - A New Way of Doing Fault Simulation	N. Saxena*, A. Lotfi	NVIDIA
A1.3	Using Custom Fault Modelling to Improve Understanding of Silicon Failures	S. Kundu*, G. Bhargava, L. Endrinal, L. Ranganathan	UT-Dallas, Qualcomm
C2.2	DEFCON: Defect Acceleration through Content Optimization	S. Natarajan*, A. Sathaye, C. Oak, N. Chaplot, S. Banerjee	Intel
D4.1	An Innovative Strategy to Quickly Grade Functional Test Programs	P. Bernardi*, A. Francesco, S. Quer, L. Cardone, A. Calabrese, D. Priumatti, A. Niccoletti, D. Appello, V. Tancorre, R. Ugioli	P. Torino, ST Micro
D4.2	A Practical Online Error Detection Method for Functional Safety Using Three-Site Implications	K. Ioki*, Y. Kai, K. Miyase, S. Kajihara	Rohm, Kyutech
D6.2	Just-Enough Stress Test for Infant-Mortality Screening Using Speed Binning	C-L. Tsai, S-Y. Huang*	NTHU
D6.3	Existence of Single-Event Double- Node Upsets (SEDU) in Radiation- Hardened Latches for Sub-65 nm CMOS Technologies	M-H. Hsiao, P-T. Wang*, C-W. Liang, H-P. Wen	NYMCTU
B4.1i	Functional In-Field Self-Test for Deep Learning Accelerators in Automotive Applications	T. Uezono, Y. He*, Y. Li	Hitachi, U. Chicago
D4.3	PPA Optimization of Test Points in Automotive Designs	B. Foutz*, S. Singhal, P. Raj, K. Chakravadhanula, V. Chickermane, B. Nandakumar, S. Chillarige, C. Papameletis, S. Ravichandran	Cadence
D6.1	Unsupervised Learning-based Early Anomaly Detection in AMS Circuits of Automotive SoCs	A. Arunachalam*, A. Kizhakkayil, S. Kundu, K. Basu, A. Raha, S. Banerjee, F. Su, X. Jin	UT-Dallas, Intel, NXP
E6.1	Probeless DfT Concept for Testing 20k I/Os of an Automotive Micro-LED Headlamp Driver IC	H. von Staudt*, L. Elnawawy, S. Wang, L. Ping; J. Choi	Dialog, Samsung

# 講演の概要: C2.2 (cont.)

- 実験評価: 最近のクライアント製品を使用
  - スキャンストレステストをスキャン論理のほとんどの部分に対して生成
- 実験結果: 既存手法(POR)と提案手法(DEFCON)を比較
  - DEFCONによるストレスにより多くの潜在欠陥が加速できることを確認



対象テスト	組立て前	BI前	BI後	システム
歩留り差	0.60%	0.40%	-0.20%	-0.30%

歩留り差はPOR歩留り-DEFCON歩留り

# ITC2022の特徴

・今回のITC2022の特徴をまとめると以下のとおり。

- (1) AI応用, セキュリティ, 車載が引き続きホット
  - ・とくにAI関連はAIチップのテストも含めて非常に活発
  - ・やはりこれらがテスト技術のドライバという位置づけは不変
- (2) ATPG/DFT関連の講演が大幅増
  - ・AI応用&AIチップの重要テーマの1つとなっている
  - ・今後の動向に注目したい
- (3) アジアとくに台湾の進出が目立った
  - ・採択論文全体の19%を占め, 昨年ドイツ(18%)を超えた
  - ・中国も3件と2016年に並ぶ
  - ・日本からの論文投稿の活発化をお願いしたい

# ご参考: VTS開催一覧

	Year	Date	Location		Year	Date	Location
1st	1983	03/30-03/31	Atlantic City	23rd	2005	05/01-05/05	Palm Springs
2nd	1984	03/21-03/22	Atlantic City	24th	2006	04/30-05/04	Berkeley
3rd	1985	04/01-04/02	Atlantic City	25th	2007	05/06-05/10	Berkeley
4th	1986	03/18-03/19	Atlantic City	26th	2008	04/27-05/01	San Diego
5th	1987	03/24-03/25	Atlantic City	27th	2009	05/03-05/07	Santa Cruz
6th	1988	03/22-03/23	Atlantic City	28th	2010	04/19-04/22	Santa Cruz
7th	1989	04/11-04/13	Atlantic City	29th	2011	05/01-05/04	Dana Point
8th	1990	04/10-04/11	Atlantic City	30th	2012	04/23-04/26	Maui
9th	1991	04/16-04/18	Atlantic City	31st	2013	04/29-05/01	Berkeley
10th	1992	04/07-04/09	Atlantic City	32nd	2014	04/14-04/16	Napa
11th	1993	04/06-04/08	Atlantic City	33rd	2015	04/27-04/29	Napa
12th	1994	04/25-04/28	Cherry Hill	34th	2016	04/24-04/27	Las Vegas
13th	1995	04/30-05/03	Princeton	35th	2017	04/09-04/12	Las Vegas
14th	1996	04/28-05/01	Princeton	36th	2018	04/22-04/26	San Francisco
15th	1997	04/27-04/30	Monterey	37th	2019	04/23-04/25	Monterey
16th	1998	04/26-04/30	Monterey	38th	2020	04/27-10 Mo.	Virtual
17th	1999	04/25-04/29	Dana Point	39th	2021	04/25-04/28	Virtual
18th	2000	04/30-05/04	Montreal	40th	2022	04/25-04/27	Virtual
19th	2001	04/29-05/03	Los Angeles	41th	2023	04/24-04/26	San Diego
20th	2002	04/28-05/02	Monterey				
21st	2003	04/27-05/01	Napa				
22nd	2004	04/25-04/29	Napa				

2003-2006: プログラム委員, 2007-2018: 実行委員  
2007-2010: IP Track 2011-2014: Special Sessions  
2015-2016: Publicity (Vice Chair) 2017-2018: Asian Initiative

# ITC2023もアナハイムで

- ・ITC2023は10/8(日)~13(金)にアナハイムで開催される予定
  - 投稿締切(アブストラクト): 3/20(月)
  - 投稿締切(最終論文): 4/3(月)→採否通知: 6/12(月)
- ・詳細はWebサイト([www.itctestweek.org/](http://www.itctestweek.org/))を参照



**International Test Conference**

October 8-13, 2023

Disneyland, Anaheim, CA