

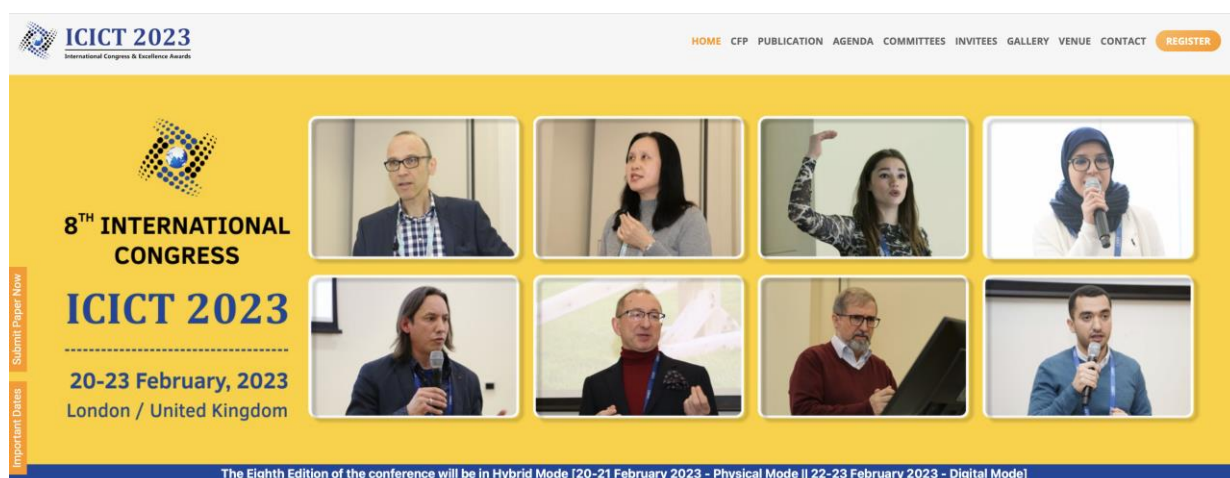
Report in ICICT 2023

群馬大学院 理工学府 電子情報・数理教育プログラム
修士2年 飯森大翼
2023年2月23日

日時：2022年2月20～2月23日

場所：Physical & Digital (in London, UK)

目的：ICICT(Digital)発表



ICICT とは？

ICICT(International Congress on Information and Communication Technology)は、ICT とそれを支える電子農業・農村開発技術、電子教育・コンピューティング技術、電子鉱業、ICT による工学・経営応用のための包括的技術に関する最先端かつ新たなトピックを対象としている。また、研究者、学術関係者、企業関係者、学生が交流し、情報通信技術の現在のトレンドと戦略に関するアイデア、経験、専門知識を交換する機会を提供することを目的としている。

ICICT: <https://icict.co.uk/home.php>

[学会のページ](#)

2023年2月24日 : Digital で発表

「12bit 1ps Resolution Time-to-Digital Converter for LSI Test System」

Daisuke Iimori³, Takayuki Nakatani³, Shogo Katayama³, Misaki Takagi³, Yujie Zhao³, Anna Kuwana³,
 Kentaroh Katoh³, Kazumi Hatayama³, Haruo Kobayashi³,
 Keno Sato⁴, Takashi Ishida⁴, Toshiyuki Okamoto⁴, Tamotsu Ichikawa⁴

International Congress on Information and Communication Technology (ICICT 2023)
 2023/02/23

12bit 1ps Resolution Time-to-Digital Converter for LSI Test System

Gunma University
 Daisuke Iimori, T. Nakatani, S. Katayama, M. Takagi
 Y. Zhao, A. Kuwana, K. Katoh, K. Hatayama, H. Kobayashi

ROHM Co., Ltd.
 K. Sato, T. Ishida, T. Okamoto, T. Ichikawa

Kobayashi Lab.
 Gunma University

発表の様子(タイトル、自己紹介)

Research Objective

Proposed method

- Low cost
- Using only discrete components
- Fine time resolution

TDC (Time-to-Digital Converter)

- Digital output from time differences between edges
- 1ps resolution with state-of-the-art dedicated IC

4/26

発表の様子(研究目的)

Linearity Evaluation During Variable Delay

Graph 1: TDC code vs. Variable Delay (0ps to 4ps). Data points: (1ps, 274.3), (2ps, 274.2), (3ps, 274.3), (4ps, 274.6). Legend: Row data 1st (blue circle), Row data 2nd (blue triangle), Row data 3rd (blue square), Ideal for 1p resolution (red line).

Graph 2: TDC code vs. Variable Delay (0ps to 4ps). Data points: (1ps, 274.23), (2ps, 274.27), (3ps, 274.33), (4ps, 274.5). Legend: Row data (blue line), Ideal for 1p resolution (red line).

Legend: ■ +INL=1ps, -INL=2ps ■ +INL=0.3ps, -INL=0.7ps

23/26

発表の様子(データ比較)

Conclusion

High Resolution Time-to-Digital Converter for LSI Test System

- SAR TDC : Upper 9-bit
 - Using only discrete components
 - INL of ± 22 ps or less
- Vernier TDC : Lower 3-bit
 - Normalized integral values of time outputs
 - Derive cumulative distribution function
 - Jitter adjustment
 - INL ± 1 ps
 - Standard analogue modules in LSI test system
 - Low cost, Fine time resolution

⇒ 12-bit 1ps resolution

25/26

発表の様子(まとめ)

■ 最後に

International Test Conference (ITC2021), VLSI Test Symposium (VTS2022) に引き続き 3 回目そして最後の国際会議発表であったが、準備及び発表を通じてスライドの体裁や英語力といった課題を感じた。今後、このような学会で発表する機会があるかわからないが、この貴重な経験を糧に社会人としても精進していきたい。

この学会発表のためにご指導頂いた小林春夫教授、中谷隆之先生、桑名杏奈先生、研究にご協力頂いたローム(株)の佐藤賢央様、関係者各位、そして、会議を無事に開催して頂いた ICICT 運営の皆さまに心から感謝を申し上げます。

