

# 任意信号帯域のマルチビット複素バンドパス

## $\Delta\Sigma$ AD 変調器用 DWA アルゴリズム

傘 昊\*, 萩原広之, 元澤篤史, 山田佳央, 小林春夫 (群馬大学)

DWA Algorithms for Multibit Complex Bandpass  $\Delta\Sigma$ AD Modulators of Arbitrary Signal Band  
Hao SAN\*, Hiroyuki HAGIWARA, Atsushi MOTOZAWA, Yoshihisa YAMADA, Haruo KOBAYASHI (Gunma University)

### Abstract

This paper describes Data-Weighted-Averaging (DWA) algorithms for multibit complex bandpass  $\Delta\Sigma$  AD modulators with arbitrary signal bands. In most of bandpass  $\Delta\Sigma$ AD modulators, their sampling frequency is chosen as four times of the center frequency of their signal band in order to simplify the following digital filter design. But with this relationship, their performance would be limited by the third harmonics of the input signal because it is aliased into the signal band; hence recently some bandpass  $\Delta\Sigma$ AD modulators whose the sampling frequency is not at four times of their signal center frequency are proposed to avoid this problem. Our proposed DWA algorithms are applicable to such multibit complex bandpass  $\Delta\Sigma$ AD modulators whose sampling frequency is not necessarily at four times of the signal center frequency; these algorithms are realized by applying our previously developed multi-bandpass (N-path) DWA algorithms to 2-channel DACs in complex modulators. We have verified their operation by Matlab simulation.

キーワード：複素  $\Delta\Sigma$  変調器, マルチビット, DWA アルゴリズム, エラー補正, ノイズシェーピング  
(Complex  $\Delta\Sigma$  Modulator, Multi-bit, DWA Algorithm, Error Correction, Noise Shaping)

### 1. はじめに

携帯電話や無線 LAN 等の通信システムの RF 受信回路において、低中間周波数 (Low-IF) 受信機アーキテクチャは有力な方式の一つである。この方式で 2 つの「1 入力 1 出力  $\Delta\Sigma$ AD 変調器」を使用すると、信号成分のみならずイメージ成分も AD 変換を行うため消費電力の観点から非効率である。一方、複素バンドパス  $\Delta\Sigma$ AD 変調器は信号成分のみの AD 変換を行うため、より低消費電力で AD 変換器が実現でき、このアプリケーションに適している<sup>(1)–(5)</sup>。一般にバンドパス  $\Delta\Sigma$ AD 変調器の設計では、その後段のデジタル・フィルタの設計を簡単化するため、変調器のサンプリング周波数  $f_s$  を入力信号周波数  $f_{in}$  の 4 倍を選んでいる<sup>(7)</sup>。しかし  $f_s = 4f_{in}$  の関係では、入力信号の 3 次高調波はサンプリングにより信号帯域に折り返され、変調器全体の SNDR を劣化させてしまう。この高調波歪みの影響による性能劣化を避けるために、 $\Delta\Sigma$ AD 変調器のサンプリング周波数を入力信号周波数の 4 倍ではなく、それ以外の任意周波数を選択する方式が提案されている<sup>(6)</sup>。(後段のデジタルフィルタは複雑になるが、最近の VLSI 技術の進歩によりデジタル部のコスト・性能は問題がなくなってきた。)

一方、 $\Delta\Sigma$ AD 変調器の内部 ADC/DAC をマルチビットで構成する方式が内部オペアンプのスルーレート性能要求が緩和され、低次ループフィルタで高 SNDR が実現できるので、低消費電力化が可能となるので広く使われてきている。しかしそこでは変調器内部のマルチビット DAC の非

線形性が問題となり、変調器の性能を劣化させてしまう<sup>(7)</sup>。この問題を解決するためダイナミック・エレメント・マッチング法、エレメント・ローテーション法等のアルゴリズムが提案されている。我々は先に複素バンドパス  $\Delta\Sigma$ AD 変調器用にマルチビット DAC の非線形性の影響を軽減できるアルゴリズムを開発したが、変調器の動作周波数  $f_s$  が入力周波数の 4 倍である場合のみに対応している<sup>(8)</sup>。

そこでこの論文では、変調器の動作周波数  $f_s$  が入力周波数の 4 倍という関係ではない任意帯域のマルチビット複素バンドパス  $\Delta\Sigma$ AD 変調器に適用できる DWA アルゴリズムを開発したので報告する。これは先に開発した 1 入力 1 出力の場合のマルチバンドパス  $\Delta\Sigma$  変調器の DWA アルゴリズム<sup>(9)</sup> を複素バンドパス変調器に応用したものである。提案 DWA アルゴリズムを用いた任意帯域のマルチビット複素バンドパス  $\Delta\Sigma$ AD 変調器の性能改善への有効性を Matlab によるシミュレーションで確認した。

### 2. 任意信号帯域のマルチビット複素バンドパス $\Delta\Sigma$ AD 変調器

2.1 複素バンドパス  $\Delta\Sigma$ AD 変調器 複素バンドパス  $\Delta\Sigma$ AD 変調器はに示すように、複素バンドパスフィルタ、二つの量子化器 (ADC)、二つの DA 変換器 (DAC) から構成される (図 1)。

入力信号を  $X(z) = I_{in} + jQ_{in}$ ,  
出力信号を  $Y(z) = I_{out} + jQ_{out}$ ,  
AD 変換器の量子化ノイズを  $E_q(z) = E_i + jE_q$

および 複素フィルタの伝達関数を  $H(z)$  とすると、その

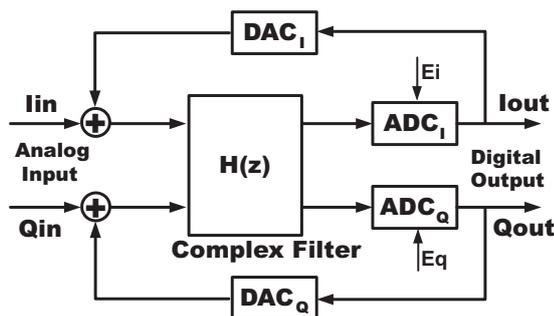


図 1 複素バンドパス ΔΣAD 変調器の構成.

入出力関係は以下ようになる。

$$I_{out} + jQ_{out} = \frac{H(z)}{1 + H(z)}(I_{in} + jQ_{in}) + \frac{1}{1 + H(z)}(E_i + jE_q) \cdot (1)$$

ここで信号伝達関数  $STF(z)$ 、ノイズ伝達関数  $NTF(z)$  を次のように定義する。

$$STF(z) := \frac{H(z)}{1 + H(z)} \dots \dots \dots (2)$$

$$NTF(z) := \frac{1}{1 + H(z)} \dots \dots \dots (3)$$

I と Q の 2 入力 2 出力を持つ複素バンドパス ΔΣAD 変調器は二つのアナログ入力信号を同時に ΔΣ 変調し、二つのデジタル信号として出力する。変調器内の二つの ADC の量子化ノイズ  $E(z) = E_i + jE_q$  は複素ノイズ・シェーブされる。また変調器内の複素バンドパスフィルタの周波数特性は  $\omega = 0$  に対して対称ではない。すなわち  $\omega > 0$  と  $\omega < 0$  の周波数特性は異なり、一方が信号帯域(通過域)で他方がイメージ帯域(阻止域)となる。このため、低 IF 受信機で複素バンドパス ΔΣAD 変調器を用いる場合に信号帯域のみを AD 変換するので効率的である。2 つの (1 入力 1 出力)の実バンドパス ΔΣAD 変調器で AD 変換を行う構成では、信号帯域とイメージ帯域の両方を AD 変換するので、イメージ帯域成分の AD 変換は無駄となってしまう、消費電力の増加につながる。

2.2 任意信号帯域バンドパス ΔΣAD 変調器

一般にバンドパス ΔΣAD 変調器の設計では、その後段のデジタル・フィルタの設計を簡単化するため、変調器のサンプリング周波数  $f_s$  を入力信号周波数  $f_{in}$  の 4 倍を選ぶ<sup>(7)</sup>。しかしこの構成では帯域内信号の 3 次高調波がサンプリングにより信号帯域内に折り返されてしまう。図 2(a) で示すように、入力信号  $f_{in} = f_s/4 - \Delta f$  の 3 次高調波 ( $HD_{3rd}(f_{in}) = 3f_s/4 - 3\Delta f$ ) はサンプリングにより  $f_s/2$  を中心として折り返され、信号帯域内に  $f_s/4 - 3\Delta f$  のイメージ成分として現れ、変調器全体の SNDR を劣化させる。(3 次高調波だけでなく、5 次、7 次等の奇数次高調波も同様に信号帯域に折り返される。)

3 次高調波の折り返しによる性能劣化の影響を受けない方

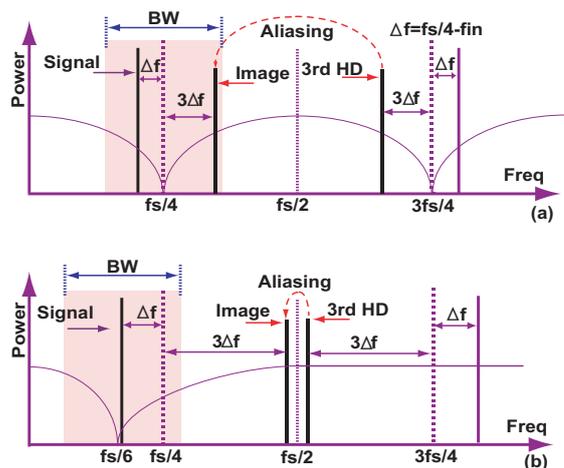


図 2 (a) 3 次高調波の折り返し信号による信号帯域への回り込み. (b) 3 次高調波の折り返し信号による信号帯域への回り込みの改善手法.

式が (1 入力 1 出力)の実バンドパス ΔΣAD 変調器で提案・実現されているが<sup>(6)</sup>、この方式は複素バンドパス ΔΣAD 変調器でも有効である。図 2(b) に示すように、入力信号帯域の中心周波数を  $f_s/4$  以外 (例えば  $f_{in} = f_s/6$ ) に選択することで、その 3 次高調波の折り返し信号は  $f_s/4$  から  $3\Delta f$  離れた場所 ( $f_s/2$  近辺) に現れる。この折り返し信号は信号帯域外に押し出されるため、SNDR への影響はないのは明らかである。

2.3 マルチビット ΔΣAD 変調器及び DAC 非線形性による性能劣化

ΔΣAD 変調器で高性能化(高精度・広帯域)低消費電力化を図るために変調器の内部 ADC/DAC をを 1 ビットではなく、マルチビットのものを用いる手法が広く使用されている。量子化ノイズが減るため、変調器をより低い次数で実現でき、安定性が確保しやすくなる。さらに、低い OSR で高い SNR を実現することができ、後段のデジタルフィルタも簡単化できる。また、内部 OP アンプの性能要求が緩和され、変調器回路の低消費電力化が可能になる。しかし原理的に線形性な 1 ビット DAC と対照的に、マルチビット DAC は非線形性により SNDR が劣化する。高精度の AD 変換を実現するために、マルチビット DAC 非線形性による性能劣化を軽減させる手法が必要である。

ΔΣAD 変調器内部マルチビット DAC の非線形性の影響を抑えるため、DA 変換器の入力段でデジタル信号処理を行う DWA アルゴリズムが提案されている。これらはいずれも(単一入出力)実バンドパス ΔΣAD 変調器を対象としている<sup>(10)</sup>。また、我々は複素バンドパス ΔΣAD 変調器に対応したアルゴリズム<sup>(8)</sup>を開発したが、それは変調器の動作周波数  $f_s$  は入力周波数の 4 倍である場合のみに対応している。この論文では、任意帯域(任意動作周波数)のマルチビット複素バンドパス ΔΣAD 変調器に対応した DWA アルゴリズムを提案する。

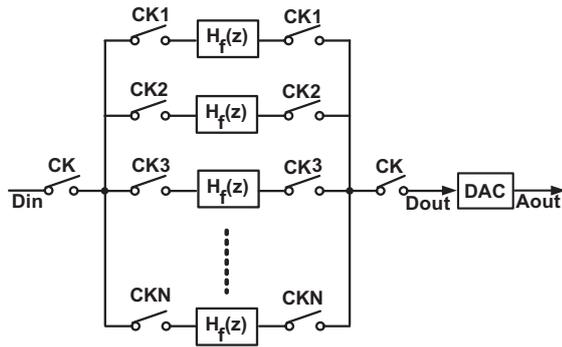


図3 任意帯域 DWA アルゴリズムの構成.

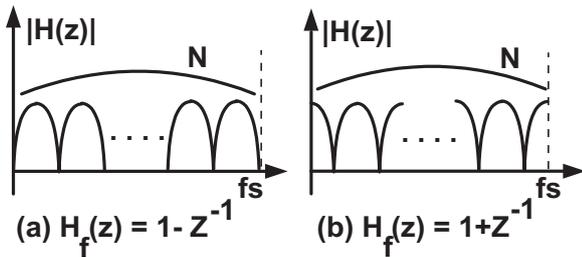


図4 Nパスフィルタの周波数応答.

### 3. 任意信号帯域の DWA アルゴリズム

我々は先に1入力1出力の任意帯域 DWA アルゴリズムを導出した<sup>(9)</sup>. その概略を以下に記す。(複素変調器の場合はこのアルゴリズムを2チャンネル DAC に対して適用すればよい.)

図3に1入力1出力の任意帯域 DWA アルゴリズムの構成を示す. ここでは, CK の周波数は  $f_s$  で, CK1, CK2, CK3, ..., CKN の周波数は  $f_s/N$  である. DAC 前段のフィルタは  $H_f(z)$  のインターリーブの構成となる.  $H_f(z)$  について, 2種類の構成を考える.

#### (a) DWA アルゴリズム 1: $H_f(z) = 1 - Z^{-1}$ の場合

DAC 前段のフィルタの伝達関数は  $H_1(z) = 1 - Z^{-N}$  となり, その周波数応答特性 (ゲイン特性) は図4(a)となる.  $H_1(z) = 0$  になるゼロ点 (変調器では複数の信号帯域中心周波数に対応)  $f_n$  は  $z = \exp(j2\pi f)$  を用いると次のように得られる.

$$f_n = \frac{n}{N} f_s.$$

ここで  $n = 0, 1, 2, 3, \dots$ , かつ  $n < N$  である. このように  $H_1(z)$  のゼロ点を  $f_s$  までの周波数軸に  $N$  箇所配置することで,  $N$  個の信号帯域ノイズシェーブすることが可能になる. DC 近辺にも信号帯域の一つであるため,  $N=1$  のときは DC 信号をノイズシェーブするローパス DWA となる.

#### (b) DWA アルゴリズム 2: $H_f(z) = 1 + Z^{-1}$ 場合

DAC 前段のフィルタの伝達関数は  $H_2(z) = 1 + Z^{-N}$  となり, その周波数応答特性は図4(b)である.  $H_2(z) = 0$

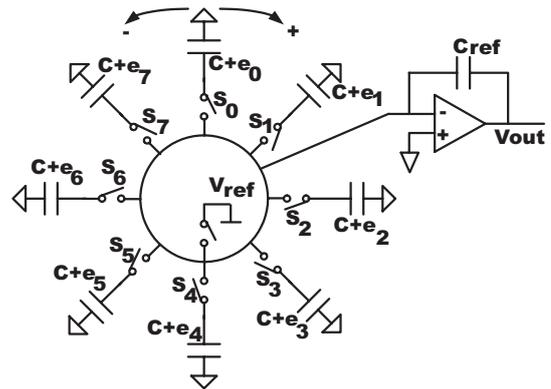


図5 キャパシタセルをリング状に並べた DAC.

になる複数の信号帯域中心周波数  $f_n$  は次のように得られる.

$$f_n = \frac{2n+1}{2N} f_s.$$

ここで  $n = 0, 1, 2, 3, \dots$ , かつ  $n < N$  である. このように  $H_2(z)$  のゼロ点を  $f_s$  までの周波数軸に  $N$  箇所配置することで,  $N$  個信号帯域に対し, ノイズシェーブすることが可能になる.

上述した2種類のアルゴリズムによって, 任意信号帯域に対して, ノイズシェーブを選ぶことが可能となる.

任意信号帯域の複素変調器の場合は上記の DWA アルゴリズムを2つの DAC に適用することでその非線形性の影響を軽減することができる.

### 4. 任意信号帯域の DWA アルゴリズムの実現法

上記2種類のフィルタを実現の概略を示す<sup>(9)</sup>. DWA アルゴリズムの実現では変調器内のスイッチド・キャパシタ回路で構成するセグメント型 DAC に対して以下のことを考える.

- キャパシタのセルをリング状配列する (図5).
- セル配列に方向性を設ける.  
このリング状 DAC では, 入力データに対して ON にするセルに正と負の方向性を考える.
- セル配列に Pointer を設ける.  
DAC のセルに番号をつけ, さらに ON になるキャパシタセルの位置を記憶する Pointer を設ける. 時刻  $n$  での DAC の Pointer を  $P(n)$  とする.

#### (a) $H_1(z) = 1 - Z^{-N}$ の実現法

DAC 前段のフィルタにおいて,  $H_f(z) = 1 - Z^{-1}$  の場合を考える.  $H_f(z) = 1 - Z^{-1}$  はローパス DWA を実現でき, フィルタの次数を  $N$  とすると, DAC 前段のフィルタは「 $N$  個のポインタをもってローパス DWA アルゴリズムを  $N$  個でインターリーブする」DWA アルゴリズムとなり, このとき DAC の非線形性は  $1 - z^{-N}$  でノイズシェーブされる.

$N = 4$  の場合の例を図6に示す. デジタル入力が, 4, 3,

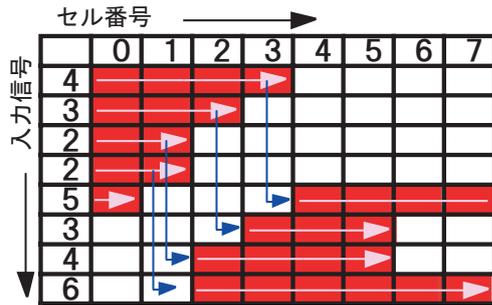


図 6  $N=4$  の場合  $H_1(z) = 1 - z^{-N}$  の動作例.

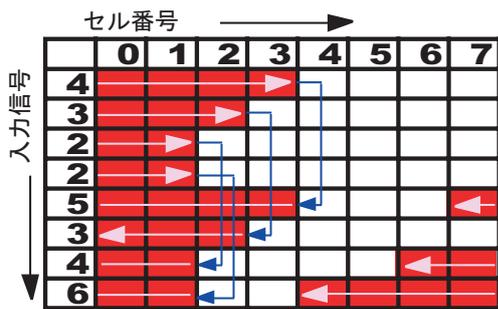


図 7  $N=4$  の場合  $H_2(z) = 1 + z^{-N}$  の動作例.

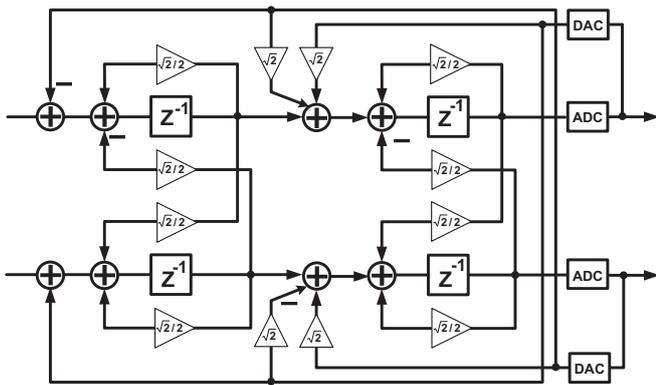


図 8 複素バンドパス  $\Delta\Sigma$ AD 変調器の構成.

2, 2, 5, 3, 4, 6 と逐次与えられたときのポイントの位置と選択されるセルの番号を示す。

(b)  $H_1(z) = 1 + Z^{-N}$  の実現法

DAC 前段のフィルタにおいて、 $H_f(z) = 1 + Z^{-1}$  の場合を考える。 $H_f(z) = 1 + Z^{-1}$  はハイパス DWA を実現でき、フィルタの次数を  $N$  とすると、DAC 前段のフィルタは「 $N$  個のポイントをもってハイパス DWA アルゴリズムを  $N$  個でインターリーブする」DWA アルゴリズムとなり、このとき DAC の非線形性は  $1 + z^{-N}$  でノイズシェーブされる。

$N = 4$  の場合の例を図 7 に示す。デジタル入力が 4, 3, 2, 2, 5, 3, 4, 6 と逐次与えられたときのポイントの位置と選択されるセルの番号を示す。

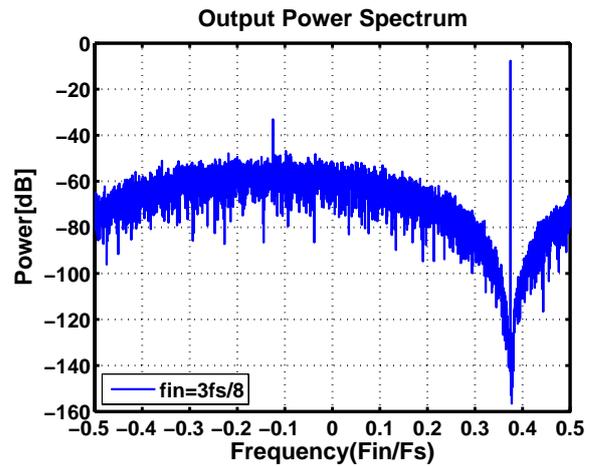


図 9 複素バンドパス  $\Delta\Sigma$ AD 変調器の出力パワー・スペクトラム.

5. シミュレーションによる DWA アルゴリズム有効性の確認

任意帯域のマルチビット複素バンドパス  $\Delta\Sigma$ AD 変調器用 DWA 提案アルゴリズムの有効性を確認するため MATLAB によるシミュレーションで検証を行った。シミュレーションで用いた複素バンドパス  $\Delta\Sigma$ AD 変調器は図 8 で示すように、2 次の複素バンドパス・フィルタ、3 ビットの ADC と DAC によって構成される、その変調器の STF と NTF は以下である。

$$STF(z) = z^{-2}$$

$$NTF(z) = z^{-2} \left( z - \left( \frac{-\sqrt{2}}{2} + j \frac{\sqrt{2}}{2} \right) \right)^2$$

図 9 には上記の変調器の出力パワー・スペクトラムを示し、入力信号の中心周波数は  $3f_s/8$  である。変調器で使用する DAC 回路は以下の四つのケースに分けてシミュレーションを行った (フィルタと ADC は同一とした) :

- (1) 線形な理想 DAC を用いた場合.
- (2) キャパシタにミスマッチがある従来式セグメント型 DAC を用いた場合.
- (3) キャパシタにミスマッチがあるセグメント型 DAC に DWA アルゴリズム 1 を用いた場合.
- (4) キャパシタにミスマッチがあるセグメント型 DAC に DWA アルゴリズム 2 を用いた場合.

図 10 には SNDR を比較したシミュレーション結果を示す。DAC に非線形性がある場合は理想のケースと比べて SNDR の劣化が大きい、提案した二つのアルゴリズムを用いた場合は、いずれも SNDR の改善が確認、その改善効果はほぼ同等である。

また、入力中心周波数は  $3f_s/8$  に対して、DAC の非線形性をノイズシェーブするためには、DWA アルゴリズム 1 を用いる場合、 $N = 8$  次のフィルタの実現が必要となるが、

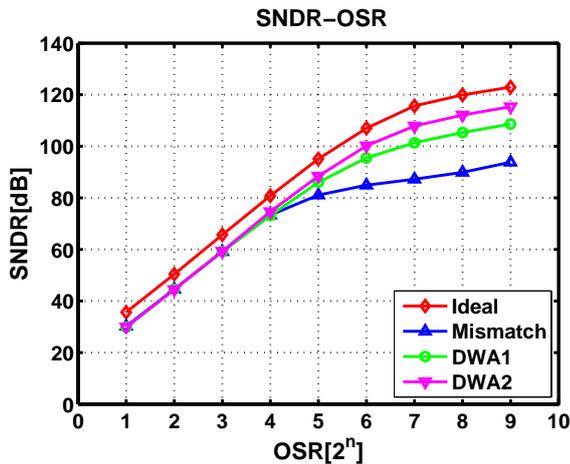


図 10 複素バンドパス  $\Delta\Sigma$ AD 変調器の SNDR vs OSR の比較.

DWA アルゴリズム 2 を用いる場合、 $N = 4$  次のフィルタの実現で対応出来る。従って、中心周波数  $f_n = \frac{2n+1}{2N} f_s$  の場合、DWA アルゴリズム 1 に比べ、DWA アルゴリズム 2 を用いる方は次数  $N$  が半分となり、より簡単に回路実現ができる。

## 6. まとめ

任意帯域のマルチビット複素バンドパス  $\Delta\Sigma$ AD 変調器に適用できる DWA アルゴリズムを提案した。これは先に開発した 1 入力 1 出力の場合のマルチバンドパス  $\Delta\Sigma$  変調器の DWA アルゴリズム<sup>(9)</sup> を複素バンドパス変調器に応用したものである。複素バンドパス  $\Delta\Sigma$ AD 変調器の中心周波数を  $f_s/4$  以外の任意帯域を選ぶことで、3 次高調波の信号帯域への回り込みによる SNDR 劣化を防ぎ、またマルチビット DAC の非線形による影響を軽減することで、複素バンドパス  $\Delta\Sigma$ AD 変調器の性能向上が見込める。Matlab によるシミュレーションで提案 DWA アルゴリズムの有効性を確認した。

## 参考文献

- (1) J. Crols, M. Steyeart, "Low-IF Topologies for High-Performance Analog Front Ends of Fully Integrated Receivers," *IEEE Trans. on Circuits & Systems II*, vol.45, no.3, pp.269-282 (March 1998).
- (2) N. Yaghini, D. Johns, "A 43mW CT Complex  $\Delta\Sigma$  ADC with 23MHz of Signal Bandwidth and 68.8 SNDR," *ISSCC Digest of Technical Papers*, vol.47, pp.502-503 (Feb. 2005).
- (3) S. A. Jantzi, K. W. Martin, A. S. Sedra, "Quadrature bandpass  $\Sigma\Delta$  modulator for digital radio," *IEEE Journal of Solid-State Circuits*, vol.32, pp.1935-1949 (Dec. 1997).
- (4) H. San, A. Hayasaka, Y. Jingu, H. Wada, H. Hagiwara, K. Kobayashi, H. Kobayashi, T. Matsuura, K. Yahagi, J. Kudoh, H. Nakane, M. Hotta, T. Tsukada, K. Mashiko, A. Wada, "Complex Bandpass  $\Delta\Sigma$ AD

Modulator Architecture with Dynamic Matching of I,Q Paths," *IEEEJ International Analog VLSI Workshop*, Bordeaux, France (Oct. 2005).

- (5) H. San, A. Hayakawa, Y. Jingu, H. Wada, H. Hagiwara, K. Kobayashi, H. Kobayashi, T. Matsuura, K. Yahagi, J. Kudoh, H. Nakane, M. Hotta, T. Tsukada, K. Mashiko, A. Wada, "Complex Bandpass  $\Delta\Sigma$ AD Modulator Architecture Without I, Q-Path Crossing Layout," *IE-ICE Trans. Fundamentals*, E89-A, no.4 (April 2006). (in press)
- (6) F. Ying, F. Maloberti, "A Mirror Image Free Two-Path Bandpass  $\Sigma\Delta$  Modulator with 72dB SNR and 86dB SFDR," *Tech. Digest of ISSCC*, pp.84-85, San Francisco (Feb. 2004).
- (7) S. R. Norsworthy, R. Schreier, G. C. Temes (editors), *Delta-Sigma Data Converters, - Theory, Design and Simulation*, IEEE Press, 1997.
- (8) H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, "A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass  $\Delta\Sigma$ AD Modulators," *IE-ICE Trans. on Fundamentals*, vol.E87-A, no.4, 792-800, (Apr 2004).
- (9) H. Hagiwara, A. Motozawa, H. Kobayashi, T. Komuro, H. San, "DWA Algorithms for Multi-Band-Pass  $\Delta\Sigma$  Modulators" ECT-05-91 pp.43-48, Nasu, Japan, (Dec 2005).
- (10) T. Shui, R. Schreier, F. Hudson, "Mismatch shaping for a current-mode multibit delta-sigma DAC," *IEEE Journal of Solid-State Circuits*, vol.34, pp.331-338, March 1999.