

高速バンドパス $\Delta \Sigma$ AD 変換器用デジタル・フィルタ

Digital Filter for High-Speed Bandpass $\Delta \Sigma$ ADC

石川 達之, 堀口 繁, ○ 小林 春夫, 岩佐 直樹, 高橋 伸夫

Tastuyuki ISHIKAWA, Shigeru HORIGUCHI, Haruo KOBAYASHI, Naoki IWASA, Nobuo TAKAHASHI
群馬大学工学部電気電子工学科 Gunma University, Electronic Engineering Dept.

1. はじめに

通信システムの発展に伴い、高周波、狭帯域の AD 変換器の需要が高まっている。バンドパス $\Delta \Sigma$ AD 変換器は、このような狭帯域高周波のアナログ信号を、高い精度でデジタル信号に変換する事ができる。また、 $\Delta \Sigma$ 変調方式の AD 変換器では、簡単なアナログ回路に対して、大規模なデジタル・フィルタ回路を必要とする。本報告では、このデジタル・フィルタ回路をマルチステージ実現した場合、最も高速で動作しなければならない初段部分の平行ル・アーキテクチャ構成を用いた実現を、実現に必要なアルゴリズムの説明とともに述べる。

2. バンドパス $\Delta \Sigma$ AD 変換器

バンドパス $\Delta \Sigma$ AD 変換器は、ラジオ周波数通信システム、スペクトルアナライザなどに応用される。その特徴は、前段のアナログ・フィルタが単純化されること、高精度なアナログ回路が不要であること、大規模なデジタル・フィルタ回路が必要であることである。その構成は、Fig.1 のようになる。 $\Delta \Sigma$ AD 変調器の出力は、ノイズシェーピングと呼ばれる量子化雑音が信号帯域外に集中したものとなる。また、オーバーサンプリングを用いるため、1ビットという低精度での変調が可能となる。デジタル・フィルタでは、この信号帯域外の量子化雑音の除去と、デシメーション(データの間引き)によるサンプリング・レートの変換を行う。今回は、サンプリング・レート 2GHz、信号帯域の中心周波数 500MHz、バンド幅 15MHz で 12ビット精度、または、30MHz で 10ビット精度の実現を目標とした(Fig.2)。

3. デジタル・フィルタ

3.1 高速化のためのハードウェア構成

バンドパス $\Delta \Sigma$ AD 変調器のサンプリング・レート 2GHz 出力に対応するため、次のようなハードウェア構成を用いて、高速化に対応した。①信号帯域の中心周波数がサンプリング・レートの 1/4 による複素変調の単純化②デシメーションによる演算回数の削減③単純な Sinc フィルタの適用④平行ル・アーキテクチャ構成。

3.2 複素変調

バンドパス信号は、複素変調を用いてベースバンドに周波数シフトすることができる。そのため、今回は、バンドパス・フィルタを複素変調とローパス・フィルタを用いて設計した(Fig.3)。複素変調は、信号に $\exp(-j\omega_0 n)$ を掛けることにより実現できる(ただし、 ω_0 : 信号帯域の中心正規化角周波数(Fig.4))。 $\exp(-j\omega_0 n)$ は、オイラーの公式より次のようになる。 $\exp(-j\omega_0 n) = \cos(\omega_0 n) - j\sin(\omega_0 n)$ (1)
 $\omega_0 = \pi/2$ つまり、信号帯域の中心周波数がサンプリング・レートの 1/4 のとき、式(1)の右辺の各項は、次のようになる。

$$\cos(\omega_0 n) = 1, 0, -1, 0, \dots (2)$$

$$-\sin(\omega_0 n) = 0, -1, 0, 1, \dots (3)$$

$\times -1$ は、入力信号を反転出力する、 $\times 0$ は、出力しない、 $\times 1$ は、入力信号をそのまま出力することなので、簡単な演算で複素変調を実現できる。

3.3 デシメーション

デジタル・フィルタの入力信号、つまり、バンドパス $\Delta \Sigma$ AD 変調器の出力信号は、1ビットであるのに対し、デジタル・フィルタの出力信号は、 n ビットの分解能を持つ。よって、この出力信号は、冗長な情報を含んでいる。そのため、この出力信号のデータを、間引くことが出来る。デシメーションを実現するデシメータは、デジタル・フィルタとダウンサンプリングからなる(Fig.5)。このデジタル・フィルタは、ダウンサンプリングによって生じる信号帯域内のエイリアジングを防ぐ。また、デシメータは、マルチステージ構成をとることが可能である(Fig.6)。このとき、初段のデシメータが最も高速に動作するので、今回は、この部分を設計した。

3.4 Sinc フィルタ

Sinc フィルタの伝達関数は、次のようになる。

$$H(z) = \frac{Y(z)}{X(z)} = \frac{1}{N} \sum_{i=0}^{N-1} z^{-i} (4)$$

今回は、Sinc フィルタを、乗算を必要とせず簡単な演算で処理できる、従属させることにより大きな減衰量が得られる、といったような特徴から、高速化に対応できるので、初段デシメータのデジタル・フィルタに採用した。また、Sinc フィルタをデシメータのフィルタとして用いる場合、 k 次ローパス $\Delta \Sigma$ AD 変調器のときは、 $k+1$ 段以上の Sinc フィルタが必要となる。 k 次ローパス $\Delta \Sigma$ AD 変調器と $2k$ 次バンドパス $\Delta \Sigma$ AD 変調器が対応するので、2 次バンドパス $\Delta \Sigma$ AD 変調器のときは、2 段以上、4 次バンドパス $\Delta \Sigma$ AD 変調器のときは、3 段以上の Sinc フィルタを設計しなければならない。

4. 提案するハードウェア構成

4.1 Sinc フィルタの基本構成

(4)式を変形すると、次のようになる。

$$H(z) = \frac{1}{N} \cdot \frac{1-z^{-N}}{1-z^{-1}} (5)$$

よって、Sinc フィルタのハードウェア構成は、Fig.7 のようになる。同様に 2 次バンドパス $\Delta \Sigma$ AD 変調器に対応する 2 段 Sinc フィルタ、4 次バンドパス $\Delta \Sigma$ AD 変調器に対応する 3 段 Sinc フィルタの基本構成は、それぞれ、Fig.8、Fig.9 のようになる。

4.2 Sinc フィルタのデシメーション構成

2 段 Sinc フィルタ、および、3 段 Sinc フィルタのデシメーション構成は、それぞれ、Fig.10、Fig.11 のようになる。これにより、複素変調と初段デシメーションがハードウェア実現できた。

5. 今後の課題

今回の構成をシミュレーションで確認したところ、2段 Sinc フィルタ、3段 Sinc フィルタともに、信号帯域での S/N 比が理論値とほぼ一致した。よって、今後の課題は、実際の回路設計である。このとき高速化に対応するために、データのシリアル・パラレル変換を CMOS 技術のデジタル・フィルタ側ではなく、GaAs HBT 技術の変調器側で行う、多入力の加算は Carry Save Adder を適用する、乗算はビット・シフトと加算で実行する、といったようなハードウェア構成をとる。

有意義な御討論をいただいた(株)テラテックの方々に謝意を表します。

参考文献:

- [1] 貴家仁志:「マルチレート信号処理」, 昭晃堂, (1995)
- [2] Roland E. Crochiere and Lawrence R. Rabiner: "Multirate Digital Signal Processing", Prentice-Hall, Inc., (1983)
- [3] Steven R. Norsworthy, Richard Schreier and Gabor C. Temes: "Delta-Sigma Data Converters", IEEE Inc., (1997)

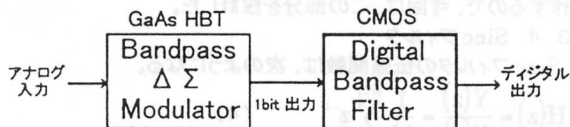


Fig.1 バンドパスΔΣAD変換器

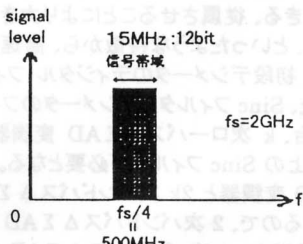


Fig.2 研究目標

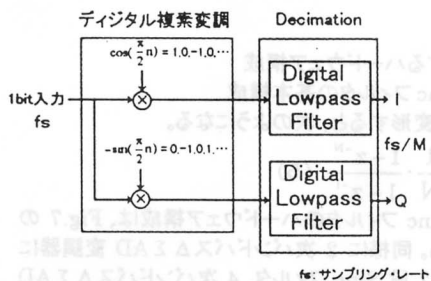


Fig.3 デジタル・フィルタの構成

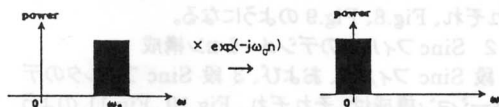


Fig.4 複素変調

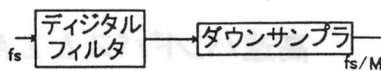


Fig.5 デシメータ

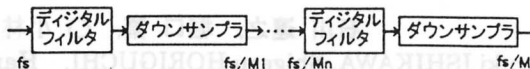


Fig.6 デシメータのマルチステージ構成

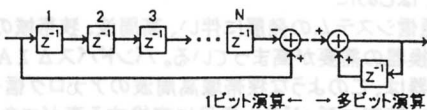


Fig.7 Sincフィルタのハードウェア構成

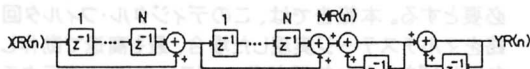


Fig.8 2段Sincフィルタのハードウェア構成

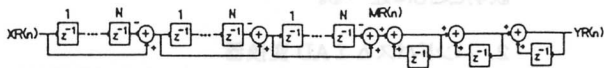


Fig.9 3段Sincフィルタのハードウェア構成

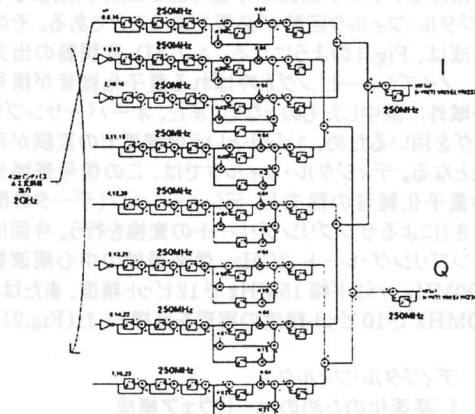


Fig.10 2段Sincフィルタのデシメーション構成

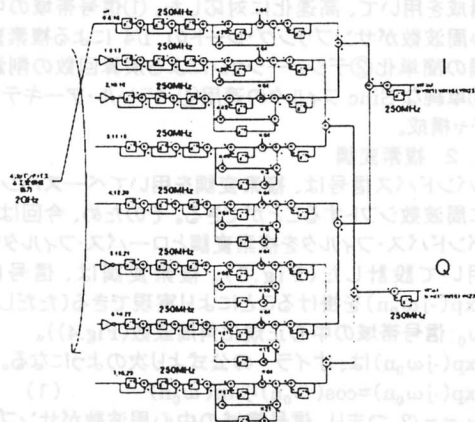


Fig.11 3段Sincフィルタのデシメーション構成