

第57回 FTC研究会

2007/07/21

アナログバウンダリスキャンの 評価計測と応用の検討

群馬大学

趙楠、高橋洋介、光野正志、小林春夫

富士通(株)

亀山修一、馬場雅之

発表内容

I .アナログバウンダリスキャンの背景と
富士通の取り組み

II .アナログバウンダリスキャンモジュールの評価

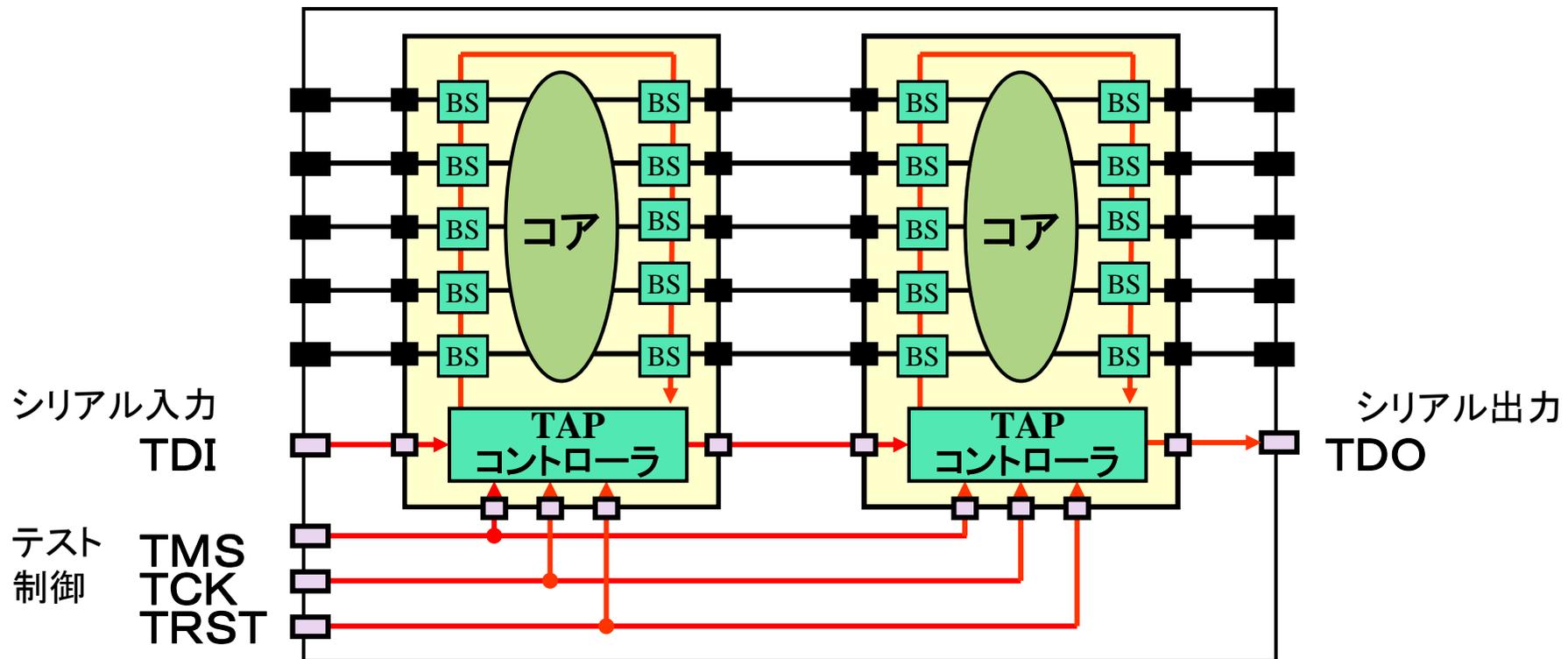
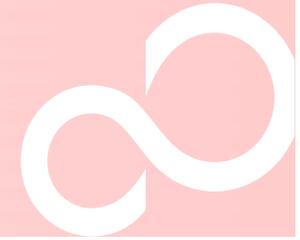
III .アナログバウンダリスキャンの応用

IV .まとめと今後の課題

I .アナログバウンダリスキャンの 背景と富士通の取り組み



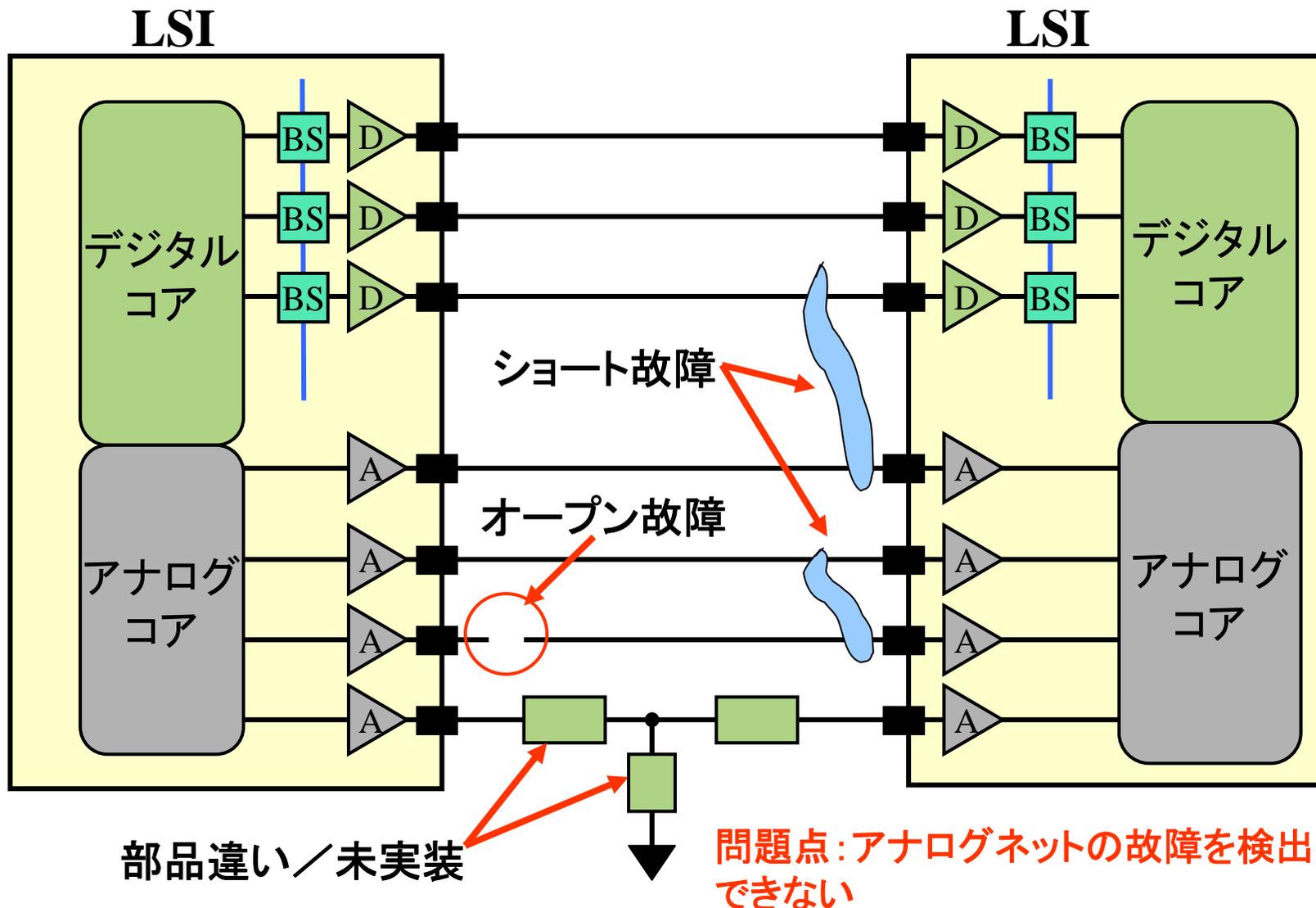
バウンダリスキャンテストとは



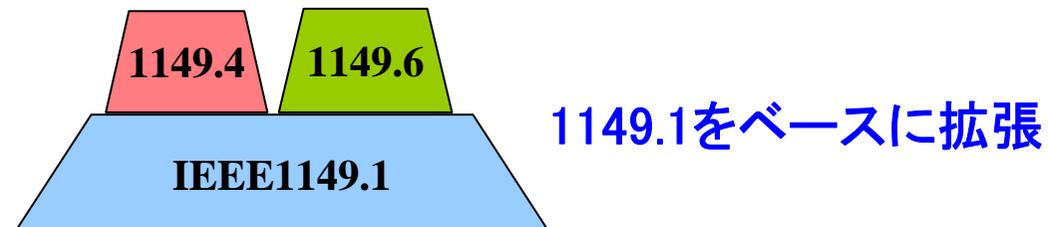
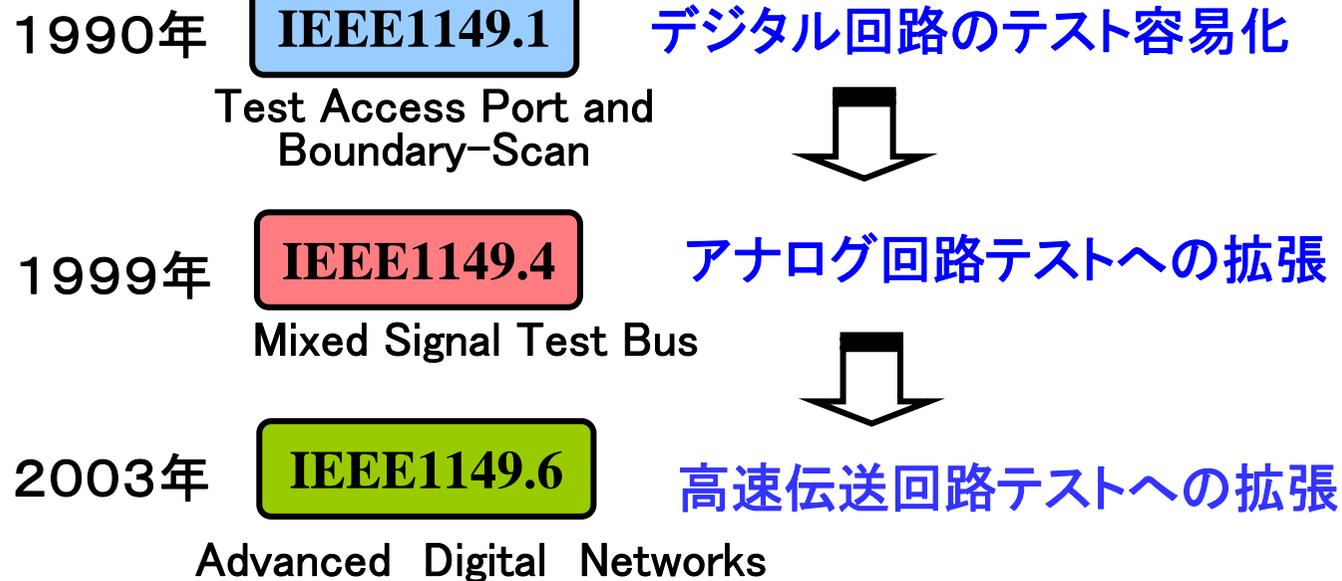
- プリント配線板上のLSI間の相互接続を容易に試験するための仕組み
- IEEE1149.X規格にて、LSIに組み込む回路や利用方法、機能記述(BSDL)等を規定
- 安価なテストコストで、高い故障検出率と短時間テストを実現

バウンダリスキャンテスト(IEEE1149.1)の問題点

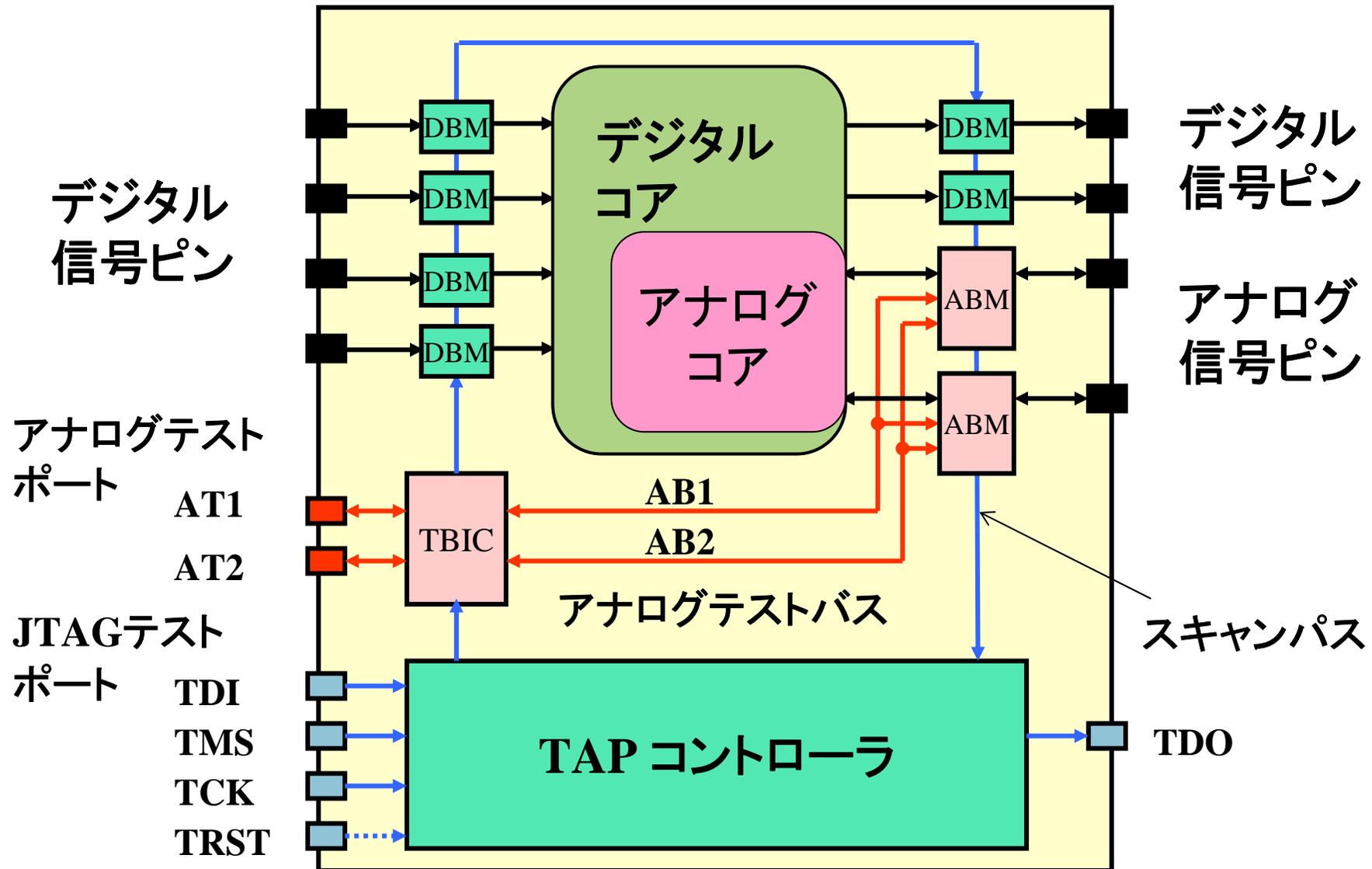
-アナログコアを含むSOCへの対応-



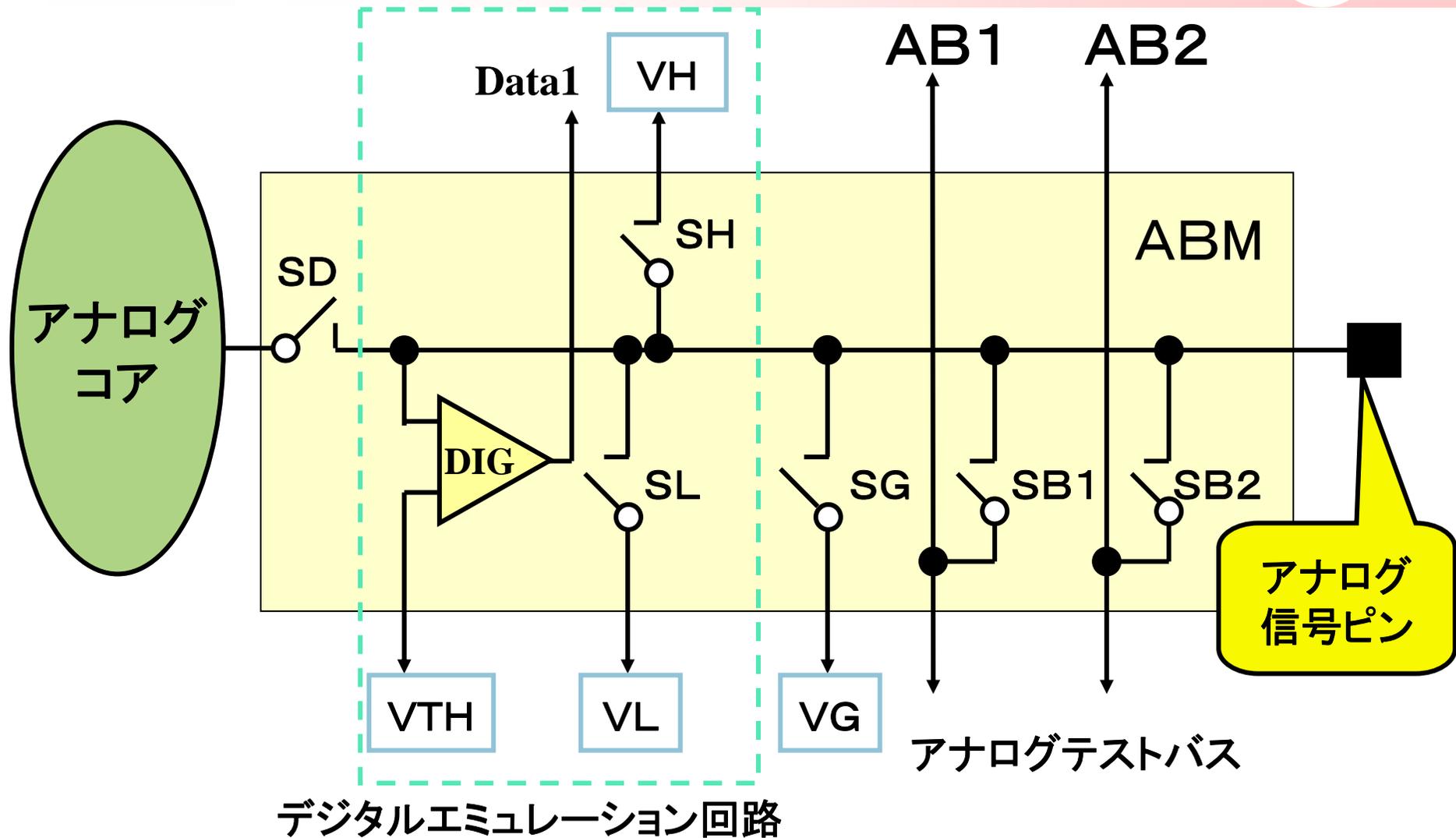
バウンダリスキャンテスト規格 IEEE1149.Xの動向



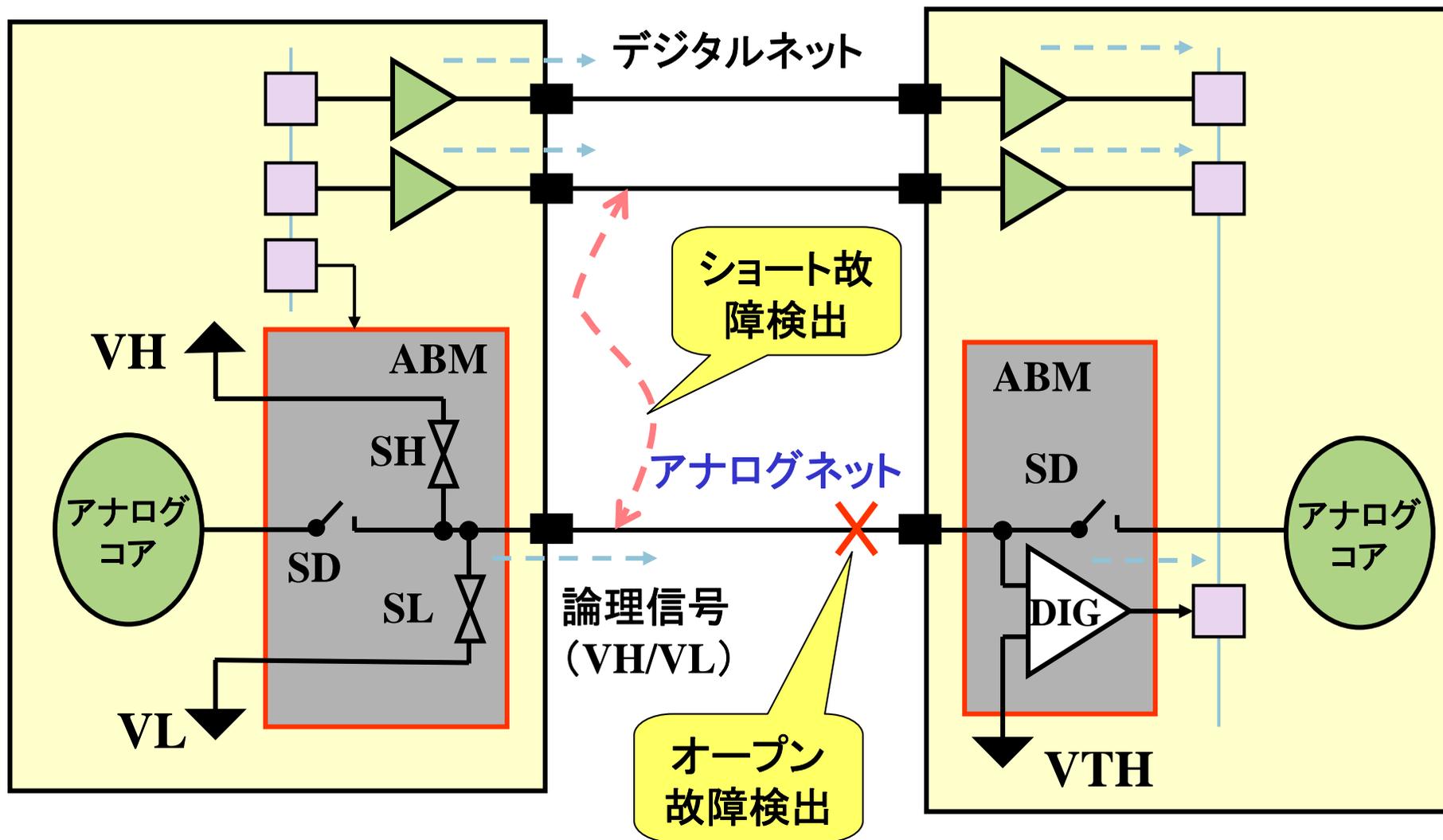
IEEE1149.4デバイス構造



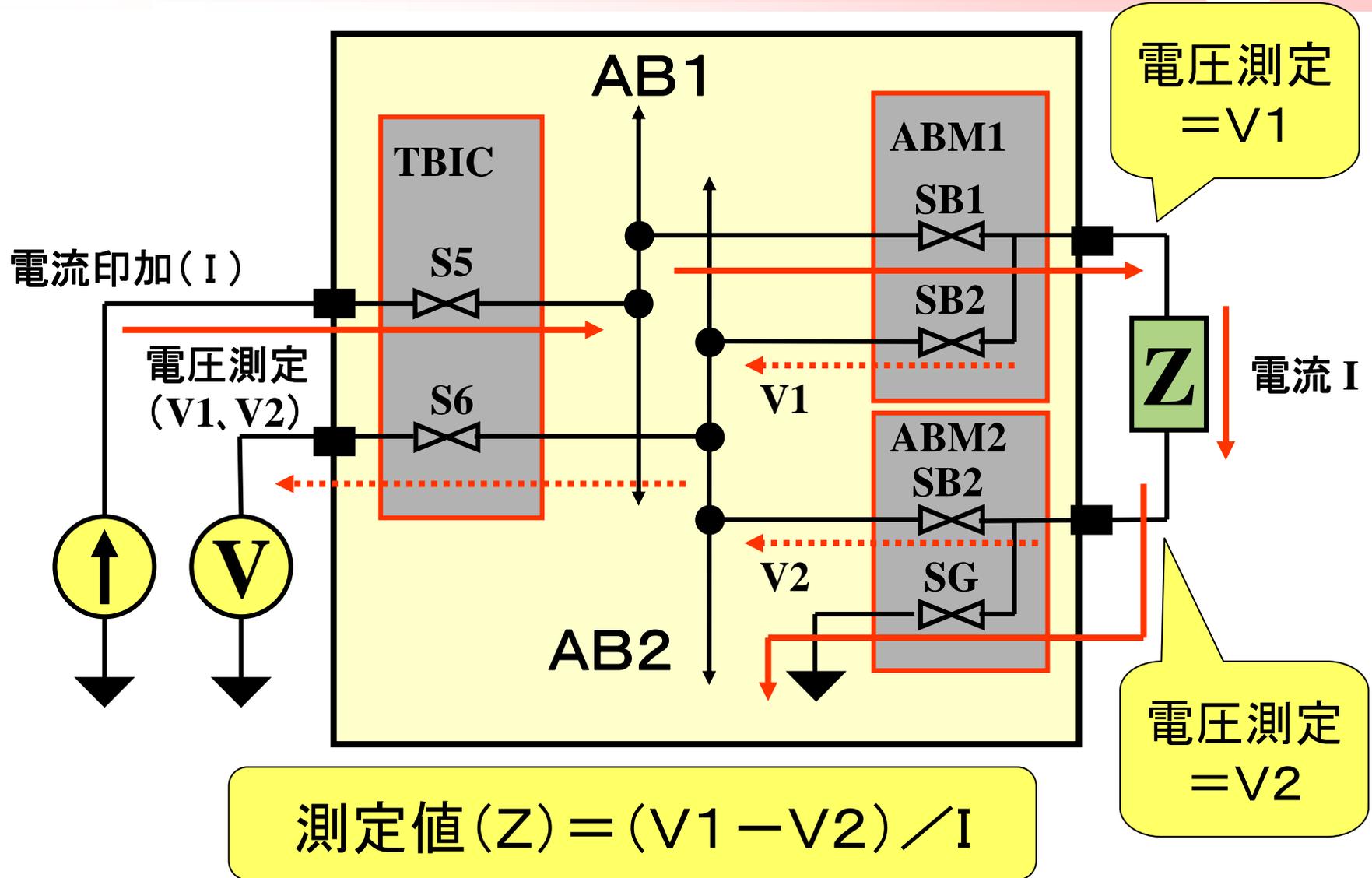
ABM (アナログバウンダリスキャンモジュール)



アナログネットの相互接続テスト

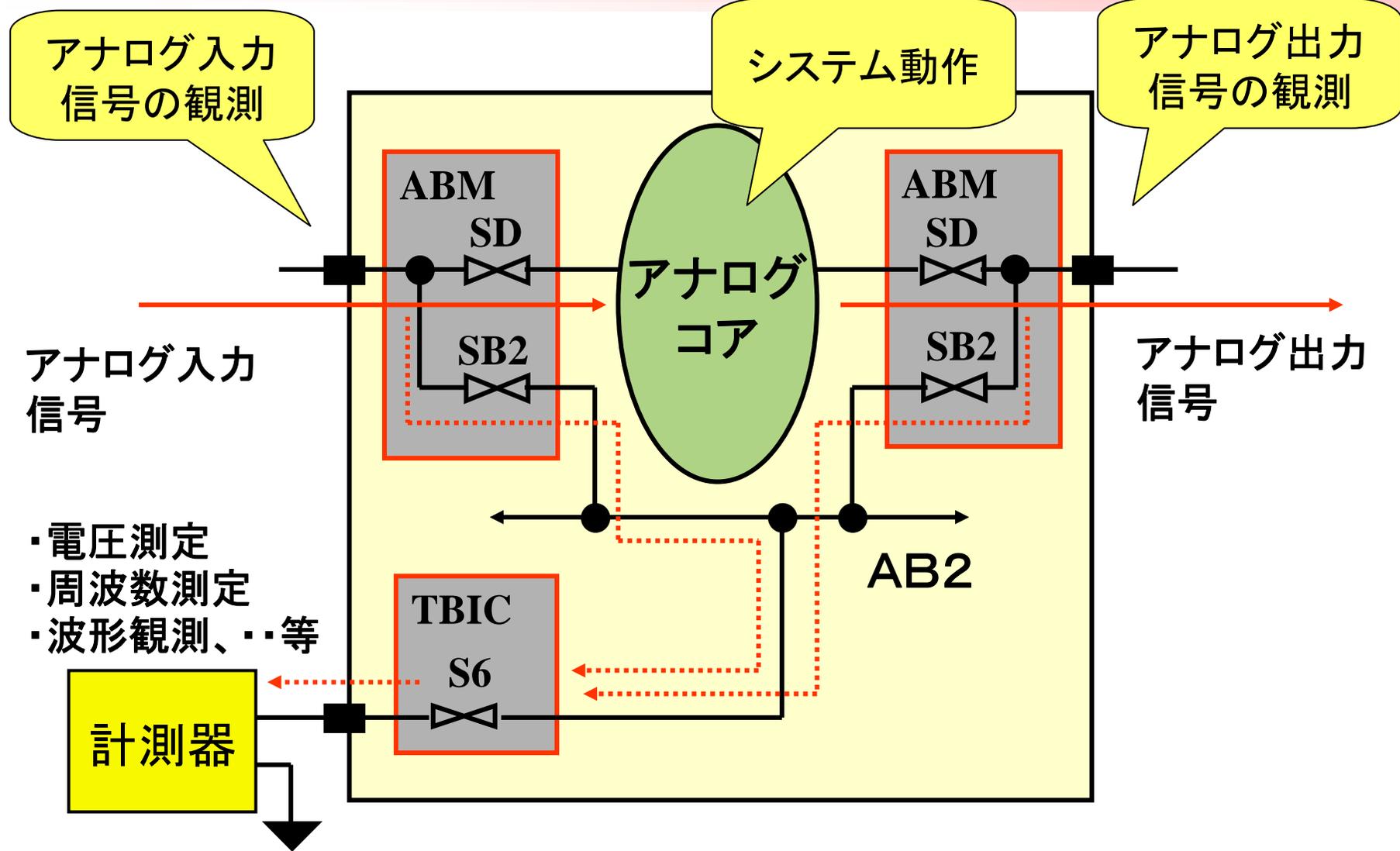


パラメトリック試験 (インピーダンス測定)



<応用例3>

アナログプローブ機能





IEEE1149.4普及の現状と 富士通の取り組み



<< IEEE1149.4の普及状況 >>

現在、研究室レベルの研究報告が学界で散見されるものの
1149.4回路内蔵の**商用LSIやシステム適用事例報告は未**

<<普及を阻害する要因>>

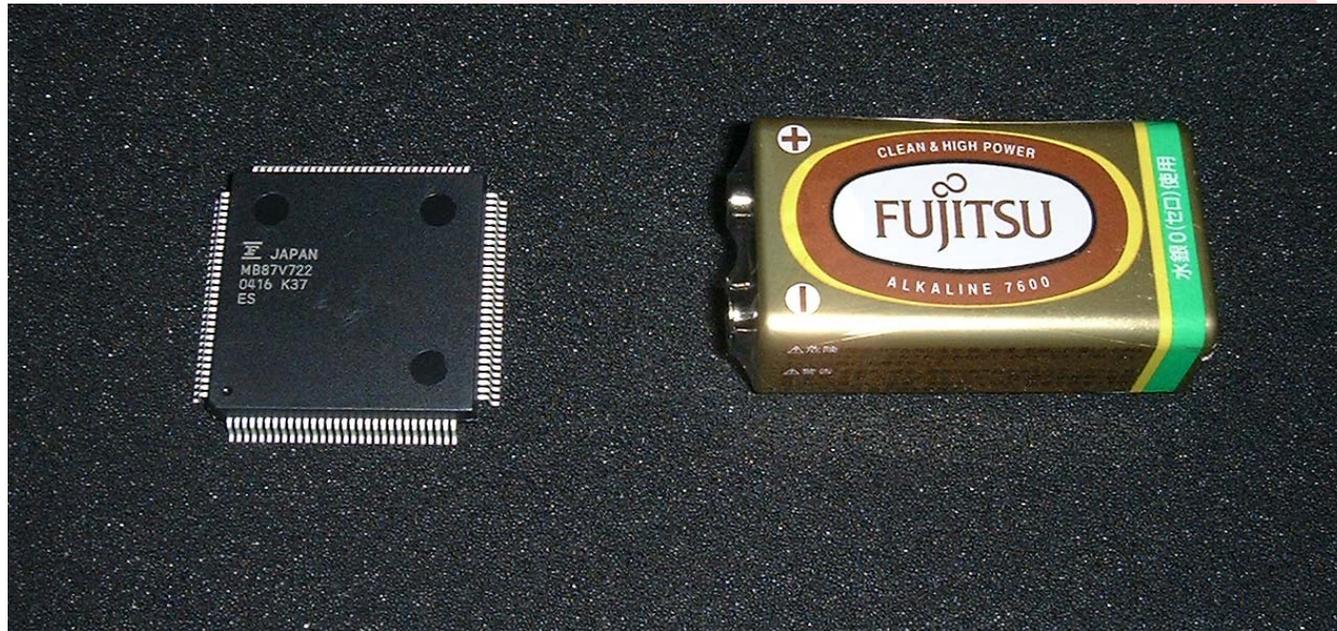
- ・ユーザでの導入効果とペナルティの理解が不十分
- ・開発コストとリスクの負担はユーザかメーカーか

<< IEEE1149.4普及を目指した富士通の取り組み>>

IEEE1149.4規格に基づく評価用LSIの試作

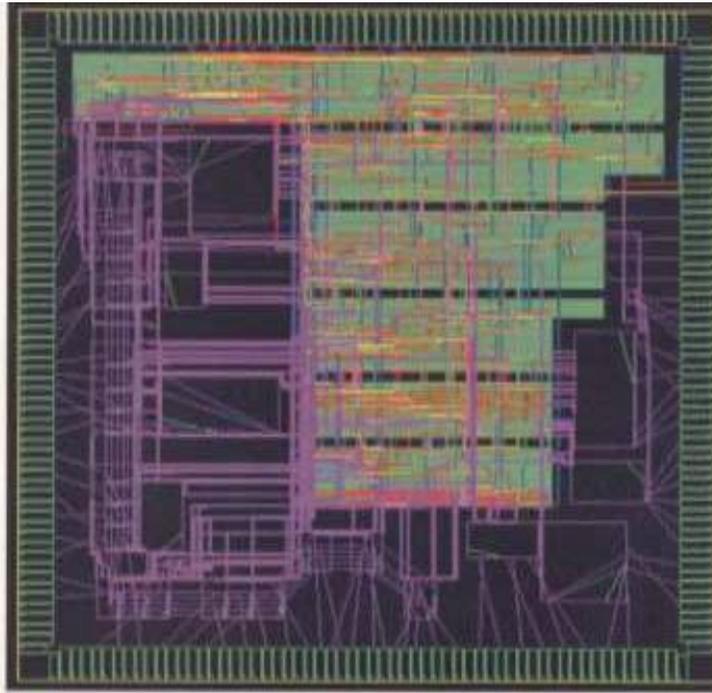
- ⇒ベンダーとして設計・製造・試験のノウハウの取得
- ⇒効果とペナルティの実回路での把握
- ⇒テストツール(テスト生成、ボードテスタ)の開発と実用評価
- ⇒第三者機関によるLSI評価と応用研究により普及促進

試作したLSIパッケージ外観と仕様

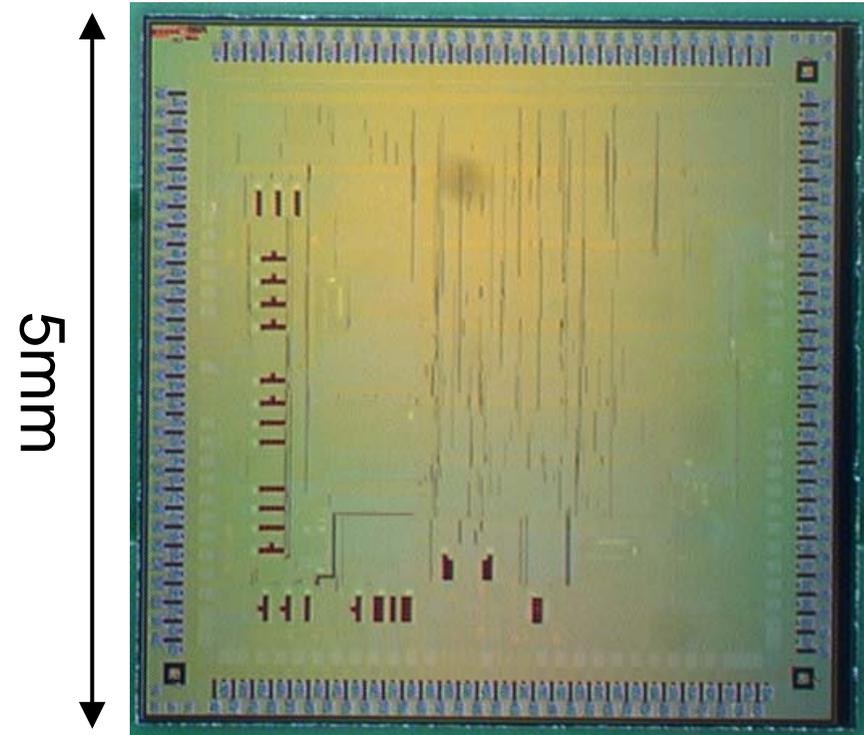


- 型名 : MB87V722
- パッケージ : 0.8mmピッチQFP 120ピン
(シリコンエクスプレス)
- アナログ部 : 3.3V
- デジタル部I/O : 3.3V デジタルコア : 1.8V
- テクノロジ : CS81 (0.18 μ m CMOS)
SC82ライブラリ
- ソース : Verilog-RTL

試作したLSIチップ外観

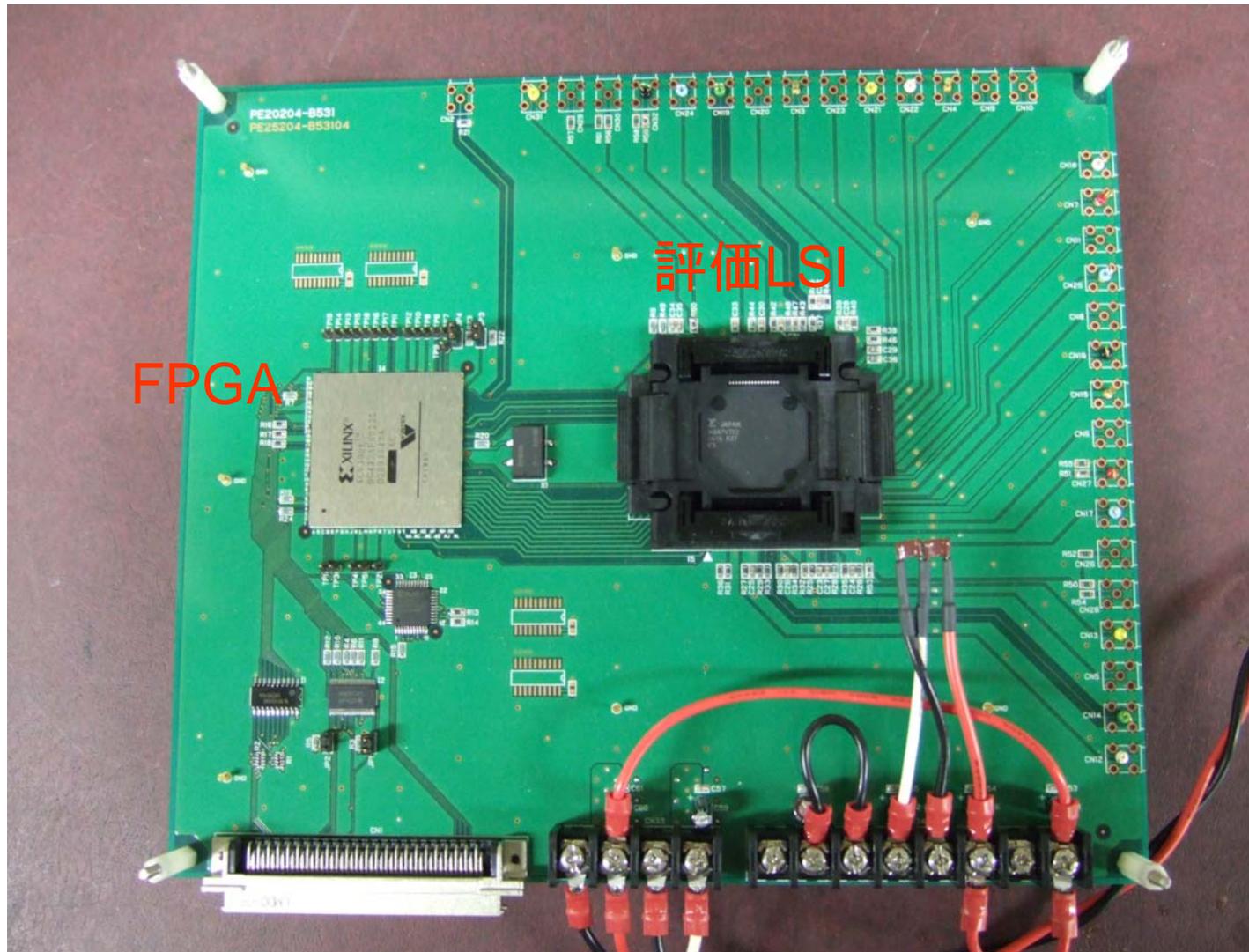


レイアウト図(CAD)



5mm
5mm
チップ(実物)

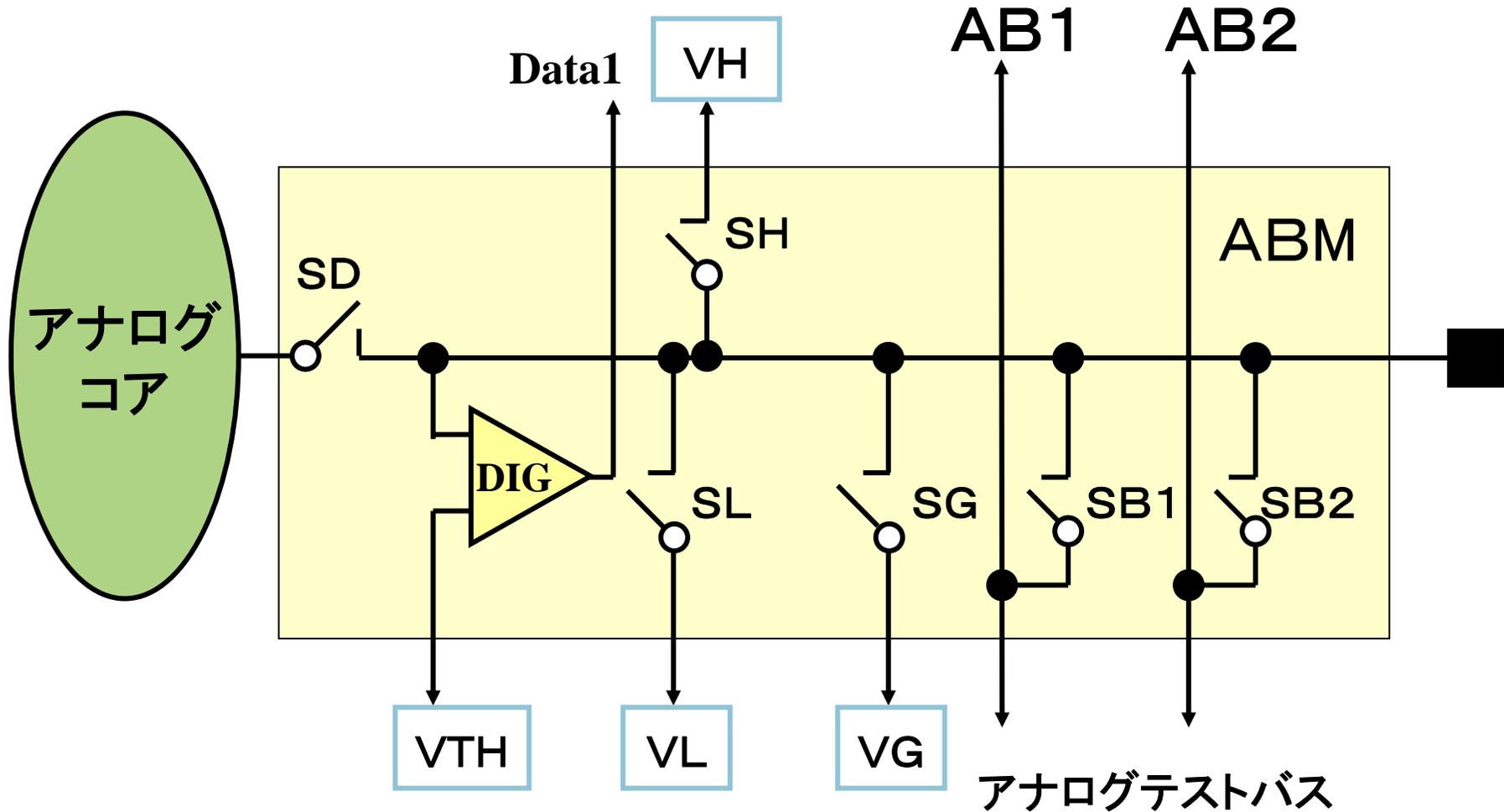
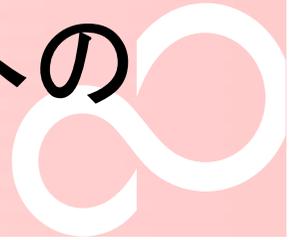
LSI評価用ボード



Ⅱ. アナログ・バウンダリ・スキャン モジュールの評価



ABM付加によるアナログコアへの影響評価

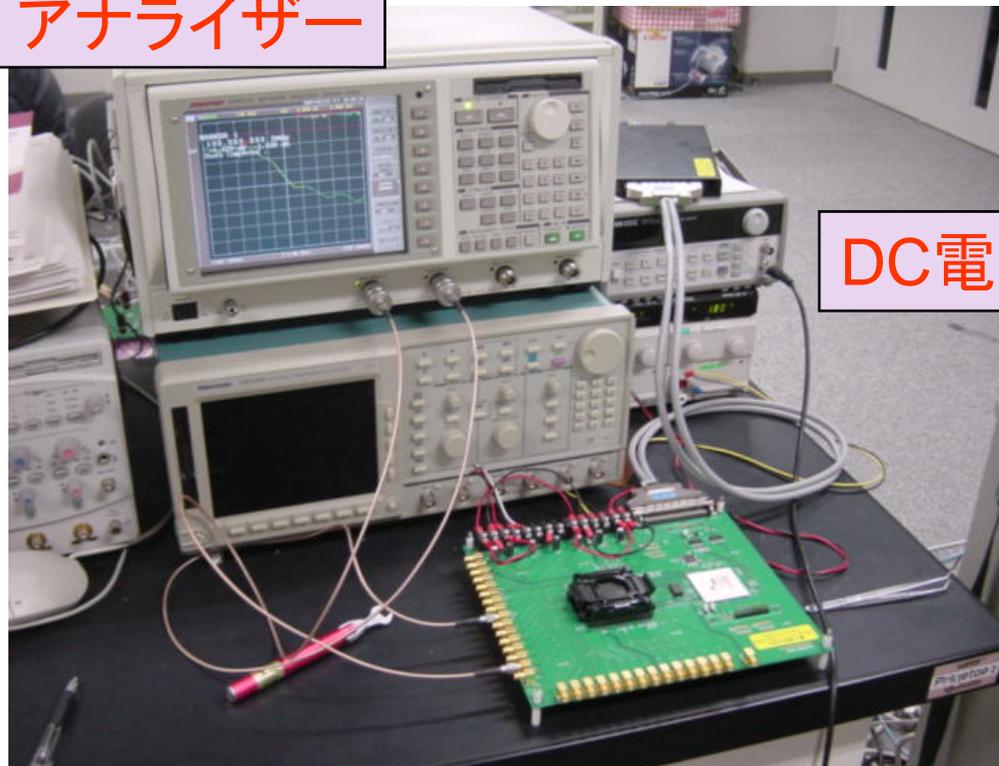


ABMの評価環境と測定風景



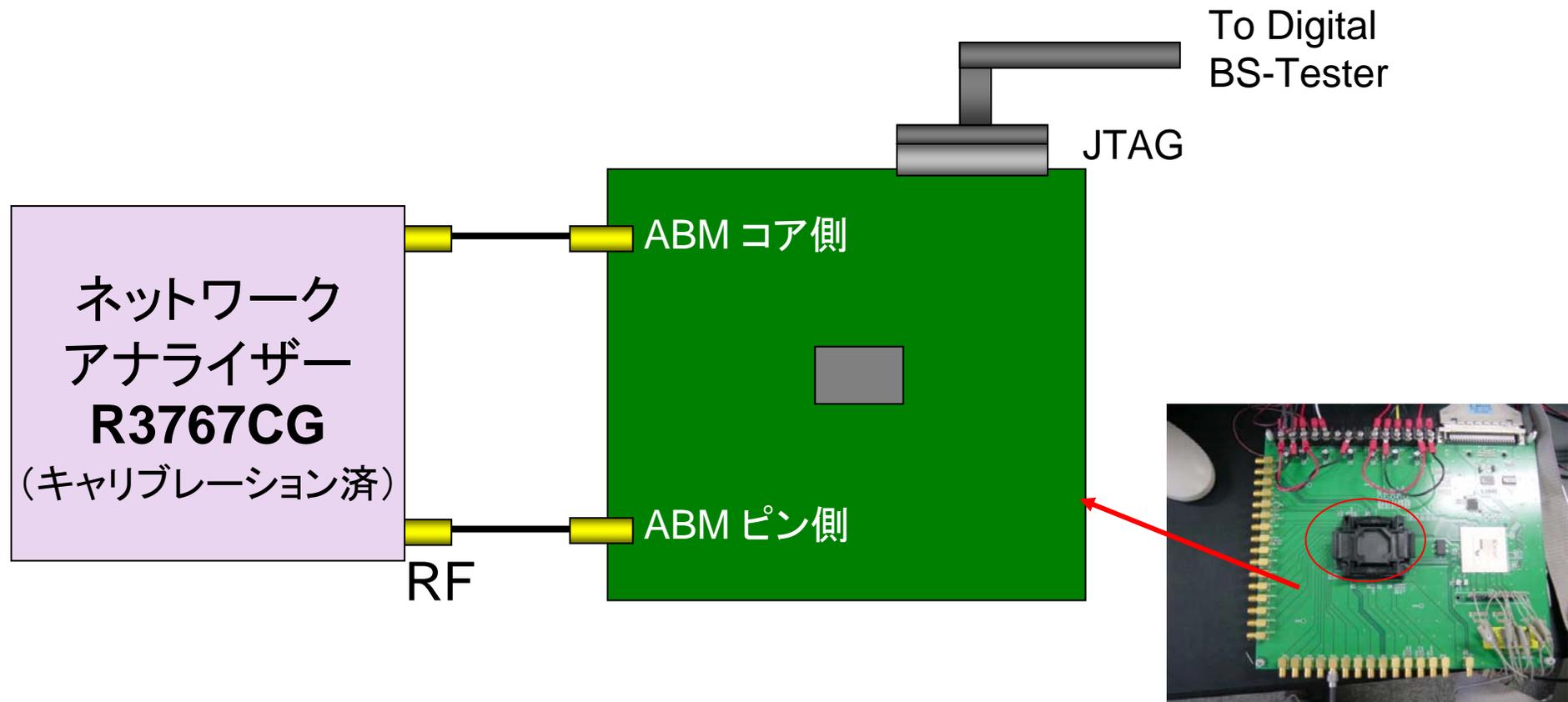
- 測定IC 富士通MB87V722 (ABM テストチップ)
- 測定例 ABMの周波数特性
- 測定器 ネットワークアナライザ **ADVANTEST R3767CG**
with Calibration Kit

ネットワーク アナライザ



DC電源

測定概要図



測定例: ABM単体の周波数特性



ADVANTEST R3767CG ネットワークアナライザにて測定

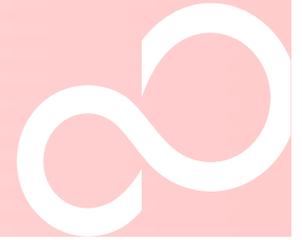
測定例: ABM単体の周波数特性



ADVANTEST R3767CG ネットワークアナライザにて測定



周波数特性のまとめと応用



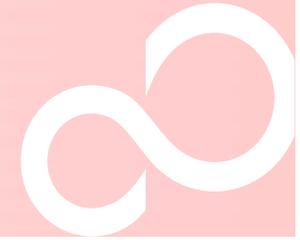
帯域が100MHz以上

ビデオ信号には使えないが、
オーディオ又は中速信号には問題ない。

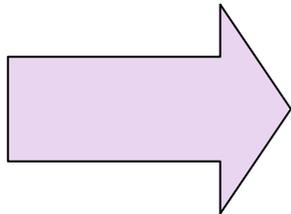
Ⅲ.アナログ・バウンダリ・スキヤンの 応用の提案



SiP, SoCのアナログ回路、 電源回路自己診断機能



■ SiP, SoC 内の電源電圧の動的監視への要求

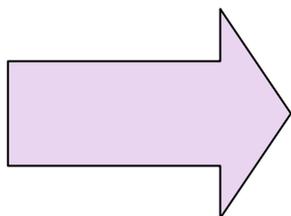


最近のSiP, SoC では多数の電源。

監視のためには多チャンネルのAD変換器が必要。

回路規模、コストが大。

■ 自己診断機能への要求



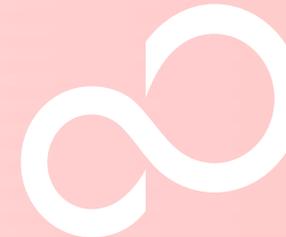
回路の一部が動作しないとき、まず電源を疑う。

どこの電源が怪しいかをチェックしたい。

しかし、テスターをボードに実装するのは困難。

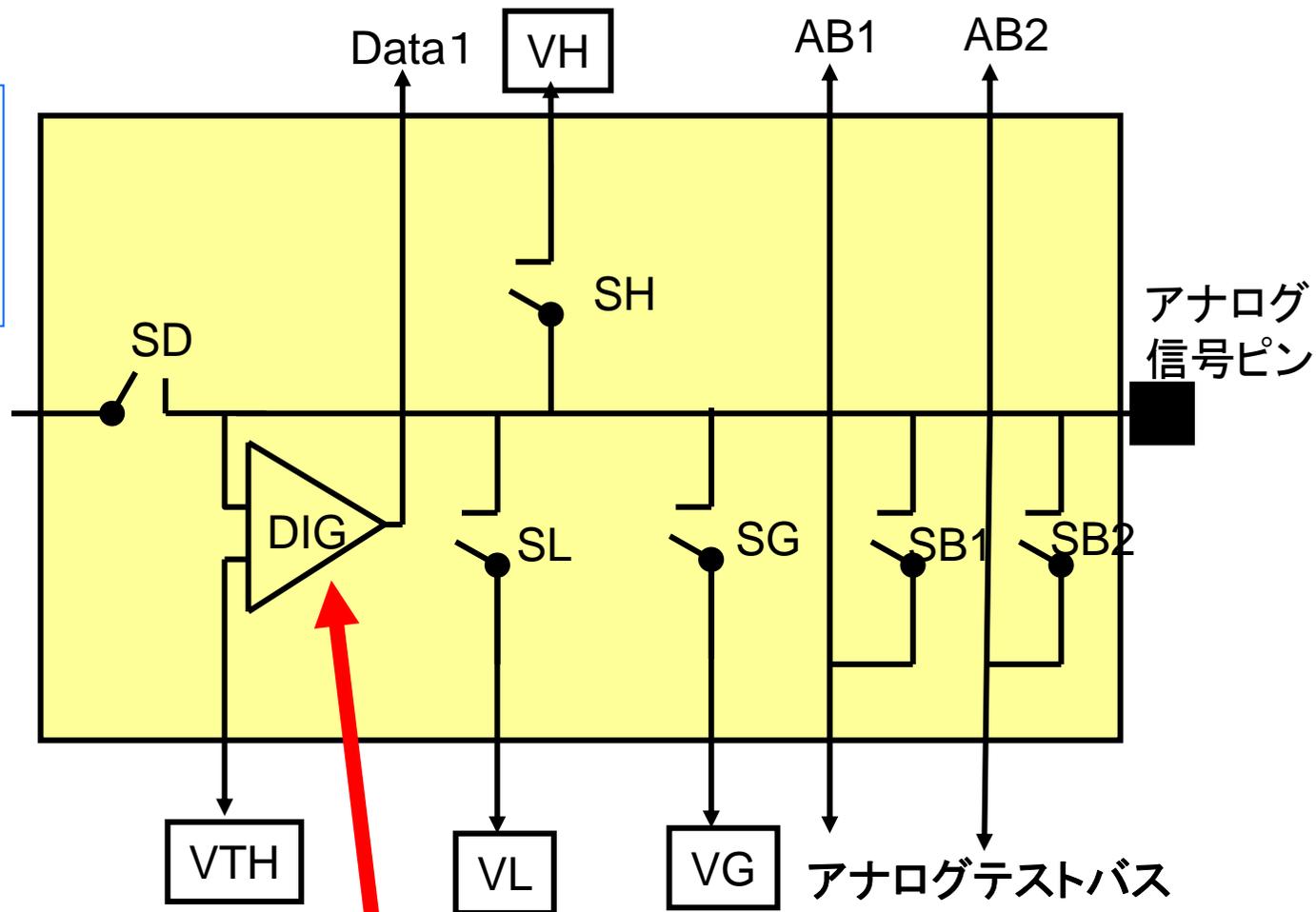
SiP, SOCの簡易な構成での電源電圧自己診断機能が必要。

ABM回路(再掲)



ABM回路内の
比較器を利用し
AD変換を実現

アナログ
回路



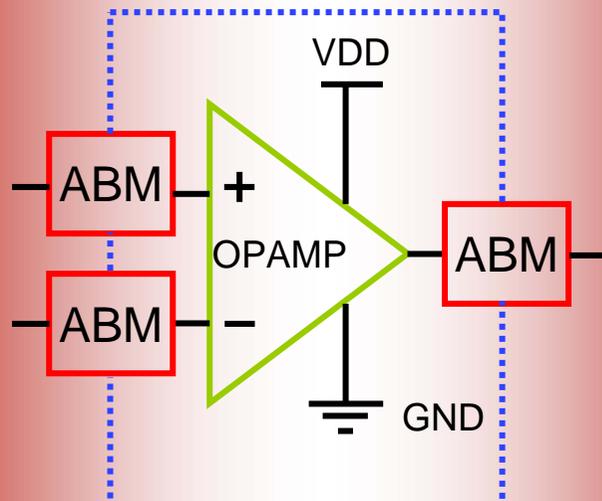
DIG: Digitizer

この比較器に注目した。

ABMの電源電圧監視への応用

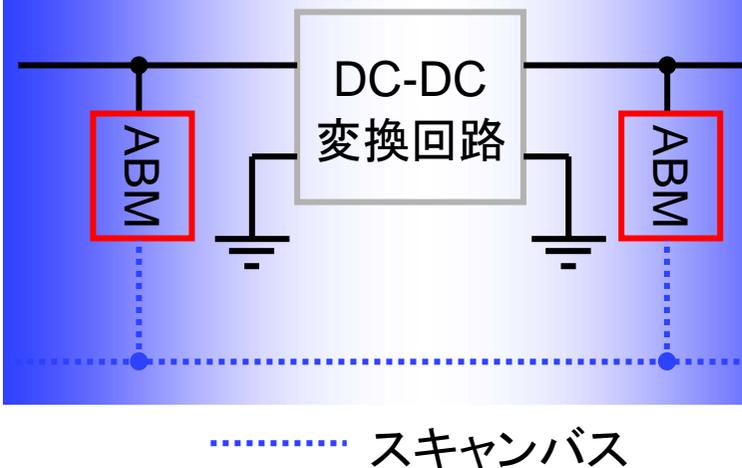
IEEE1149.4標準に 沿ったABMの使用

ABMをアナログ回路に直列接続。
ABMを介して
アナログ入力電圧の供給
アナログ出力電圧の読み出し。



電源等の大電流回路 にABMを使用

ABMを並列接続。
ABMは電圧監視のみに使用。
ABM内MOSスイッチには
大電流は流さない。





ABMを利用した 並列(複数)ADCの提案



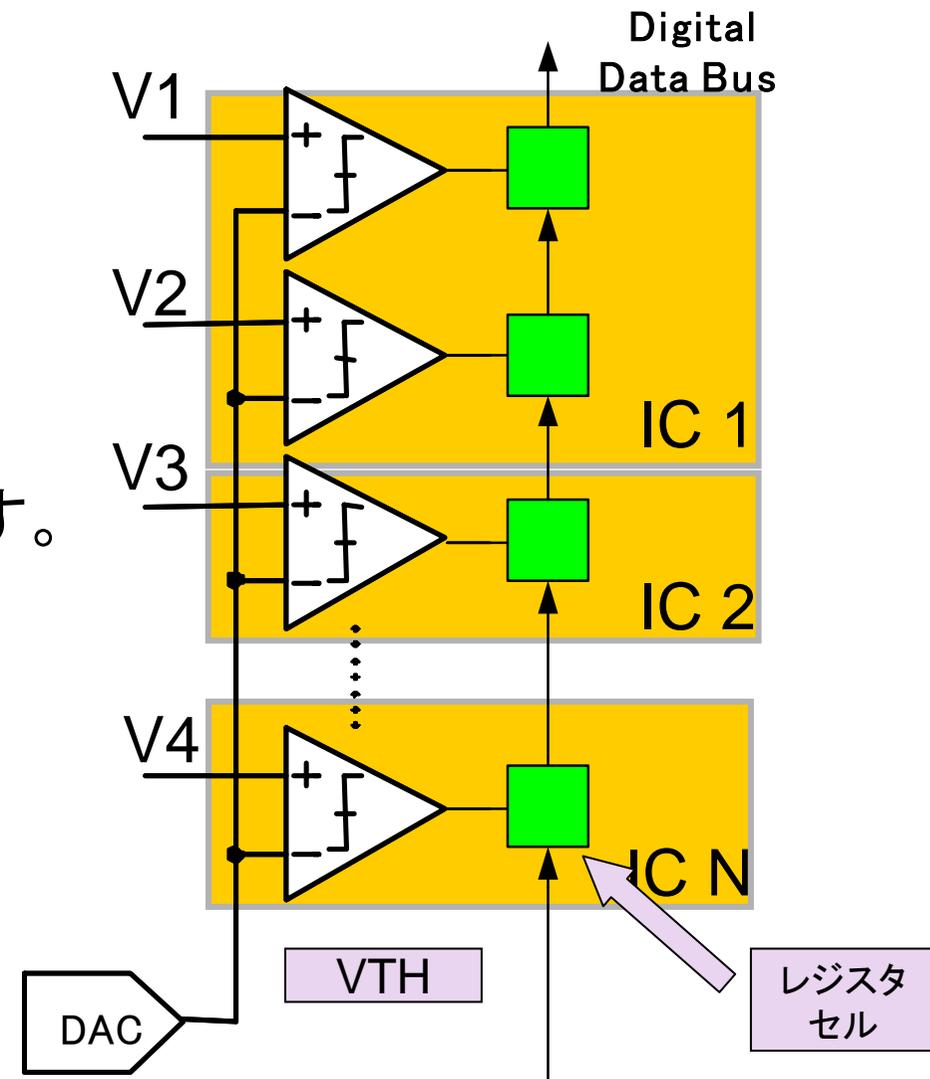
- 複数のDCアナログ電圧値、電源電圧値を同時にアナログ・デジタル変換
- プログラム可能な並列(複数)ADC動作アルゴリズム
DACからの参照電圧を自由に変化させる

各ABM内比較器、DA変換器と制御回路を使用。
画像センサでのコラム毎並列ADCに類似。

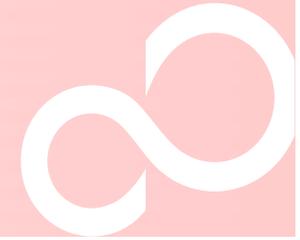
提案並列ADC回路構成



- ・各ABM内比較器を利用
- ・共通の一つのDACとその制御回路を持つ
- ・比較器出力(デジタル)をバウンダリースキャンで取り出す。
- ・アナログ信号($V_1, V_2, ..$)がDCなのでS/H回路が不要
- ・アナログDC信号、電源電圧の監視に利用可能



提案並列ADCの特徴



- ABM内比較回路を用い、
バンドリスキャンで結果を読み出す。
- 複数のDC電圧レベルを同時検知。
- 追加回路はDACとその制御回路
(テスターに搭載または
自己診断回路としてSiP内にもつ)。
- プログラミング可能な動作アルゴリズム
(DAC出力 V_{th} はソフトで制御可能)。

提案する動作アルゴリズム

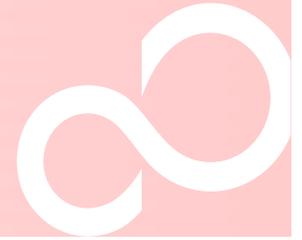


- ▶ ランプ波スキャン型動作アルゴリズム
DAC出力をランプ波
- ▶ 逐次比較近似動作アルゴリズム
DAC出力を2進探索信号

各比較器で入力DC信号と比較
バンダリスキャンで読み出し



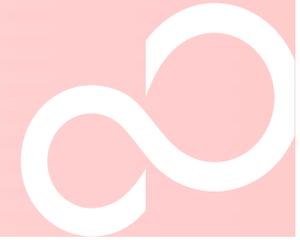
提案動作アルゴリズム(1)



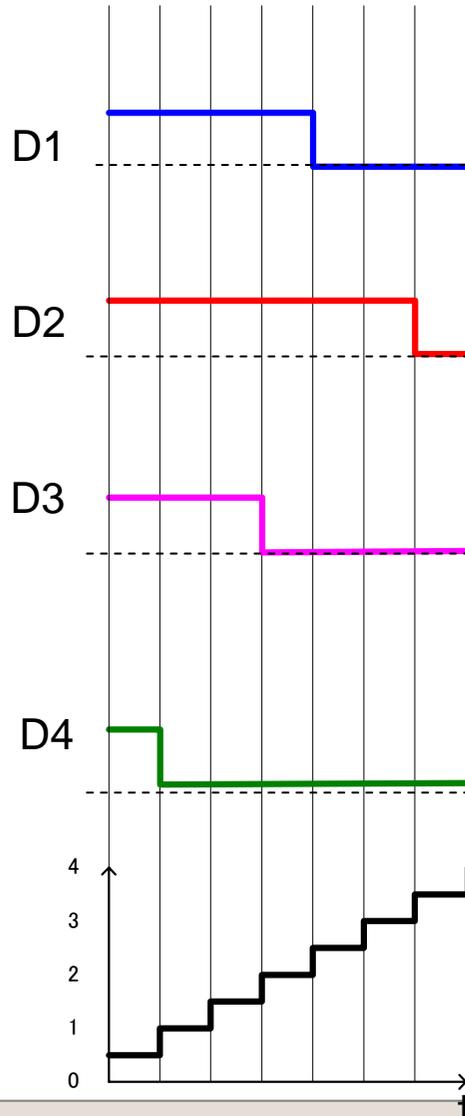
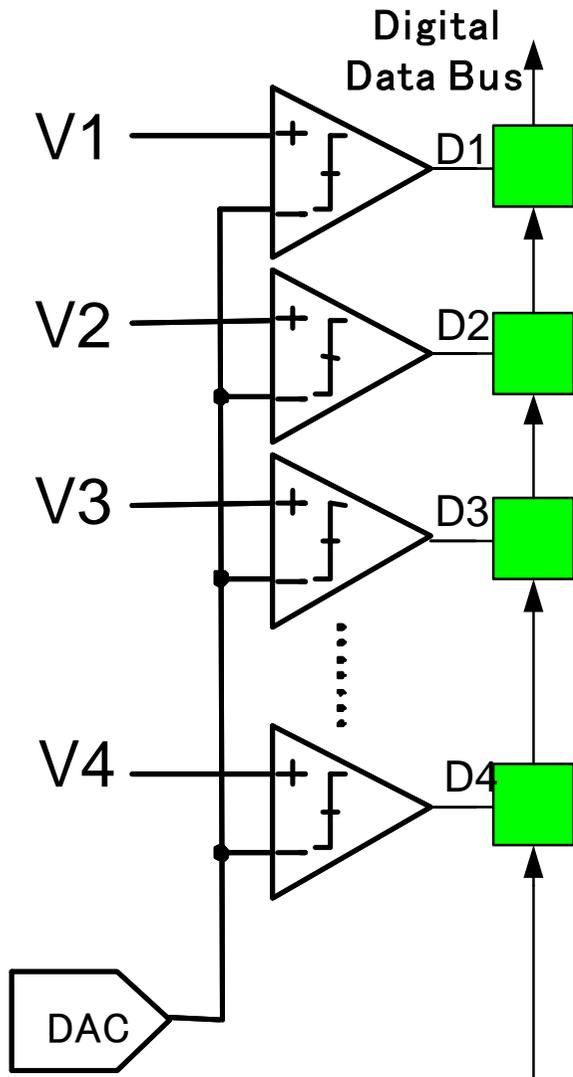
- ▶ ランプ波スキャン型動作アルゴリズム
- ▶ 逐次比較近似動作アルゴリズム

提案アルゴリズム(1)

動作原理



コンパレータ出力



- ・DACで比較器参照電圧 V_{th} をランプ波として生成
- ・比較器出力が反転したときのDACデジタル入力値が被測定電圧のデジタル値
- ・DACで V_{th} 設定・比較毎にバウンダリースキャンで全比較値出力を読み出す。

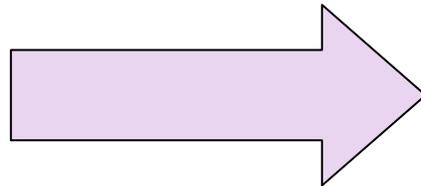
DACからのランプ波

ランプ波スキャン型動作法の問題点

DACによるVth設定・各比較器並列動作毎に、
バウンダリースキャンで全比較器出力を直列読み出し。

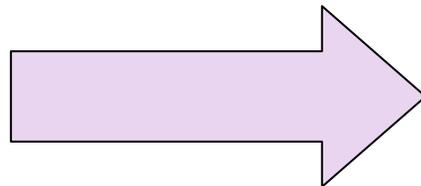
 長時間を要する。

8 bit DAC



最大 $2^8=256$ 回の
バウンダリースキャンが必要

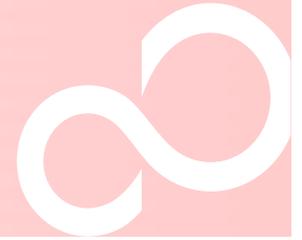
10 bit DAC



最大 $2^{10}=1024$ 回の
バウンダリースキャンが必要

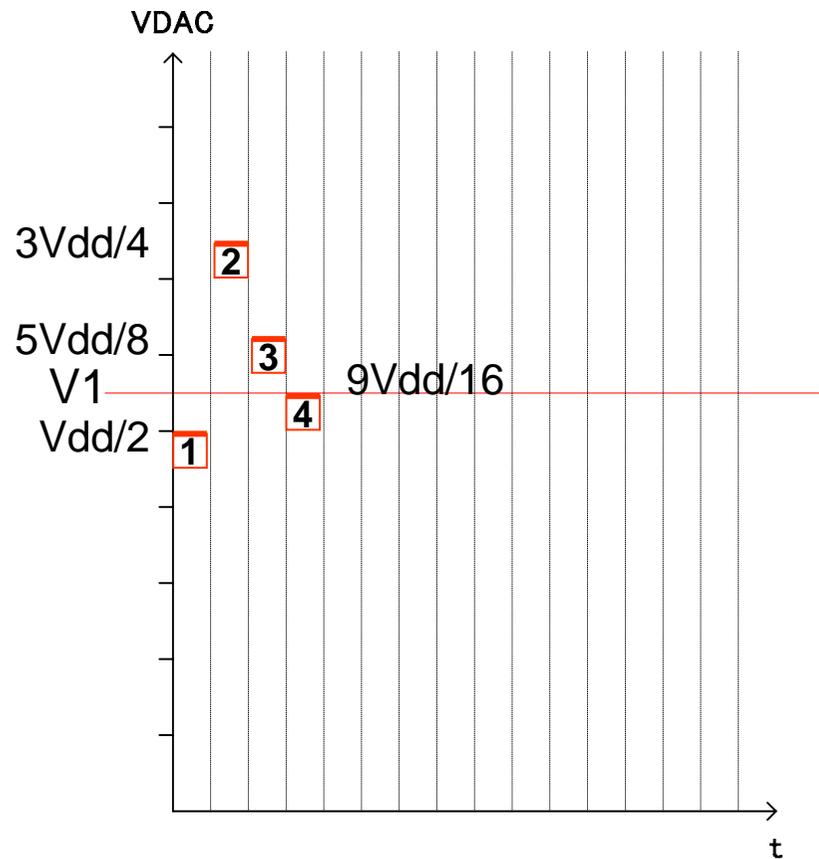
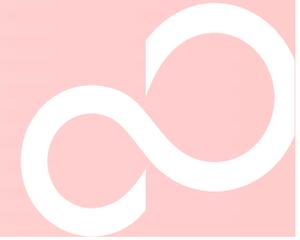


提案動作アルゴリズム(2)

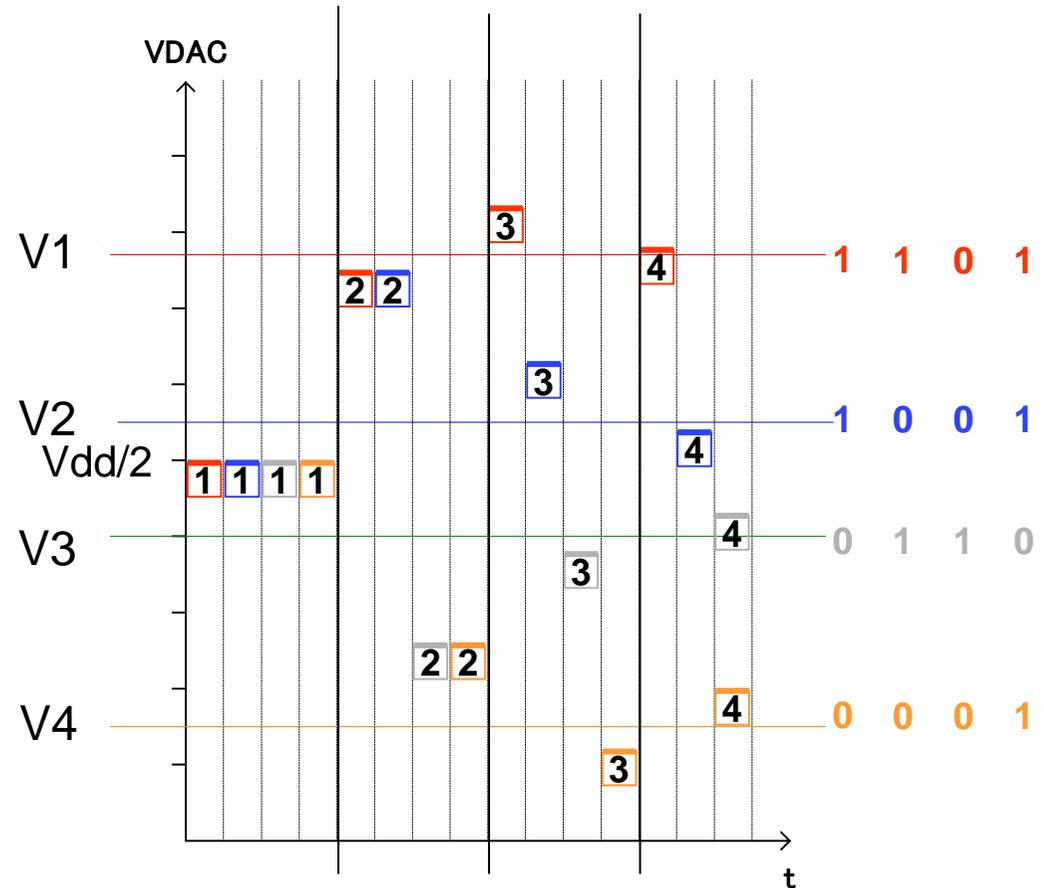


- ▶ ランプ波スキャン型動作アルゴリズム
- ▶ 逐次比較近似動作アルゴリズム

逐次比較近似型 動作原理 (4レベルの場合)



逐次比較ADC

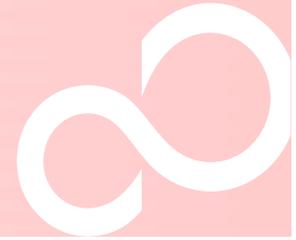


提案動作原理

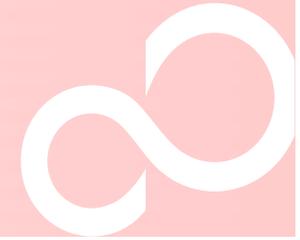
1 0 0 1

4 bit精度の場合、4回のバウンダリースキャンで読み出し可能
N bitの場合、N回のバウンダリースキャンが必要

2つのアルゴリズムの比較



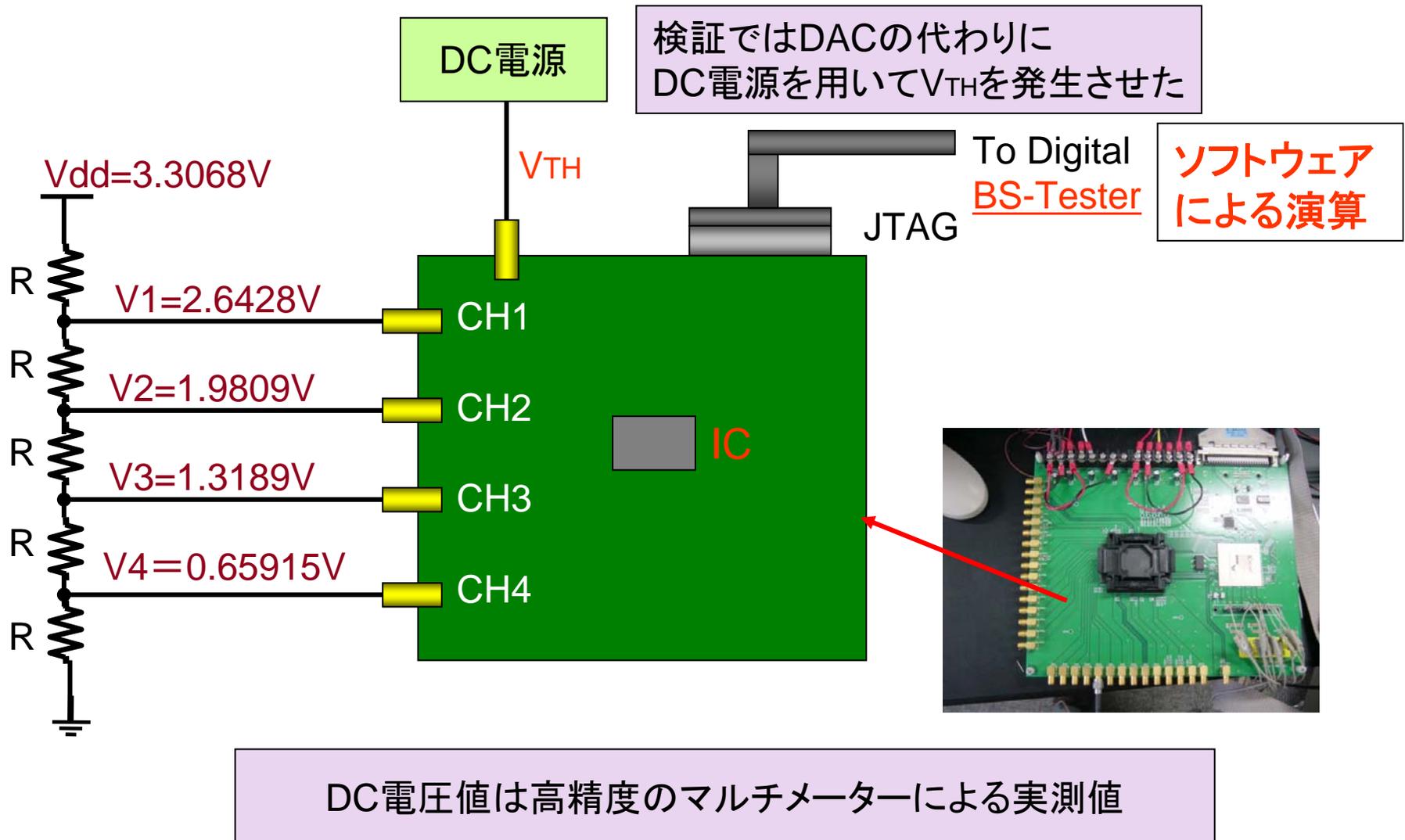
- 逐次比較近似アルゴリズムの場合
比較的少ない時間で 実際に近い値が知りえる。
➡ 異常電圧を早く検知できる。
- 最終精度が得られるまでのステップ数・
読み出し時間
 - ◎ 逐次比較近似アルゴリズム 短い
 - △ ランプ波アルゴリズム 長い



ABMテストチップを使用した 並列ADCの動作検証

提案回路が実現可能か確認するため、
ABMテストチップを用いて動作検証を行った。

動作検証回路



提案アルゴリズム 検証用ソフトウェア～BS-Tester～

ピンリスト-フェイルピンのみ

NET NO.	NAME	TYPE	PINNAME
32	AVI1	-	CN19_1
		BSIO	I5_6
33	AVI2	-	CN23_1
		BSIO	I5_11
107	LCP	-	CN17_1
		BSIO	I5_36
131	SCP	-	CN20_1
		BSIO	I5_34

Vin	Vth	out
High	Low	0
Low	High	1

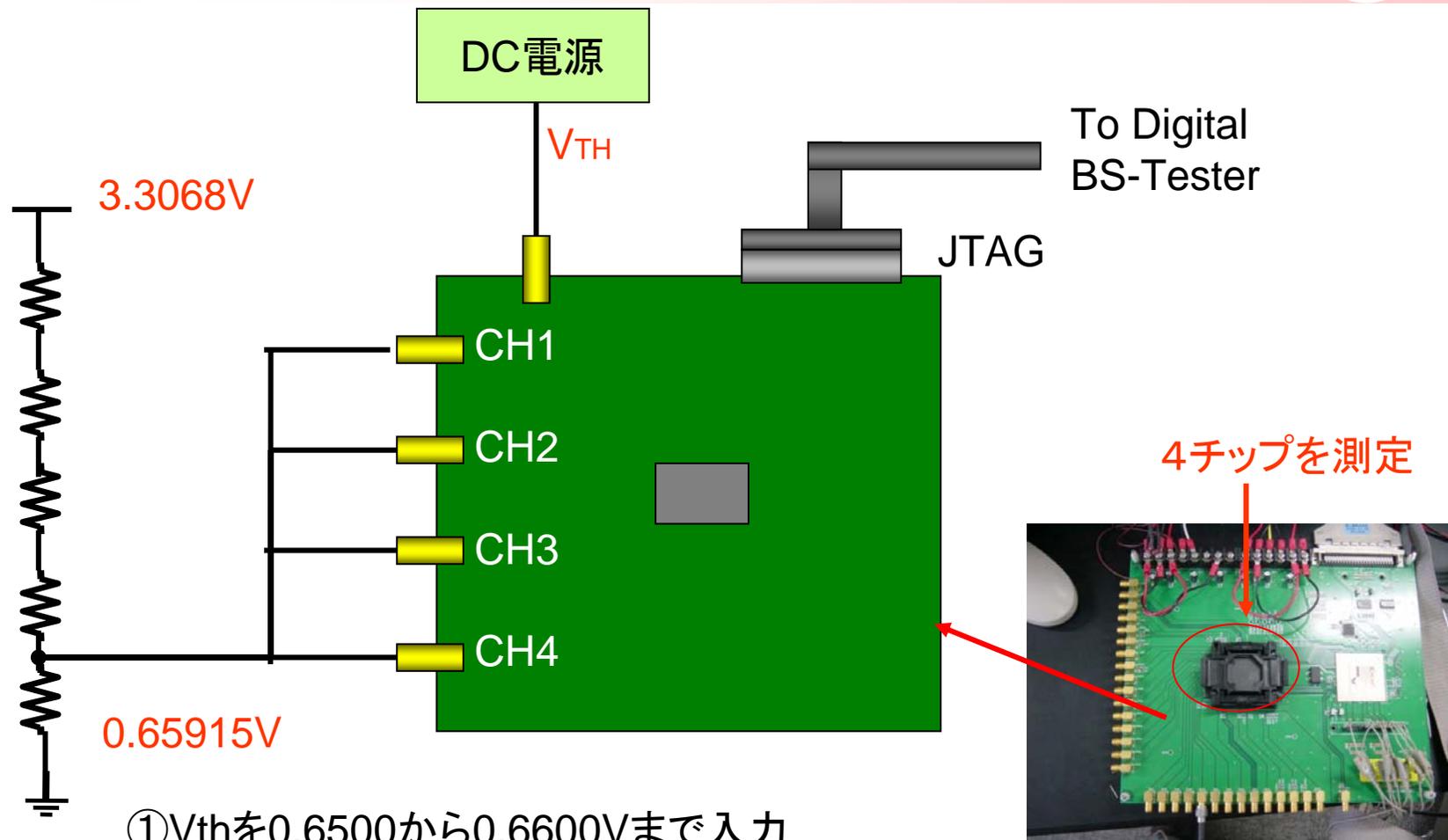
既存のプログラムを用いて、比較器の出力をバウンダリースキャンを通じて同時に取り出せるかを検証。

ABMの並列処理の検証確認

Vth \ Vin	入力2.6428V	入力1.9809V	1.3189V	0.65915V
	CN1ピンの比較器出力	CN2ピンの比較器出力	CN3ピンの比較器出力	CN4ピンの比較器出力
0.55159V	0	0	0	0
1.00142V	0	0	0	1
1.5013V	0	0	1	1
2.0239V	0	1	1	1
2.5241V	0	1	1	1
2.7256V	1	1	1	1

4CHの並列処理の正常動作を確認

ABM内比較器のオフセット測定



- ① V_{th} を0.6500から0.6600Vまで入力
- ② V_{th} の電圧と比較器が反転した電圧を測定(オフセット電圧を計算)
- ③ 4チップ×4チャンネル=16回計測し、平均値を求めた

比較器オフセット測定結果



CH別平均	コンパレータ オフセット[mv]
CN1	4.64
CN2	3.40
CN3	5.16
CN4	4.58

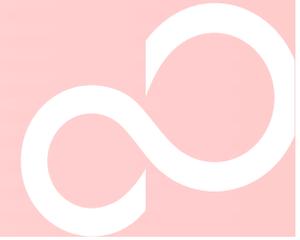
総コンパレータ オフセットの平均値 4.45[mV]

この値を校正値として用いる ⇒ 正確な測定値

IV.まとめと今後の課題



まとめと今後の課題



- アナログバンドリスキャンと試作ICの紹介
- ABM用評価LSIの測定
- ABMを利用した電源監視用並列ADC
の提案

今後の課題

- 提案ADCシステムの実装
- さらなるABM応用法の検討