

RF サンプリング連続時間バンドパス $\Delta\Sigma$ AD 変調器アーキテクチャの検討

元澤篤史^{†*}, ロレ パスカル^{††}, 林海軍[†], 田邊朋之[†], 上森将文[†]
飯塚邦彦^{††}, 小林春夫[†], 傘 昊[†], 高井伸和[†]
[†]群馬大学 工学研究科 電気電子工学専攻 e-mail:k.haruo@el.gunma-u.ac.jp
^{††} シャープ株式会社

Design Method of Continuous-Time RF Sampling Bandpass $\Delta\Sigma$ AD Modulator Architecture

Atsushi MOTOZAWA[†], Pascal LO RE^{††}, Haijun LIN[†], Tomoyuki TANABE[†]
Masafumi UEMORI[†], Kunihiko IIZUKA^{††}, Haruo KOBAYASHI[†], Hao SAN[†], Nobukazu TAKAI[†]
[†]Electronic Engineering Dept., Gunma University
^{††} Sharp Corporation

Abstract - This paper describes the design method of continuous-time bandpass $\Delta\Sigma$ AD modulators which sample RF signals directly. (i) We derive design procedure of parameter values for the modulator to realize its signal transfer function with desired characteristics. (ii) We analyze the signal transfer function characteristics of feedback-type and feedforward-type continuous modulators. (iii) We analyze finite and negative Q effects of internal resonators to the modulator SNR. (iv) We propose a digital method to alleviate so-called excess-loop problem in the continuous modulator; a time-to-digital converter measures the loop delay and based on the measured value some parameter values in the modulator are adjusted automatically. We demonstrate effectiveness of these by MATLAB simulation.

キーワード : RF サンプリング, ソフトウェア無線, バンドパス, 連続時間 変調器, RF DAC, サブサンプリング, ループ遅延

Keywords: RF Sampling, Software Defined Radio, Bandpass, Continuous-Time Modulator, RF DAC, Subsampling, Excess Loop Delay

1 はじめに

無線 LAN, 携帯電話等の受信機アナログ・フロントエンド部で高周波狭帯域信号を高精度・低消費電力で AD 変換するために, バンドパス (Bandpass: BP) $\Delta\Sigma$ AD 変調器を用いることが検討されている [1]-[4]. 著者らは従来のベースバンドへの周波数変換回路を無くし, RF 信号を直接 AD 変換しアナログ最小, デジタルリッチな回路構成でのソフトウェア無線システムの実現 (図 1) を目標とした連続時間バンドパス $\Delta\Sigma$ AD 変調器アーキテクチャを提案した [5]. この構成では変調器内部 DAC にジッタの影響が小さい RF DAC (図 2, [6]) を用い, サブサンプリングを行うことで, 低消費電力, 高精度で, 高周波 RF 信号を直接 AD 変換できる. この提案構成の設計

論を確立するため, この論文では次のことを行ったので報告する.

- (i) 提案サブサンプリング 2 次連続時間 BP $\Delta\Sigma$ AD 変調器 [5] で所定の信号伝達関数 (Signal Transfer Function: STF), ノイズ伝達関数 (Noise Transfer Function: NTF) を実現するための内部パラメータ値の設計法を導出する. STF, NTF と内部パラメータ値の関係式の導出は離散時間変調器では容易であるが, 連続時間変調器ではたとえば DAC 出力波形に依存する等きわめて複雑である [7].
- (ii) 提案サブサンプリング連続時間 BP $\Delta\Sigma$ AD 変調器を設計する際に考慮すべき項目の検討を行う. 具体的には変調器トポロジと STF の関係, 内部共振器の有限 Q 値また負性の Q 値による影響の解析を行なう.
- (iii) 連続時間 $\Delta\Sigma$ 変調器では内部 ADC の出力と内部

DAC の出力の間のループ遅延 (Excess Loop Delay) により AD 変調器全体の精度が劣化する. この問題を軽減するためにループ遅延をタイムデジタイザ [8] で測定し, デジタル的に補償する方法を提案する.

2 連続時間 $\Delta\Sigma$ 変調器の信号伝達関数とノイズ伝達関数

この節では連続時間変調器の NTF, STF 導出の考察を行う. 連続時間変調器では連続時間 (Continuous-Time:CT) と離散時間 (Discrete-Time:DT) の回路・信号が混在している (図 3). $\Delta\Sigma$ AD 変調器を図 4 のブロック図に置き換え [10], 図中の L_0, L_1 を用いて STF, NTF を表す.

$$STF = \frac{L_0}{1 - L_1}, \quad NTF = \frac{1}{1 - L_1}. \quad (1)$$

離散時間変調器の場合は図 4 の A のノードにスイッチがあると等価である. したがって STF, NTF とともに離散時間で扱え z 領域で処理できる. 一方, 連続時間変調器の場合は図 4 の B のノードにスイッチがあるのと等価である. 両方の変調器で量子化ノイズは離散時間信号である. また連続時間変調器では L_0, L_1 は s 領域の関数であるので, 連続時間変調器の NTF を求める際は L_1 の z 領域への変換が必要となる.

次に連続時間変調器の STF について考える. 式 (1) より STF は次のようなる.

$$STF = L_0 \cdot NTF. \quad (2)$$

前述した通り NTF は z 領域の関数であり, L_0 は s 領域の関数である. また連続時間変調器の STF は連続信号にかかる伝達関数なので以下のように $s \rightarrow j\omega, z \rightarrow e^{j\omega T}$ として以下のように周波数領域 (ω) で扱う.

$$STF = \frac{L_0(s)}{1 - L_1(z)} \xrightarrow{s \rightarrow j\omega, z \rightarrow e^{j\omega T}} \frac{L_0(j\omega)}{1 - L_1(e^{j\omega T})}. \quad (3)$$

3 サブサンプリング連続時間 BP $\Delta\Sigma$ AD 変調器の設計

目標の特性を離散時間 BP $\Delta\Sigma$ AD 変調器で設計し, その NTF, STF 特性がそれぞれ一致するように連続時間 BP $\Delta\Sigma$ AD 変調器の内部フィルタ, 内部 DAC のフィード

バック係数を設計する. すなわち図 6 に示す離散時間変調器と同じ NTF, STF をもつ, 内部 DAC に RF DAC[5] を用いた入力帯域中心周波数 $\frac{3}{4}F_s$ のサブサンプリング動作連続時間 BP $\Delta\Sigma$ AD 変調器 (図 7) を設計する.

離散時間および連続時間 $\Delta\Sigma$ AD 変調器を図 5 のように置き換える. 同図の破線で囲った部分がそれぞれの L_1 である. 式 (1) より両者で NTF を等しくすることはそれぞれの L_1 を等しくすることと等価である. L_1 の特性を合わせこみ NTF が等しくなるように設計し, 次に STF を設計する. STF の設計は式 (3) より目的での信号周波数での利得を求め, それに応じたゲインを付加すればよい. 図 6 の L_1 は次のように得られる.

$$L_1(z) = \frac{2z^2 + 1}{(z^2 + 1)^2}. \quad (4)$$

式 (4) を部分分数分解し次式を得る.

$$\frac{2z^2 + 1}{(z^2 + 1)^2} = \frac{-0.75j}{z - j} + \frac{0.25}{(z - j)^2} + \frac{0.75j}{z + j} + \frac{0.25}{(z + j)^2}. \quad (5)$$

式 (5) の各項について 1 次, 2 次の場合の CT \leftrightarrow DT 変換の関係 [9] を用いて z 領域から s 領域に変換する. これにより離散時間と連続時間の $\Delta\Sigma$ 変調器の L_1 が等しくできる (すなわち NTF 特性が等しくできる). 目的の信号周波数での利得を考慮した連続時間の $\Delta\Sigma$ 変調器のブロック図 (図 7) で, H_{c1}, H_{c2} は次のように得られる.

$$H_{c1} = \frac{\omega_c s + 0.06\omega_c^2}{s^2 + \omega_c^2} \quad (6)$$

$$H_{c2} = \frac{0.07\omega_c s - 0.08\omega_c^2}{s^2 + \omega_c^2}. \quad (7)$$

ここで $\omega_c = \frac{3\pi}{2T}$ であり, またこれらの式の導出にはかなりの計算量を必要とする. 離散時間変調器 (図 6) とこの H_{c1}, H_{c2} を用いた連続時間変調器 (図 7) の出力パワースペクトラムと OSR に対する SNDR を図 8 に示す. これらの結果から設計した連続時間変調器の特性が離散時間変調器特性にほぼ一致していることが確認できた.

4 変調器トポロジと STF の関係

$\Delta\Sigma$ 変調器のトポロジは大きく分けてフィードバックタイプとフィードフォワードタイプの 2 つがある.

図 10 にフィードバックタイプ, フィードフォワードタイプ, 入力パスがないフィードフォワードタイプで構成された提案サブサンプリング連続時間 2 次変調器を示す. 図 9 に各変調器トポロジの NTF を同じ特性に設計した場

合の STF の特性を示す。この解析結果を見てわかる通り、信号周波数 ($F_{in} = \frac{3}{4}F_s$) に折り返される周波数でヌル (null) 点が形成されており、アンチエイリアスフィルタの特性を有している。しかし、フィードバックタイプよりフィードバックタイプの方がヌル点近辺で減衰特性が強い。このことから、両者を比較した場合、フィードバックタイプはアンチエイリアスフィルタの効果が強いことが分かる。

5 サブサンプリング連続時間 $\Delta\Sigma$ 変調器の Q 値の影響

連続時間 $\Delta\Sigma$ 変調器の内部フィルタには Q 値の高いものを用いる。理想は Q 値が無限大のものが望まれるが、実際は実現不可能である。たとえば、内部フィルタを gm-C フィルタで構成する場合、そこに使われる gm セルの有限出力抵抗により Q 値が下がる。また、高い Q 値を実現するために、gm セルを用いた等価的な負性抵抗による方法が報告されている。しかし、その gm 値を正確に所望の値に制御することは難しい。例えば、gm 値が所望の値より大きい場合は内部フィルタの Q 値は負性になってしまう。

ここでは、提案するサブサンプリング連続時間 $\Delta\Sigma$ 変調器と従来のものとの求められる Q 値の違い、サブサンプリング変調器の有限 Q 値の影響と負性の Q 値の影響について解析を行った。

5.1 サブサンプリング動作に必要な Q 値

図 11 に提案 2 次サブサンプリング連続時間 $\Delta\Sigma$ 変調器 ($F_{in} = \frac{3}{4}F_s$) と従来の変調器 ($F_{in} = \frac{1}{4}F_s$) について、Q 値を 3:1 に設定して行ったシミュレーション結果を示す。従来の変調器とその 3 倍の Q 値の提案変調の特性が一致していることが分かる。一般化すると、サブサンプリング動作をして従来の n 倍の周波数を扱う場合、Q 値は n 倍必要であると言える。

5.2 ループフィルタの有限 Q 値の影響

ここではサブサンプリング変調器の有限 Q 値の影響を解析する。そのために 4 次サブサンプリング連続時間 BP 変調器 (RF DAC 使用) について下記に示す 5 通りの MATLAB シミュレーションを行い、各段での有限 Q 値による影響を解析した。

各段の共振器の Q 値が無限大

- 1 段目の共振器の Q 値が 50, その他は無限大
- 2 段目の共振器の Q 値が 50, その他は無限大
- 3 段目の共振器の Q 値が 50, その他は無限大
- 4 段目の共振器の Q 値が 50, その他は無限大

図 12(左) に、上記 5 つのシミュレーションについての入力に対する SNR 特性を示す。このときの OSR は 256 倍である。この結果より、SNR は後段の方が共振器の Q 値がより大きいことが必要であり、後段の共振器の Q 値が小さいと変調器のオーバーロードが早いことが分かる。

5.3 ループフィルタの負性 Q 値の影響

ここではサブサンプリング変調器の負性の Q 値の影響について解析する (フィードバックループ内であるので負性の Q 値でも安定になりえる)。先ほどと同様に 4 次サブサンプリング変調器について下記に示す 5 通りの MATLAB シミュレーションを行い、各段での負性 Q 値による影響を解析した。

各段の共振器の Q 値が無限大

- 1 段目の共振器の Q 値が-200, その他は無限大
- 2 段目の共振器の Q 値が-200, その他は無限大
- 3 段目の共振器の Q 値が-200, その他は無限大
- 4 段目の共振器の Q 値が-200, その他は無限大

図 12(右) に、上記 5 つのシミュレーションについての入力に対する SNR 特性を示す。このときの OSR は 256 倍である。この結果より、後段の共振器の Q 値が負性であると前段がそうである場合に比べ SNR を下げ、初段の共振器の Q 値が負性であると変調器のオーバーロードが早いことが分かる。

6 連続時間変調器のループ遅延の補償法

連続時間 $\Delta\Sigma$ 変調器では内部 ADC の出力と内部 DAC の出力間の遅延 (ループ遅延) により AD 変調器全体の精度が劣化するという問題がある。この節では「ループ遅延をタイムデジタイザで測定しその値に応じて変調器内パラメータをデジタル的に調節する」というループ遅延の補償方法を報告する。

6.1 ループ遅延の補償のアルゴリズム

連続時間変調器内ループ遅延をタイムデジタイザで計測し、そのループ遅延がある場合の NTF の極配置を求め、その極が単位圏内に収まるように補償 (パラメータ

調整)を行う。ループ遅延がある場合のNTFの極配置をもとめる際に Modified z 変換 [11] を用いている.. また、ループ遅延の補償アルゴリズムの計算は、内部 DAC に Sine-Shaped DAC[6] を用いた入力帯域中心周波数 $\frac{3}{4}F_s$ のサブサンプリング動作の 1 次連続時間 BP $\Delta\Sigma$ 変調器を例にして行った。

6.2 デジタルフィルタによるループ遅延の補償

ここでは補償をデジタル的に行う方法を示す。内部 ADC と内部 DAC との間にデジタルフィルタを設ける。ループ遅延によって単位円の外側となった NTF の極をデジタルフィルタにより補償して単位円内に配置する。このとき用いたデジタルフィルタの伝達関数は

$$\frac{-1.5}{-1.1z^{-1} + 2.1} \quad (8)$$

である。フィルタの係数、次数はタイムデジタイザで計測したループ遅延値に依り自動調整を行う。

図 14 にループ遅延がサンプリング時間の 90% の場合、その回路でデジタルフィルタを用いループ遅延の補償した場合、内部 DAC のフィードバック係数の調整によるループ遅延の補償した場合の出力パワースペクトラムと OSR に対する SNDR を示す。デジタルフィルタによる補償の場合、アナログ的な調整が無いことから、チップ面積や精度において大きな優位性があると考えられる。

7 まとめと今後の課題

この論文では RF サンプリングのための連続時間 BP $\Delta\Sigma$ 変調器の NTF, STF の設計法を導出した。また提案サブサンプリング連続時間 BP $\Delta\Sigma$ AD 変調器を設計する際に考慮すべき項目の検討、解析を行った。ループ遅延の補償法を提案しシミュレーションで効果を確認した。現在、トランジスタレベルでの回路設計、ノイズ・消費電力の見積もりを行っており、次にチップとして実現していきたい。

また、連続時間変調器では後段の方が共振器の高 Q 値への要求が強いことを示した。そのため、後段の共振器をデジタルフィルタで構成する変調器 [13] の検討も行う。

参考文献

[1] J. Engelen, R. V. D. Plassche, "Bandpass Sigma Delta Modulators," Kluwer Academic Publishers (1995).

- [2] F. Munoz, et. al., "A 4.7mW 89.5dB DR CT Complex $\Sigma\Delta$ ADC with Built-in LPF," *ISSCC Digest of Technical Papers*, vol.47, pp.500-501 (Feb.2004).
- [3] U. V. Kack, et. al., "Direct RF Sampling Continuous-Time Bandpass $\Sigma\Delta$ AD Converter Design for 3G Wireless Applications," *Proc. of IEEE ISCAS*, Vancouver, Canada, (May 2004).
- [4] R. Schreier, et.al., "A 375-mW Quadrature Bandpass $\Sigma\Delta$ ADC With 8.5-MHz BW and 90-dB DR at 44 MHz," *IEEE Journal of Solid-State Circuits*, vol.41, pp.2632-2639 (Dec. 2006).
- [5] M. Uemori, et.al., "High-Speed Continuous-Time Sub-sampling Bandpass $\Sigma\Delta$ AD Modulator Architecture," *IEICE Trans. Fundamentals*, E89-A, no.4 (April 2006).
- [6] S. Luschs, et. al., "Radio Frequency Digital-to-Analog Converter," *IEEE Journal of Solid-State Circuits*, vol.39, no.9, pp.1462-1467 (Sept. 2004).
- [7] O. Shoaie, "Continuous-Time Delta-Sigma A/D Converters for High Speed Applications", Ph.D. Dissertation, Carleton University (1995).
- [8] 清水一也 他, 「タイムデジタイザを用いた非同期サンプリング AD 変換器と信号処理」, 電子情報通信学会 第 19 回 回路とシステム (軽井沢) ワークショップ (2006 年 4 月).
- [9] 元澤篤史 他, 「RF サンプリング連続時間バンドパス $\Delta\Sigma$ 変調器の設計論」, 電子情報通信学会 第 20 回 回路とシステム (軽井沢) ワークショップ (2007 年 4 月).
- [10] R. Schreier, G. C. Temes, *Understanding Delta-Sigma Data Converters*. Wiley-IEEE Press (Nov. 2004).
- [11] E.I.Jury, サンプル値制御, 丸善 (1962).
- [12] E. I. Jury "Additions to the Modified z -Transform Method," *I.R.E. Wescom Convention Record*, Part IV, pp. 135-156 (Aug. 1957).
- [13] Robert H.M. van Veldhoven, Robert Rutten, Lucien J. Breems, "An Inverter-Based Hybrid Modulator," *ISSCC Digest of Technical Papers*, pp.492-493, 630 (Feb.2008).

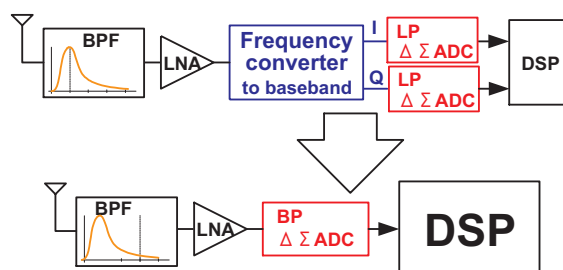


図 1: 目標とするアナログ最小、デジタルリッチな受信機アナログフロントエンド部。

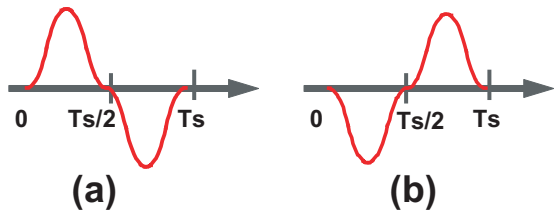


図 2: 1bit RF DAC 出力波形. (a) 入力 "0" のとき. (b) 入力 "1" のとき.

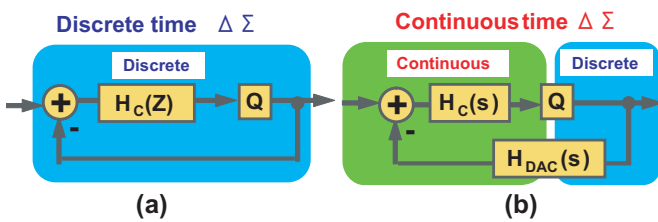


図 3: (a) 離散時間 ΔΣAD 変調器. (b) 連続時間 ΔΣAD 変調器. Q は量子化器を表す.

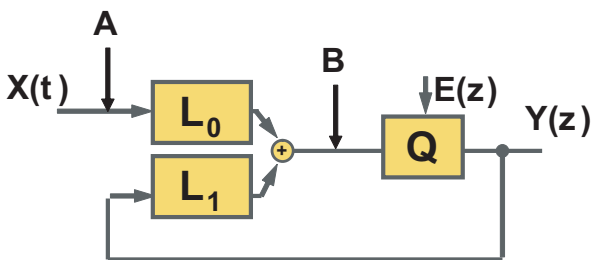


図 4: ΔΣAD 変調器の L_1 と L_0 .

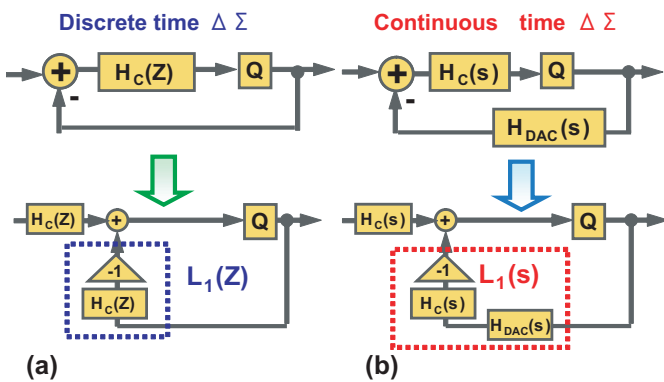


図 5: (a) 離散時間 ΔΣAD 変調器の L_1 と L_0 (a) 連続時間 ΔΣAD 変調器の L_1 と L_0 .

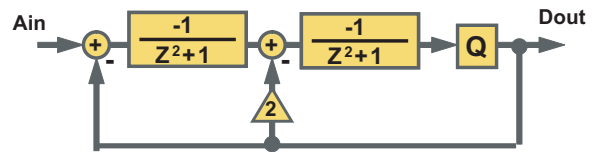


図 6: 2次離散時間 BPΔΣ 変調器.

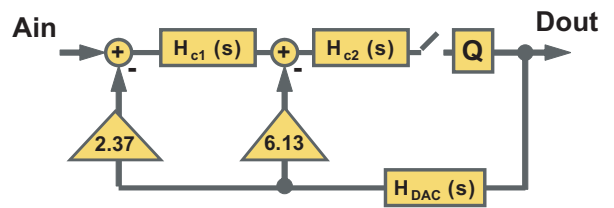


図 7: 2次連続時間 BPΔΣ 変調器.

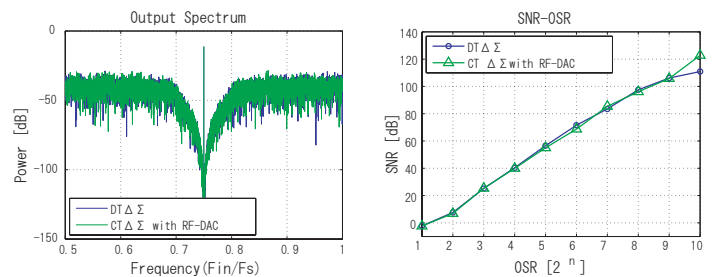


図 8: 2次連続時間 BPΔΣ 変調器と 2次離散時間 BPΔΣ 変調器の出力パワースペクトラム(左)と OSR に対する SNDR(右).

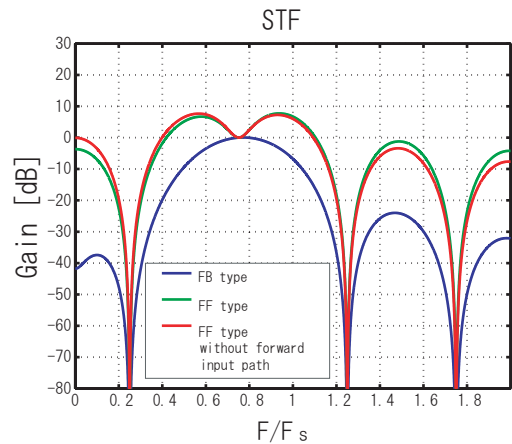


図 9: 各変調器トポロジの NTF を同じ特性に設計した場合の STF の特性.

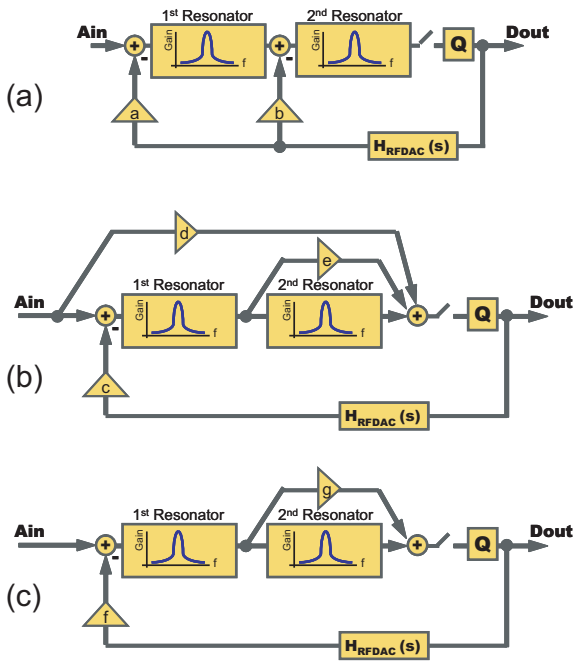


図 10: フィードバックタイプ (a), フィーフォワードタイプ (b), 入力パスがないフィーフォワードタイプ (c) で構成された提案サブサンプリング 2 次変調器。

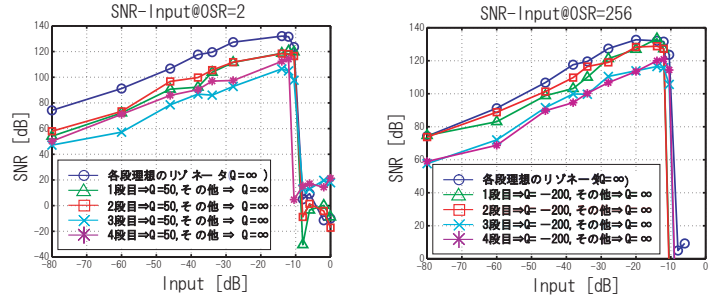


図 12: 2 次連続時間 BP $\Delta\Sigma$ 変調器の入力に対する SNDR; (左) 有限 Q 値の影響, (右) 負性 Q 値の影響。

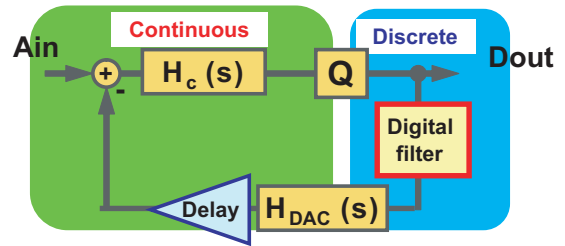


図 13: ループ遅延の補償のため内部 ADC と内部 DAC との間にデジタルフィルタを付加した連続時間 $\Delta\Sigma$ AD 変調器のブロック図。

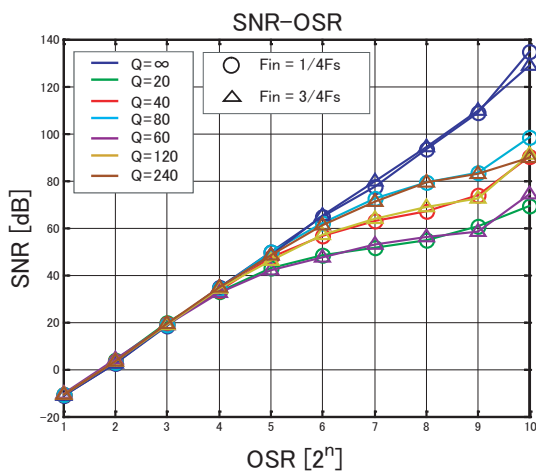


図 11: 提案 2 次サブサンプリング連続時間 $\Delta\Sigma$ 変調器 ($F_{in} = \frac{3}{4}F_s$) と従来の変調器 ($F_{in} = \frac{1}{4}F_s$) の OSR に対する SNDR。

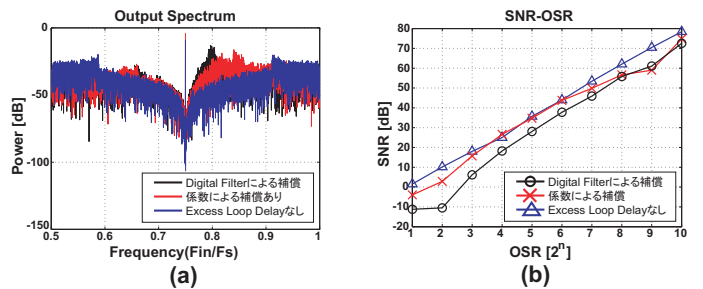


図 14: (a) 連続時間変調器でループ遅延がサンプリング時間の 90% で内部 DAC のフィードバック係数の調整によりループ遅延補償を行った場合, デジタルフィルタの付加によりループ遅延補償を行った場合, ループ遅延がない場合の出力パワースペクトラム. (b) OSR に対する SNDR.