

65nm CMOS での分周回路の検討

三田 大介*, 柴田 賢一, 氏家 隆一, 石原 昇 (群馬大学)

清水 敏彦, 佐藤 久恭, 堀 和明 ((株)ルネサステクノロジ)

高井 伸和, 傘 昊, 弓仲 康史, 小林 春夫 (群馬大学)

Design of Divider with 65nm CMOS Process

Daisuke Mita*, Ken-ichi Shibata, Ryuichi Ujiie, Noboru Ishihara (Gunma University)

Toshihiko Shimizu, Hisayasu Sato, Kazuaki Hori (Renesas Technology Corporation)

Nobukazu Takai, Hao San, Yasushi Yuminaka, Haruo Kobayashi (Gunma University)

Abstract

This paper presents divider and LO-buffer circuits with 65nm CMOS process for WLAN 802.11a and Cellular W-CDMA applications. We have selected standard CMOS logic architecture for the divider circuit and inverter architecture for the LO-buffer circuit. Our SPICE simulation showed that the total current consumption is 9.0mA for 100fF load and the input frequency of 12GHz as WLAN 802.11a application. Also the phase noise is $-166.9\text{dBc/Hz}@190\text{MHz}$ -offset with the input frequency of 4GHz and the total current consumption is 3.1mA with 100fF load as Cellular W-CDMA application. We have found that standard CMOS logic-type circuit topology is suitable for high performance analog circuit with nano CMOS process.

キーワード：高周波回路, LO バッファ, 分周回路, 65nm CMOS プロセス, 位相雑音

(Keywords, Radio frequency circuit, LO-buffer, Divider, 65nm CMOS process, Phase noise)

1. 背景と概要

近年の集積回路技術の発展には目覚ましいものがある。その恩恵を受けて無線通信技術は飛躍的な発展を遂げている。そこでは大規模集積化 (SoC : System On a Chip)、低コスト化を考慮した無線回路 1 チップ CMOS 化技術が要求されている。すでに CMOS 化されている無線回路は数多く存在する。しかし CMOS の微細化に伴って遮断周波数は高くなり、現在では 100 GHz を超えるものもある。よって、微細 CMOS を使用する事で従来回路構成とは異なる回路構成で高性能化を実現できる可能性がある。しかしながら CMOS の微細化は高周波特性の向上と共にトランジスタの耐圧低下に伴う低電源電圧動作化、CMOS 回路での相互コンダクタンス値の低下など問題がある。また、無線回路には様々な無線規格に対応可能なソフトウェア無線回路技術も要求される。それに伴い一つの回路に様々な仕様が要求され、それらを同時に満たす設計は非常にチャレンジングである。

現在の無線送受信回路ではベースバンドロジック部分とアナログフロントエンド部分の 1 チップ化、アナログ・デ

ィジタル混載によるシステムオンチップ化が望まれており、そのために有効なダイレクトコンバージョン方式が主流となっている。その要素回路の中に VCO (電圧制御発振器 : Voltage Controlled Oscillator) から生成された高周波 LO (局部発振器 : Local Oscillator) 信号の周波数を分周する分周回路と送受信回路のミキサ (Mixer) に差動出力を送る LO バッファ回路がある。分周回路は正確な 90 度の位相差を持った出力信号を生成し、理想的には VCO の位相雑音を 6 dB 低減する事が可能である。そして分周回路から出力された IQ 信号は LO バッファ回路により送受信回路のミキサの LO 信号入力部分や配線などによる負荷容量が大きい場合でも駆動できるように出力される。すなわち分周回路と LO バッファ回路は無線送受信回路のキーコンポーネントの一つとして考えられている。

今回我々は 65nm CMOS プロセスという微細 CMOS を使用し、従来回路構成よりも低消費電流で高速動作と低位相雑音動作の要求される二つの異なる仕様を同時に満たす分周回路と LO バッファ回路の構成法を検討した。また、予想される後段負荷容量に対する最小消費電流値を導出した。

検討結果の分周回路と LO バッファ回路の回路構成を図 1 に示す。分周回路に標準 CMOS Logic 構成、LO バッファ回路に CMOS インバータ構成を選択した。後段負荷容量が 100fF の場合、入力周波数 12GHz 時では全体で消費電流が 9.0mA となった。また、4GHz 時では位相雑音が -166.9dBc/Hz@190MHz-offset、全体で消費電流が 3.1mA となった。従来使用されていた CML 構成よりもオーソドックスな標準 CMOS Logic 構成の方が電流、位相雑音の点で優れていることを見出した。また、CMOS 微細化の恩恵を受ける標準デジタル CMOS 回路構成が有効である事を確認した。

2. 設計準備

(2-1) 65nm CMOS プロセスの概要

今回の検討では最先端技術である 65nm CMOS プロセスを使用した。近年の CMOS 微細化により、デジタル集積回路の発展はこの恩恵を大きく受けている。しかし CMOS 微細化はアナログ回路には恩恵だけでなく様々な問題も引き起こしている。真性利得の低下と電源電圧の低下の二つである。

微細化の恩恵によりトランジスタの相互コンダクタンスは向上するが同時に出力抵抗は低下してしまう。ここで問題となってくるのは相互コンダクタンスの向上に対して出力抵抗の低下の方が大きいことである。結果として微細化により真性利得が低下する傾向がある。

図 2 に CMOS 微細化に伴うゲート長に対する高域遮断周波数と電源電圧の推移を示す。トランジスタ微細化のスケールリング則ではトランジスタのゲート長と酸化膜厚を $1/\sqrt{2}$ として電流駆動能力を 2 倍にしていくので結果として酸化膜が薄くなり、耐圧が低下し、低電源電圧動作が要求される。65nm CMOS プロセスでは高域遮断周波数が 140GHz と非常に高く取る事ができるのに対し電源電圧が 1.2V と非常に低い値である。

(2-2) 目標仕様の設定

具体的な検討を行う為二つの無線規格を想定し、それに関する目標仕様を設定した。検討項目としては高速・低消費電流動作と低位相雑音動作の二つが考えられる。これらの検討項目を要求する WLAN 802.11a 用と Cellular W-CDMA 用の目標仕様を表 1 に示す。

WLAN 802.11a は 5.2GHz 帯を使用する高速な無線 LAN 通信の規格である。日本では 5.150 ~ 5.250GHz の帯域が使用可能となっており、位相雑音に関しては特に厳しい仕様ではない。特に要求されているのは高速・低消費電流動作である。LO 信号は使用する 5.2GHz 帯をカバーできるように最低でも 6GHz が必要であり、そのためには分周回路の動作周波数は 12GHz が必要である。

Cellular W-CDMA は第三代携帯電話の無線アクセス方式の一つである。日本をはじめとするアジアや欧州などでは 2.1GHz 帯を使用している。WLAN 用と比べ送受信で

同時に動作しなければならないので位相雑音が特に重要な仕様である。2GHz 帯を使用する場合、送受信周波数間隔は 190MHz となる。図 3 に位相雑音の説明として、ミキサでのダウンコンバージョンによる周波数変換の様子を示す。受信の場合、パワーアンプ (Power Amplifier) により増幅された後の送信側の信号が所望信号から 190MHz はなれた場所に雑音波としてスペクトラムが立ってしまう。所望信号と雑音波が位相雑音を持つ LO 信号によりダウンコンバージョンされ、低周波側に周波数変換される。この時、LO 信号が持っていた位相雑音が所望信号と妨害波にそれぞれ付加されて現れてくる。妨害波は基本的に微弱な所望信号に比べパワーアンプで増幅されて大きくなる。付加された位相雑音は所望信号帯域に重なってしまい、搬送波対雑音比 (C/N) を悪化させるので重要な問題となる。目標仕様では LO 信号が 2GHz (分周回路の動作周波数が 4GHz) の場合、分周回路と LO バッファ回路の位相雑音が 190MHz オフセットで -165dBc/Hz (dBc : キャリアに対する比) 以下であるのなら搬送波対雑音比の悪化は許容範囲になるとしている。

また、両方の共通仕様として 65nm CMOS プロセスにより電源電圧は 1.2V とする。後段の負荷容量は 100fF を想定し、ミキサで大きな基本波のスペクトルを確保したいので差動信号の片相振幅は大振幅出力が望ましい。

3. 分周回路の検討

(3-1) 分周回路の分類

現在論文などで検討されている分周回路は様々な種類の構成が存在する。動作原理などを考えてみると基本となる構成は数種類となり、多くはその発展系、もしくは改良系の分周回路となる。分周回路はだまかに Dynamic 分周回路構成と Logic 構成の二つに分類される。

Dynamic 分周回路構成はミキサとポリフェイズフィルタで構成され、ミキサの出力信号をポリフェイズフィルタへ通して帰還させる事で 4 位相を出力する分周回路となる。Logic 構成ではデジタル回路のような分周回路となり、基本的にフリップフロップにフィードバックをかけて分周回路を構成する。Logic 構成は構成が簡単であり、正確な 90 度の位相差を生成できるが出力信号が矩形波になるので三次高調波などの奇数次の高調波成分が大きくなってしまふのが問題である。Logic 構成はフリップフロップを構成するラッチによって Static Latch による構成と Dynamic Latch による構成の二つに分類される。

Static Latch は主にアクティブデバイスを利用しており、特徴としてフィードバックループを利用した情報を保持する保持回路が存在する。これによって安定的な動作が可能となり、分周回路としては広く用いられている。問題点として、保持回路がある為に一般的には高速動作が難しい。従来の分周回路には Static Latch の CML (Current Mode Logic) 構成が最も広く使用されている。

Dynamic Latch はパッシブデバイスを利用しており、特

徴として保持回路が存在しない。Dynamic Latch は保持回路を保有しない代わりにスイッチ (Switch) の後段にある CMOS インバータ (Inverter) の寄生容量に情報を電荷として貯える。保持回路がないので高速動作に向いている。しかし寄生容量のみに情報を保持するので保持状態に保持データ (電荷) が抜けやすく、安定的な動作が難しい。

〈3・2〉 高速・低消費電流動作の検討

〈3・2・1〉 従来回路構成の検討

CML (Current Mode Logic) 構成は高速ロジック・デバイスとして一般的であった ECL (Emitter Coupled logic) 構成にかわり広く用いられている。差動構成になっているので高いノイズ耐性を持ち、定常的に電流を流す為に電源ノイズも抑制できる。しかし、定常的に電流を流すので消費電流が大きくなる。高速性と消費電流のトレードオフが成り立ってしまう。

図 4、図 5 にその回路構成とシミュレーション結果の一例を示す。図 5 より目標動作周波数 12GHz での分周動作が可能である事が確認できた。この時の消費電流は 3.51mA となった。しかしながらこの構成には問題点が存在する。正常動作の為には全ての MOS を飽和状態で動作させるので低電源電圧動作に不向きである。また、前段からの入力振幅も制限する。今回の設計では 0.2Vpp の小振幅となってしまう、大振幅では出力波形に歪みが確認された。さらに出力端子についても注意が必要である。出力端子はフィードバックさせる為に直接 D 入力端子に接続しなければならない。よって、バイアス調整と振幅範囲を考えると図 5 のシミュレーション結果では出力振幅は 0.3Vpp と非常に小振幅になってしまった。そして最終的な出力で大振幅を得る為には LO バッファ回路で大きく増幅しなければならず、消費電流が大きくなってしまふ事が予想できる。よって、CML 構成は今回の検討では不向きであると考えた。

そこで我々は 65nm CMOS プロセスの高域遮断周波数に着目した。NMOS で 140GHz、PMOS でも 90GHz と非常に高い値を確保できる。これにより今まで PMOS の高域遮断周波数が低い事から高速動作が難しいと考えられていた Standard Logic 構成での高速ロジック動作の可能性を考え、検討を行った。

〈3・2・2〉 提案回路構成の検討

二種類の回路構成で検討を行った。

一つ目は標準 CMOS Logic 構成である。主に NAND、NOR、NOT など構成され、フィードバックをかけたものが分周回路となる。論理ゲートの組み合わせ次第で様々な回路構成が存在するが今回の検討では NAND のみを使用した回路構成で検討を行った。利点として定常電流を流さず、NAND が CMOS インバータに比べ貫通電流を抑えられる事から消費電流の削減が期待できる。図 6 に回路構成を示す。

二つ目は CMOS インバータとスイッチで構成した Ratio

Latch 構成である。Static Latch を改良し、差動化したものである。標準 CMOS Logic 構成よりも素子数が少ないので雑音源が少なくなり、低位相雑音を期待した。図 7 に回路構成を示す。両者の構成もフル振幅動作であり、広い出力範囲が期待できる。

両者の性能を確認する為に消費電流に対する最大動作周波数を表示する動作周波数クロック特性を確認する。VCO からの入力振幅は 1.0V に共通させ、出力スペクトラムの基本波パワーが 5.56dBm 以上を正常動作条件とする。正常動作条件について、両者の回路構成はフル振幅動作の為、出力振幅はグランドから電源電圧までの 1.2Vpp の矩形波になる事が予想できる。しかし、結果の中には分周動作をしているがフル振幅ではないという場合や出力波形が矩形波でなく正弦波に近くなってしまふ場合などがあり、正常動作を判断するための基準があいまいである。そこで今回の検討では正常動作の基準を分周可能とフル振幅出力とし、矩形波であるかは問わない事とした。また、フル振幅の判断方法として電圧表示では正確な判断が難しい。よってスペクトラム表示における出力の基本波の電力値により判断を行った。出力振幅が 1.2Vpp の場合、50Ω系で電力値に換算すると 5.56dBm になる為、上記のような正常動作条件を設定した。図 8 に動作周波数クロック特性を示す。図 8 より、標準 CMOS Logic 構成が最も有効である事が確認できた。この原因は状態の切り替え方法にあると考えた。標準 CMOS Logic 構成は MOS をスイッチとして切り替え、電流の経路を変える事で状態を変化させる。これに対して Ratio Latch 構成では状態の切り替えの際に保持回路の信号を取り込んだ信号が打ち消さなければならない。高周波になるにつれて完全に打ち消しきれずに不安定になり、高速動作ができないのではないかと考えている。

〈3・3〉 低位相雑音動作の検討

前記した通り分周回路には位相雑音が存在し、その位相雑音が VCO の位相雑音を悪化させる場合も考えられる。よって、分周回路の低位相雑音化も重要な検討項目となっている。位相雑音の原因として考えられているのは位相揺らぎ、時間軸雑音とも言われるジッタ (Jitter) である。ジッタは素子数が関係する電圧雑音が時間軸に焼きつけられる事で発生する。ジッタの解析式は (1) 式のようになる。

$$\sigma_{\Delta T}^2 = \frac{2\sigma_V^2}{S_L^2} \quad (1)$$

$\sigma_{\Delta T}^2$ はジッタパワー [sec²]、 σ_V^2 は電圧雑音パワー [V²]、 S_L はスルーレートの平均値 [V/sec] をそれぞれ表している。(1) 式の右辺の 2 倍はスルーレートを実効的に $\sqrt{2}$ 倍している事から発生したものである。(1) 式から電圧雑音パワーとスルーレートがジッタパワーに影響している事が分かる。低位相雑音動作の検討では標準 CMOS Logic 構成と Ratio Latch 構成のどちらがより少ない消費電流で目標仕様を達成できるかを調査した。位相雑音特性を図 9 に示す。

図9より標準 CMOS Logic 構成が最も有効である事が確認できた。また、この原因を検討する為に消費電流 4mA での各構成の位相雑音、スルーレート、素子数を表2に示す。表2より、標準 CMOS Logic 構成の方が Ratio Latch 構成に比べ位相雑音が低い事が分かる。また、標準 CMOS Logic 構成のスルーレートと素子数は Ratio Latch 構成に比べ約 5.0 倍と 1.6 倍であった。(1) 式は従来領域でその傾向を確認できている。そこで今回の目標領域である 190MHz オフセットでも同様に傾向が確認できると仮定して考える。電圧雑音の原因になる素子数の増加よりもスルーレートの増加の割合が高い事から標準 CMOS Logic 構成の方が Ratio Latch 構成に比べジッタパワーが小さくなる。よって、標準 CMOS Logic 構成の方が低位相雑音を実現しているのだと考えている。

4. LO バッファ回路の検討

(4-1) LO バッファ回路構成の選択

検討の結果から最も有効である分周回路の構成は標準 CMOS Logic 構成である事が確認できた。よって今度はその出力をミキサの入力部分へ駆動する為の LO バッファ回路について検討を行った。LO バッファ回路は様々な構成が存在する。例えば入力信号を増幅し、大振幅として出力できるオペアンプや出力インピーダンスが低く、バイアス電圧を任意に設定させる事ができるソースフォロアなどが代表的なバッファ回路として使用されている。しかし、上記の回路構成は基本的に定常電流を必要とし、低消費電流を目的とする今回の検討には不向きである事が予想できる。

そこで我々は CMOS インバータ構成に着目した。CMOS インバータはフル振幅動作なので大出力振幅を達成でき、定常電流を必要としないので低消費電流を実現できる。さらに選択した標準 CMOS Logic 構成の出力は理想的にはフル振幅の矩形波である事から CMOS インバータ構成が最も有効ではないだろうかと予想し、検討を行った。また、CMOS インバータ構成のバッファ回路では主に多段構成が使用されているが今回の目的である低消費電流・低位相雑音には向かない。よって我々は LO バッファ回路の構成は CMOS インバータ単体として検討した。

(4-2) 後段負荷容量 vs CMOS インバータの電流駆動力

LO バッファ回路は目標値として設定した後段負荷容量 100fF でも動作する電流駆動力が必要となる。100fF で動作できる最小の電流駆動力を持つ CMOS インバータの MOS サイズを探索した。負荷容量に対する LO バッファ回路の消費電流の関係を入力周波数が 6GHz と 2GHz の時でそれぞれ図10に示す。出力波形は理想的にフル振幅の矩形波が出力されるので図8と同じ正常動作条件を設定した。また、消費電流は4相出力を想定した全体の消費電流を表示した。入力信号には振幅が 1.2Vpp、バイアス電圧が 0.6V の矩形波を入力した。LO バッファ回路は二つの目標仕様を同時に満たす必要がある。よって入力周波数 6GHz 時に負荷容量

100fF で正常動作できる最小電流駆動力を持つ CMOS インバータの MOS サイズを選択した。

5. 全体性能評価

それぞれの回路構成と LO バッファ回路の MOS サイズが決定したので全体を組み合わせた性能評価を行った。全体の回路構成は図1となる。LO バッファ回路を4章で割り出した MOS サイズに固定し、分周回路のサイズにより消費電流を変化させた動作周波数クロック特性と位相雑音特性をそれぞれ図11、図12に示す。図11の動作周波数クロック特性では図8と同様の正常動作条件で検討を行った。図11、図12より、設計した分周回路と LO バッファ回路は入力周波数が 12GHz 時に全体の消費電流が 9.0mA@100fF で正常動作が可能である事を確認した。また、入力周波数が 4GHz 時に全体の消費電流が 3.1mA @100fF で正常動作を可能とし、位相雑音が -166.9dBc/Hz @190MHz-offset となる事を確認した。結果として二つの目標仕様を同時に満たす設計ができた事を確認した。

6. まとめ

65nm CMOS プロセスを使用し、低消費電流で高速動作と低位相雑音動作の要求される二つの異なる仕様を同時に満たす分周回路と LO バッファ回路の最適な構成法と予想される後段負荷容量に対する最小消費電流値を導出した。

1. 高速動作と低位相雑音動作の検討から分周回路は標準 CMOS Logic 構成が最も低消費電流で仕様を満たせる事を確認した。
2. 全体の回路構成として、分周回路に標準 CMOS Logic 構成、LO バッファ回路に CMOS インバータ構成を選択して設計を行った。
3. 高速動作の検討では全体の消費電流が 9.0mA @100fF で入力周波数 12GHz の正常動作が可能である事を確認した。
4. 低位相雑音動作の検討では全体の消費電流が 3.1mA@100fF で入力周波数が 4GHz 時に位相雑音が -166.9dBc/Hz@190MHz-offset の性能を持つ事を確認した。
5. 全体の検討を通して 65nm CMOS プロセスという微細 CMOS プロセスではその恩恵を最も受けているオーソドックスな標準 CMOS Logic 構成が従来構成である CML 構成よりも低消費電流・低位相雑音動作において有効である事が確認できた。

上記の結果から今後さらなる CMOS の微細化に伴い、その恩恵を受けられるデジタルリッチな回路構成が従来のアナログ回路構成よりも高い性能を有する可能性がある事が確認でき、更に研究を進展させていく必要があると考えている。

文 献

- (1) Louis Fan Fei: "Frequency divider design strategies", RF Design, Penton Media, Inc., March, 2005
- (2) Jiren Yuan, Christer Svensson: "New TSPC Latches and Flipflops Minimizing Delay and Power", Digest of Technical Papers of 1996 Symposium on VLSI Circuits, pp. 160-161, June 1996
- (3) John A. McNeill: "Jitter in Ring Oscillators", IEEE Journal of Solid-State Circuits, Vol. 32, No. 6, June 1997
- (4) Salvatore Levantino, Luca Romanò, Stefano Pellerano, Carlo Samori, Andrea L. Lacaita: "Phase Noise in Digital Frequency Dividers", IEEE Journal of Solid-State Circuits, Vol. 39, No. 5, May 2004
- (5) Reto Zimmermann, Wolfgang Fichtner: "Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic", IEEE Journal of Solid-State Circuits, Vol. 32, No. 7, July 1997
- (6) L. Romanò, S. Levantino, S. Pellerano, C. Samori, A. Lacaita: "Low Jitter Design of a 0.35 μ m-CMOS Frequency Divider Operating up to 3GHz", ESSCIRC 2002
- (7) Saeed Tahmasbi Oskuii: "Comparative study on low-power high-performance flip-flops", LiTH-ISY-EX-3432-2003
- (8) Ali Hajimiri, Thomas H. Lee: "A General Theory of Phase Noise in Electrical Oscillators", IEEE Journal of Solid-State Circuits, Vol. 33, No. 2, February 1998
- (9) Bram De Muer, Michiel Steyaert: "A single-ended 1.5 GHz 8/9 dual-modulus prescaler in 0.7 μ m CMOS with low phase noise and high input sensitivity", IEEE Journal of Solid-State Circuits, pp. 256-259, September 1998
- (10) Marko Aleksic, Nikola Nedovic1, K. Wayne Current and Vojin G. Oklobdzija: "A New Model for Timing Jitter Caused by Device Noise in Current-Mode Logic Frequency Dividers", PATMOS 2005: 724-732
- (11) Manolis Terrovitis: "Simulating the Phase Noise Contribution of the Divider in a Phase Lock Loop", Version 1, 23, The Designer's Guide community, May 2003
- (12) Ken Kundert: "Predicting the Phase Noise and Jitter of PLL-Based Frequency Synthesizers", Version 4g, August 2006
- (13) Neil Roberts: "Phase Noise and Jitter - A Primer for Digital Designers", EEdesign, July 14, 2003

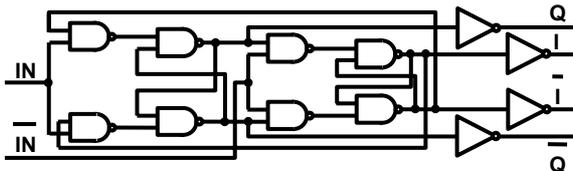


図1 分周回路と LO バッファ回路の構成.

Fig. 1 Architecture of divider and LO-buffer circuit.

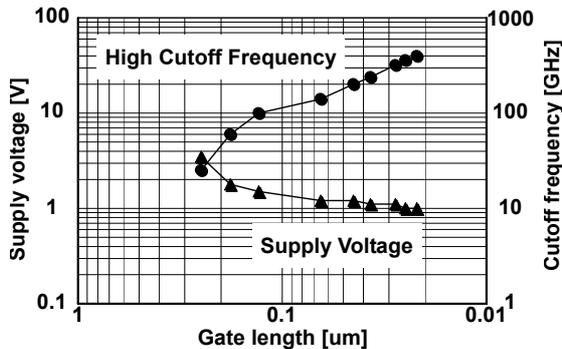


図2 ゲート長と MOS の性能の推移.

Fig. 2 MOS performance versus channel length.

表 1 目標仕様

Table 1. Target specification

Target Specification		
	WLAN 802.11a	Cellular W-CDMA
Operating Frequency [GHz]	12	4
Phase Noise [dBc/Hz] (@190MHz-offset)		-165.0
Supply Voltage [V]	1.2	
Load Capacitance [fF]	100	
Output Amplitude [Vpp] (Doubled in differential)	Large Amplitude	

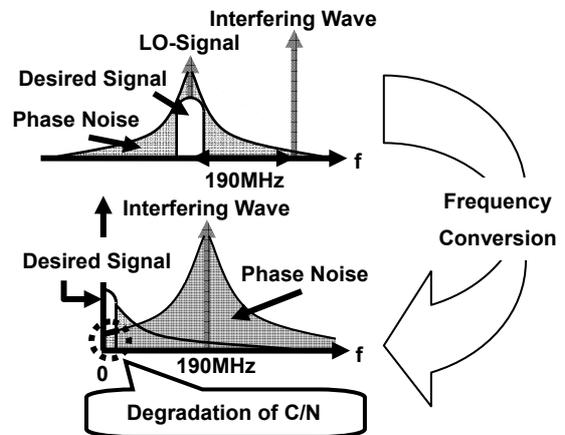


図3 位相雑音.

Fig. 3 Phase noise.

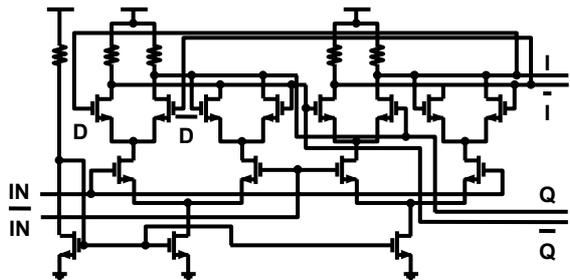


図4 CML構成.

Fig. 4 CML architecture.

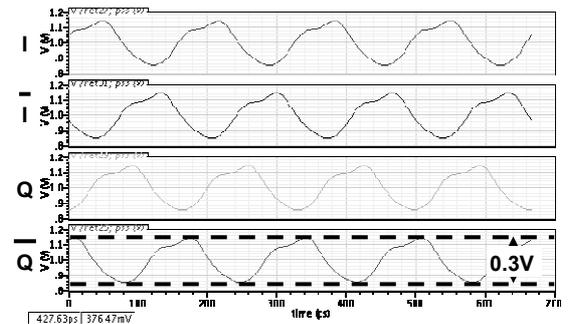


図5 CML構成でのシミュレーション結果.

Fig. 5 Simulation results with CML architecture.

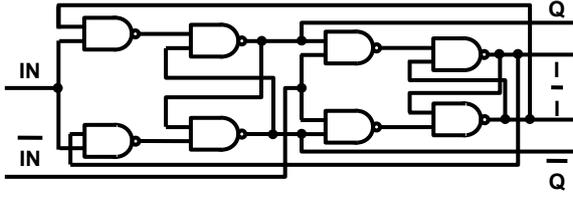


図 6 標準 CMOS Logic 構成.

Fig. 6 Standard CMOS logic architecture.

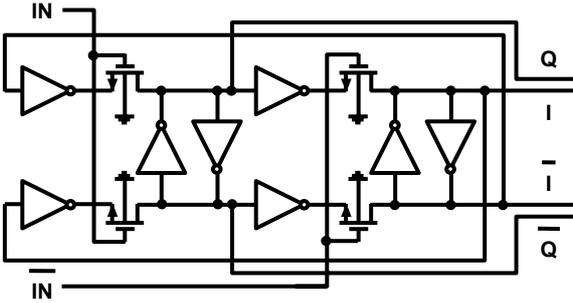


図 7 Ratio Latch 構成.

Fig. 7 Ratio latch architecture.

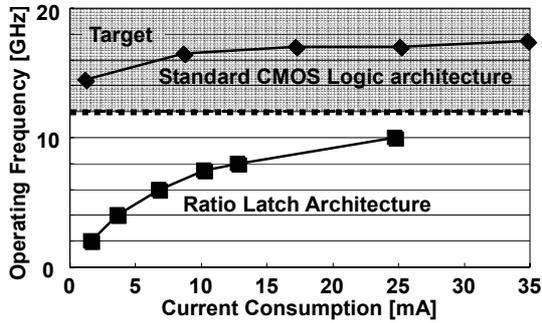


図 8 分周回路の動作周波数クロック特性.

Fig. 8 Operating clock frequency characteristics of divider.

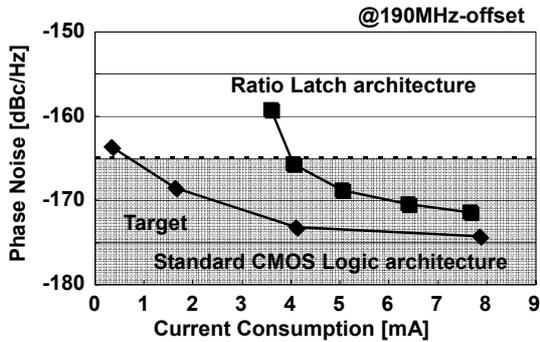


図 9 分周回路の位相雑音特性.

Fig. 9 Phase noise characteristics of divider.

表 2 消費電流 4mA での特性
Table 2. Characteristics with current consumption 4mA

	Standard CMOS Logic Architecture	Ratio Latch Architecture
Phase Noise [dBc/Hz] (@190MHz-offset)	-173.2	-165.7
Slew Rate [V/ns]	44.9	8.9
Number of Elements	32	20

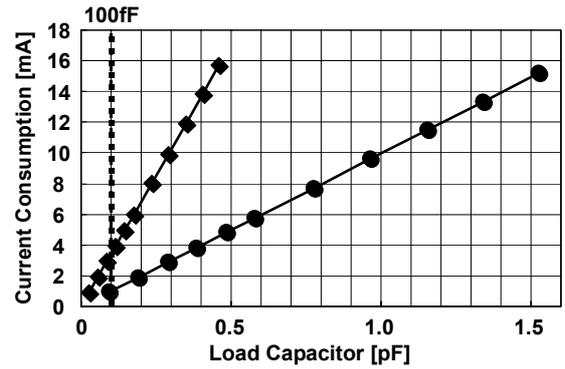


図 10 CMOS インバータにおける消費電流 vs 負荷容量.

Fig. 10 Current consumption versus load capacitance with CMOS inverter.

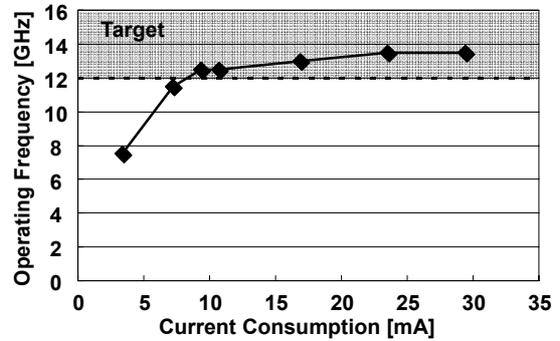


図 11 動作周波数クロック特性.

Fig. 11 Operating clock frequency characteristics of total circuit.

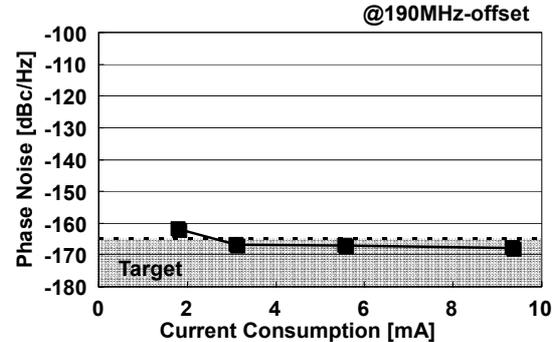


図 12 位相雑音特性.

Fig. 12 Phase noise characteristics of total circuit.