

パイプラインADC デジタル自己校正アルゴリズム

群馬大学大学院工学研究科
電気電子工学専攻
情報通信システム第二研究室

○高橋 洋介, 趙 楠, 傘 昊,
三田 大介, 八木 拓哉, 小林 春夫

発表内容

- 研究目的
- パイプラインADCの構成と動作
- 問題提起
- デジタル自己校正
- シミュレーション
- まとめ

発表内容

- 研究目的
- パイプラインADCの構成と動作
- 問題提起
- デジタル自己校正
- シミュレーション
- まとめ

研究背景

- パイプライン CMOS ADCの位置づけ
高分解能、中高速で 産業界で広く用いられる。



- CMOSの微細化によって
製造ばらつきによる精度劣化
高ゲインオペアンプ製造困難
高精度化が難しい



- デジタル領域で自己校正

研究背景

■ CMOS微細化

容量C: **大** 製造ばらつき: **小**



面積**大**
消費電力**大**

微細化

容量C: **小** 製造ばらつき: **大**



面積**小**
消費電力**小**

デジタル補正

製造ばらつきによる誤差を補正
低消費電力化に貢献

研究目的

LSIでのアナログ的な特性劣化



良と不良の2値ではない **グレーゾーンあり**



自己校正で『良』にする技術の確立

研究目標

パイプラインADCの不良



従来のパイプラインADC自己校正アルゴリズム



設計している特定のアーキテクチャに工夫して適用



効果をシミュレーションにて検証する

デジタル誤差補正とデジタル自己校正

デジタル誤差補正

冗長回路をもち、回路の非理想要因を
許容して正解を出力
非理想要因は計測しない。

デジタル自己校正

回路の非理想要因をデジタル値として測定
メモリに記憶
その値をもとに通常動作のときに補正

フォアグラウンドとバックグラウンド 自己校正

フォアグラウンド・自己校正

通常動作をストップして
自己校正のための時間をもつ

バックグラウンド・自己校正

通常動作はストップしない。
自己校正はユーザからは全く見えない。

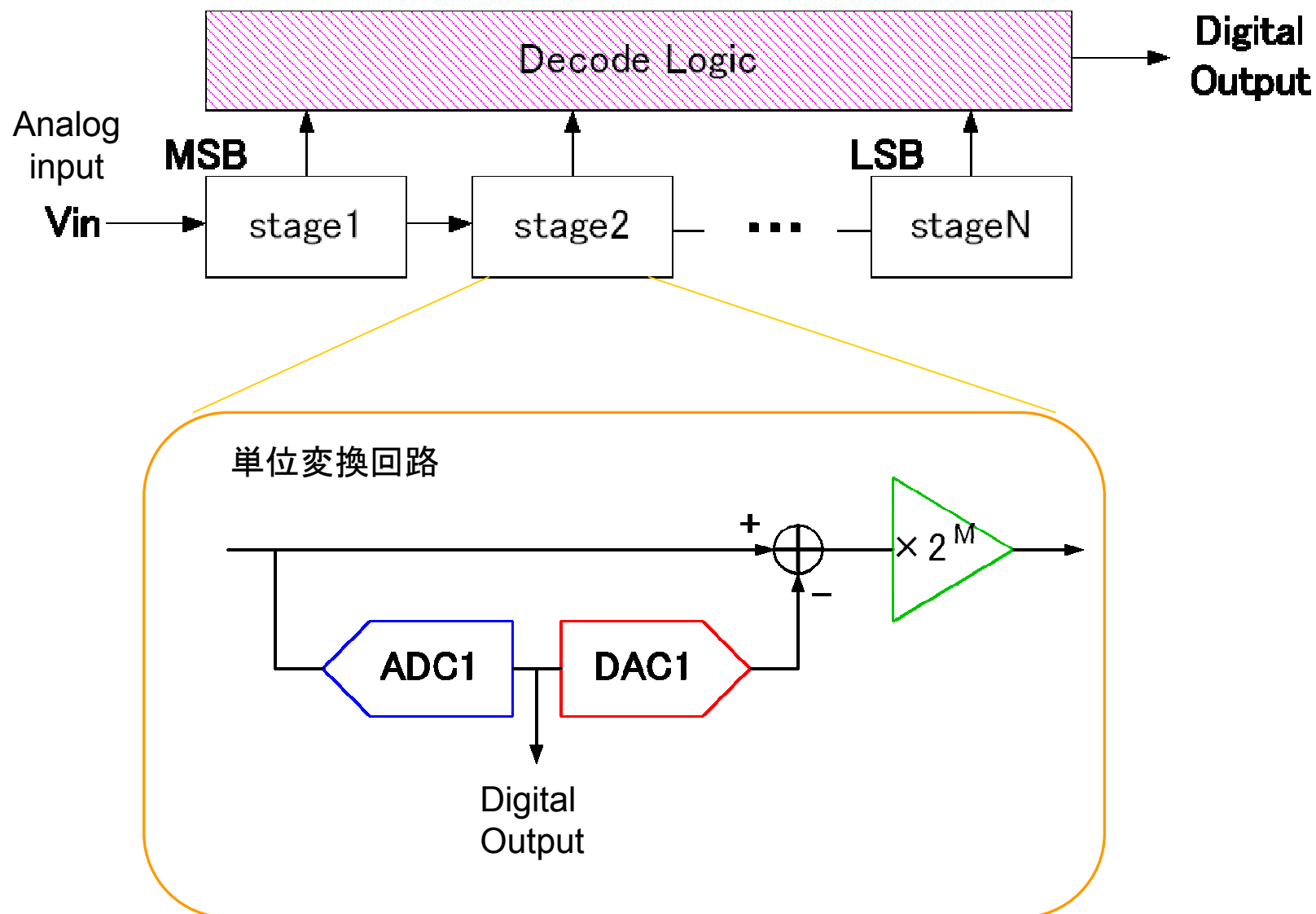


最終目標

発表内容

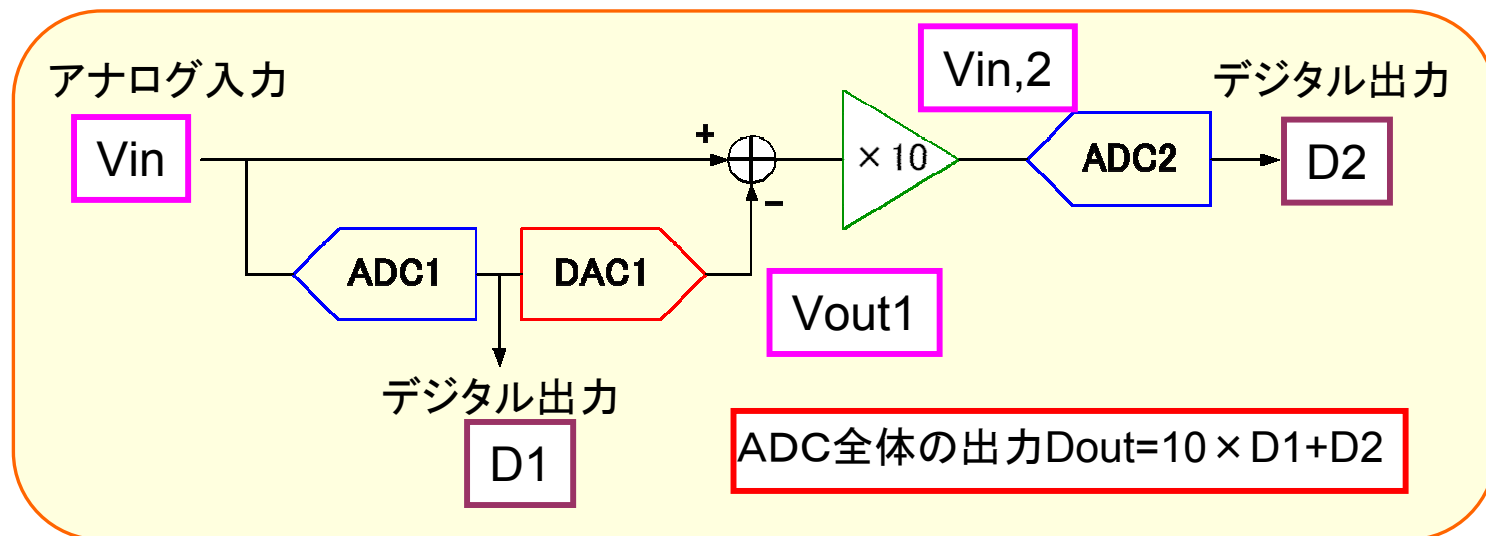
- 研究目的
- **パイプラインADCの構成と動作**
- 問題提起
- デジタル自己校正
- シミュレーション
- まとめ

パイプラインADCの構成



10進数,2段構成の場合

パイプラインADCの動作

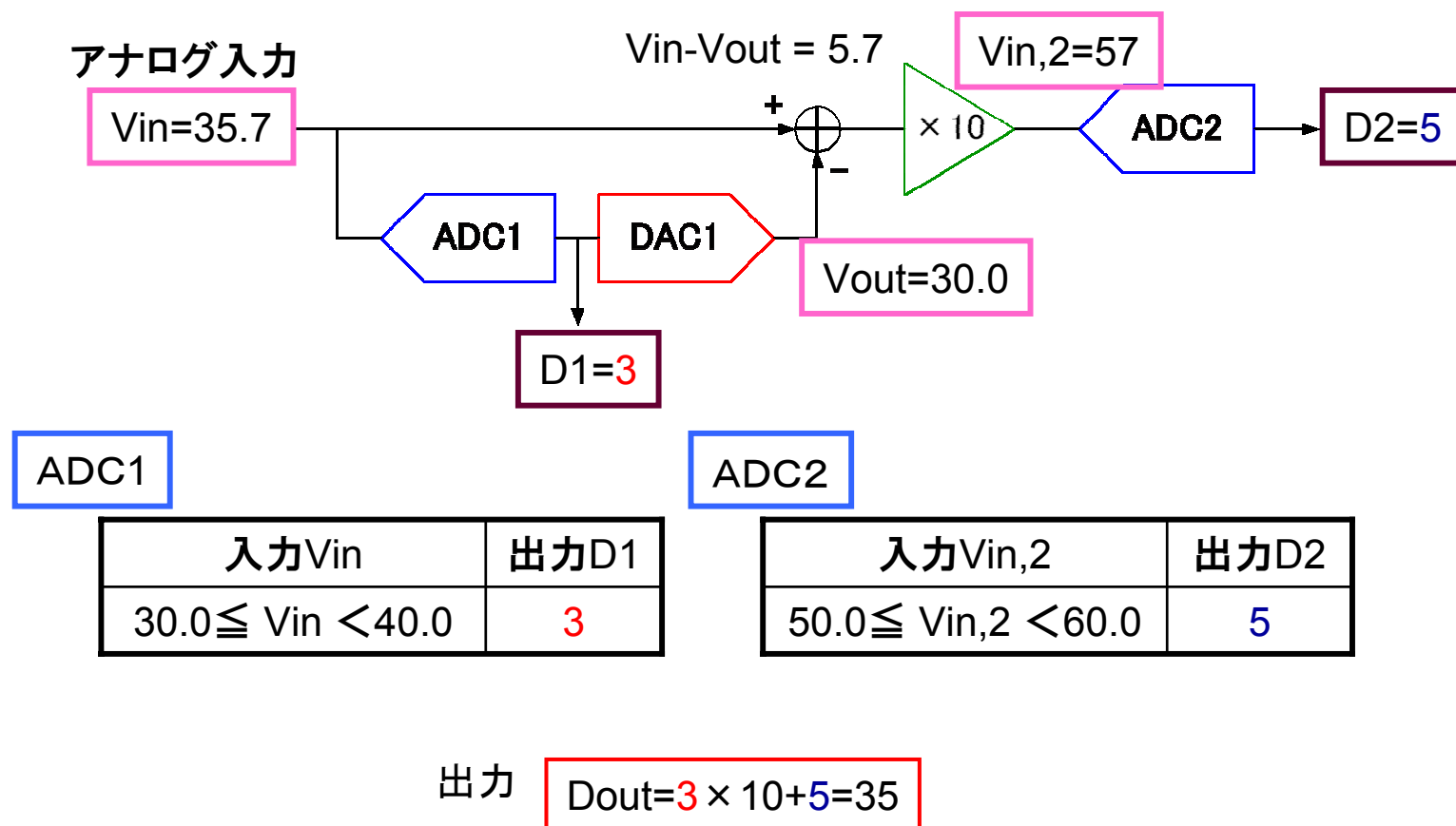
アナログ入力 V_{in} は $0.0 \leq V_{in} < 100.0$

ADC1

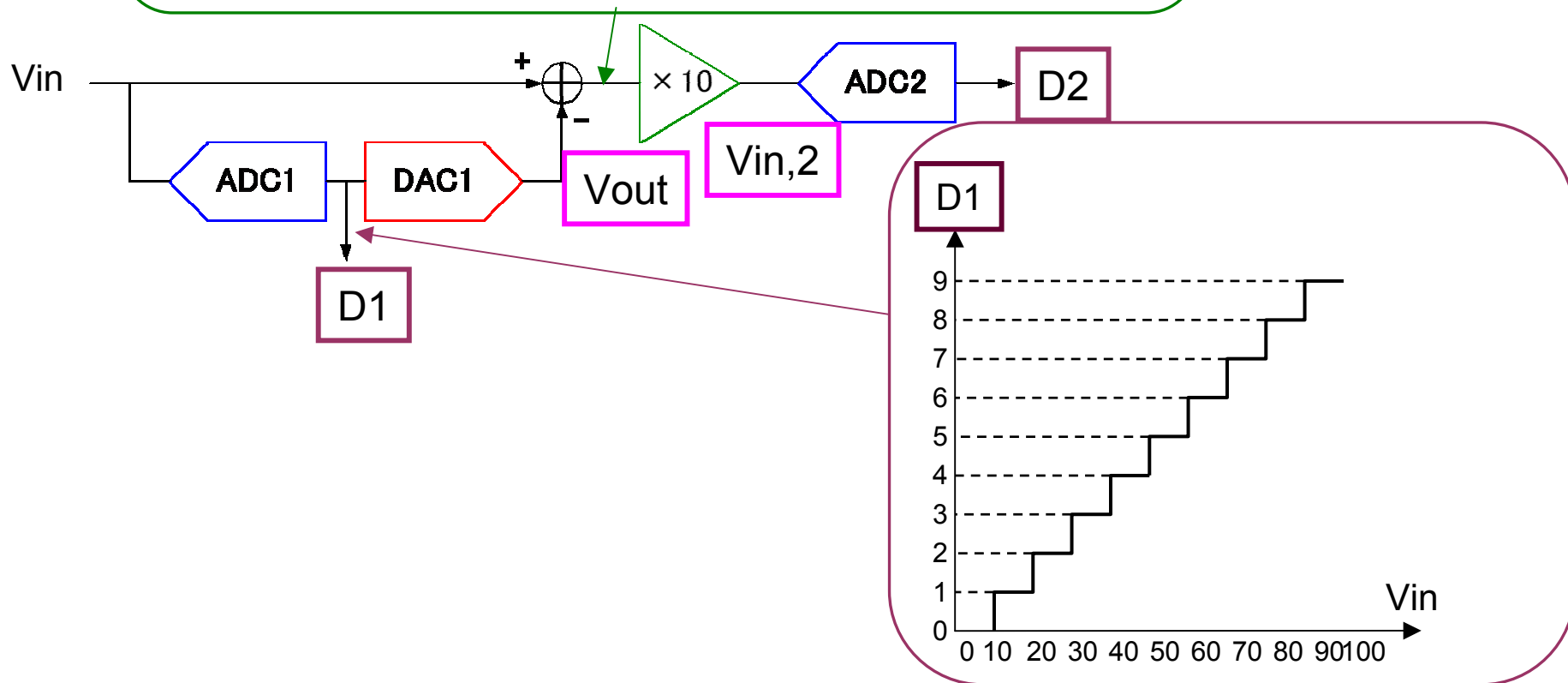
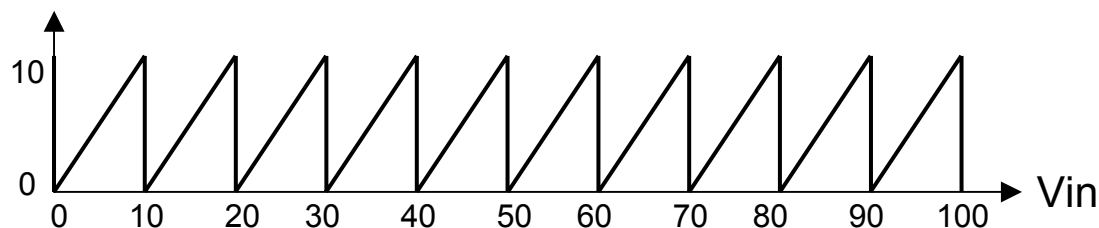
ADC2

アナログ入力Vin	デジタル出力D1
0.0≦Vin<10.0	0
10.0≦Vin<20.0	1
20.0≦Vin<30.0	2
⋮	
90.0≦Vin<100.0	9

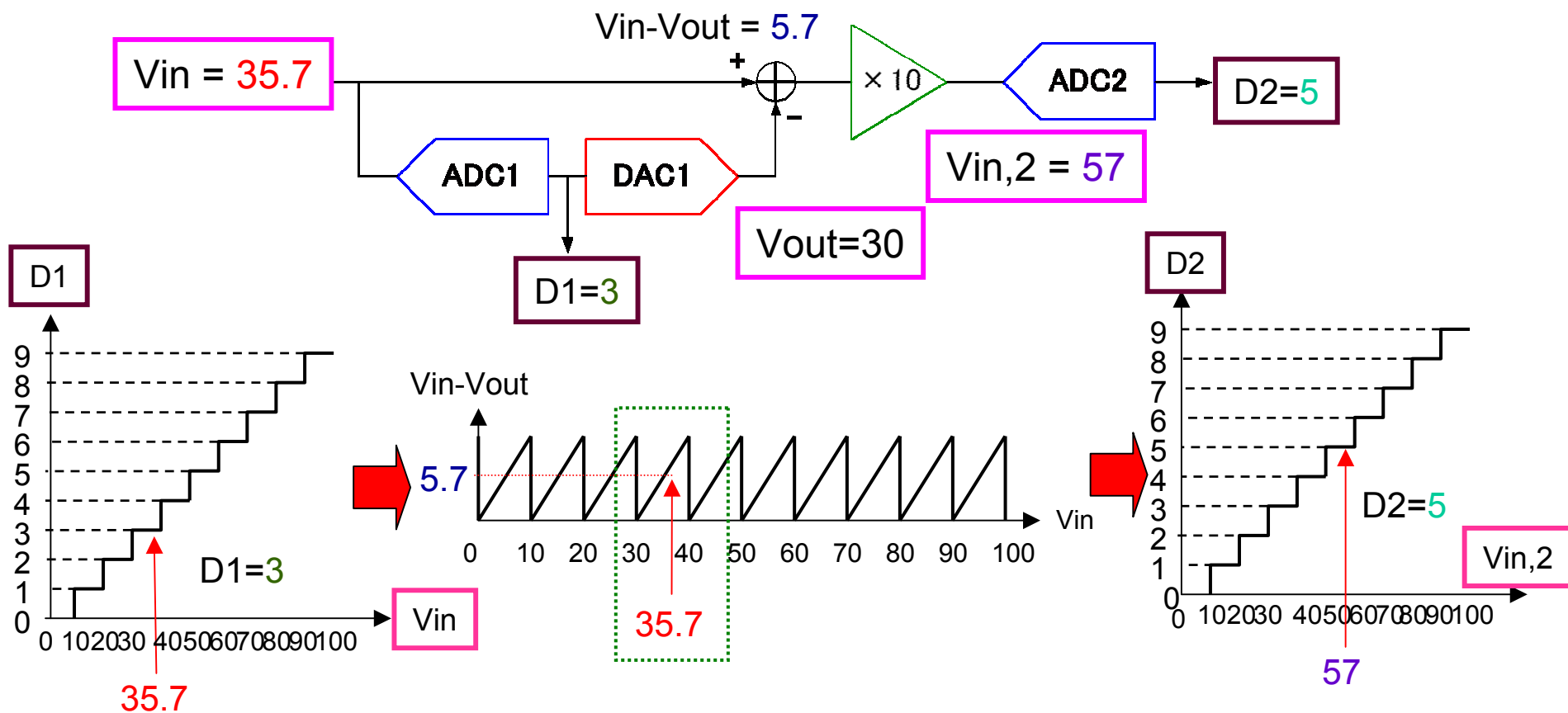
パイプラインADC動作例



パイプラインADC動作波形

残差信号 $V_{in} - V_{out}$ 

パイプラインADC動作波形



$$D_{out} = 3 \times 10 + 5 = 35$$

発表内容

- 研究目的
- パイプラインADCの構成と動作
- **問題提起**
- デジタル自己校正
- シミュレーション
- まとめ

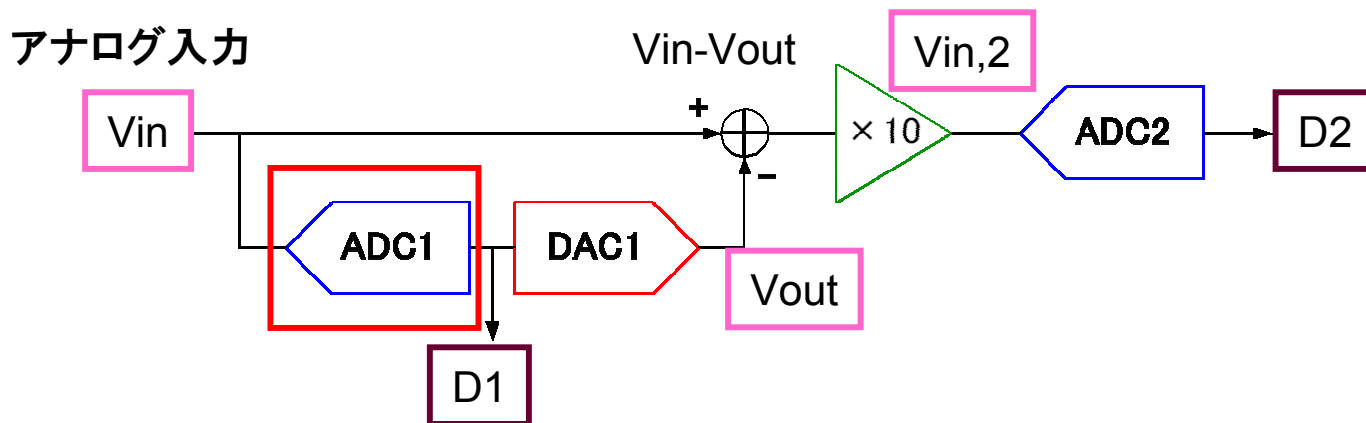
問題提起

■ ADC1の非線形性の影響

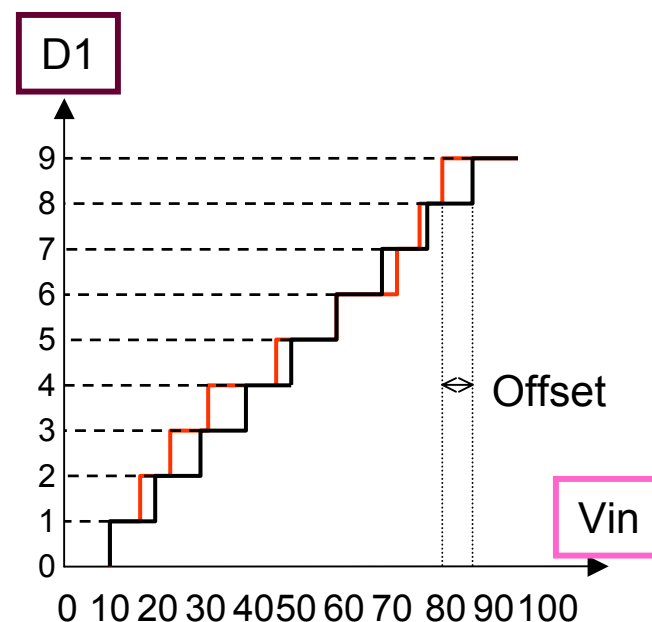
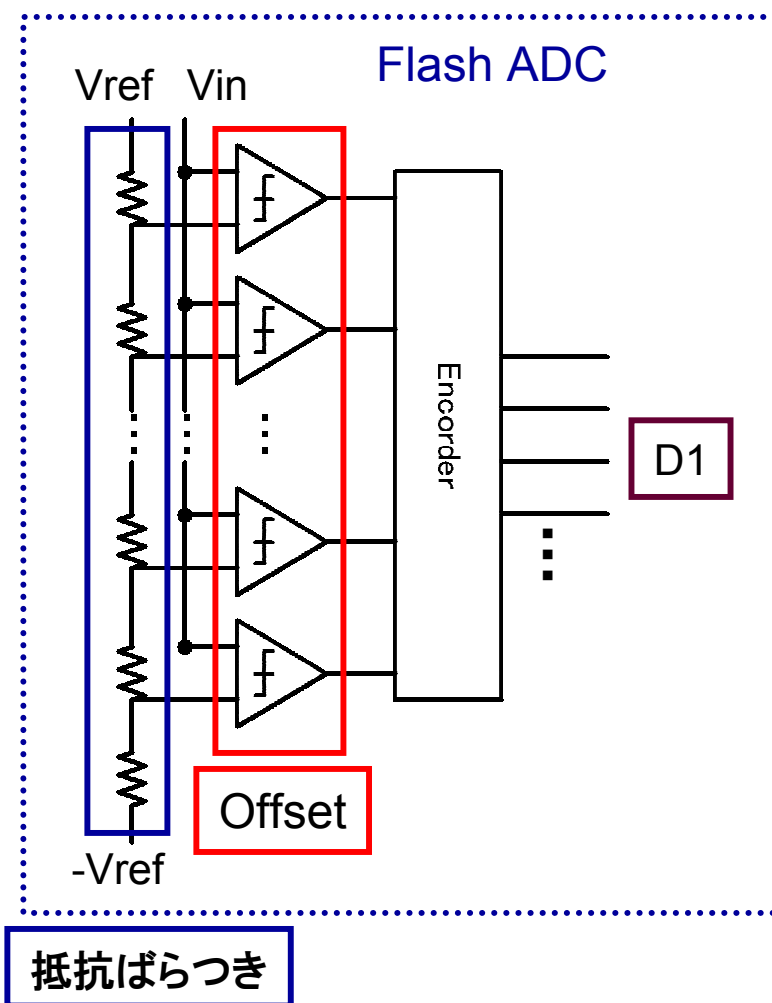
後段ADCの精度

DACの非線形性の影響

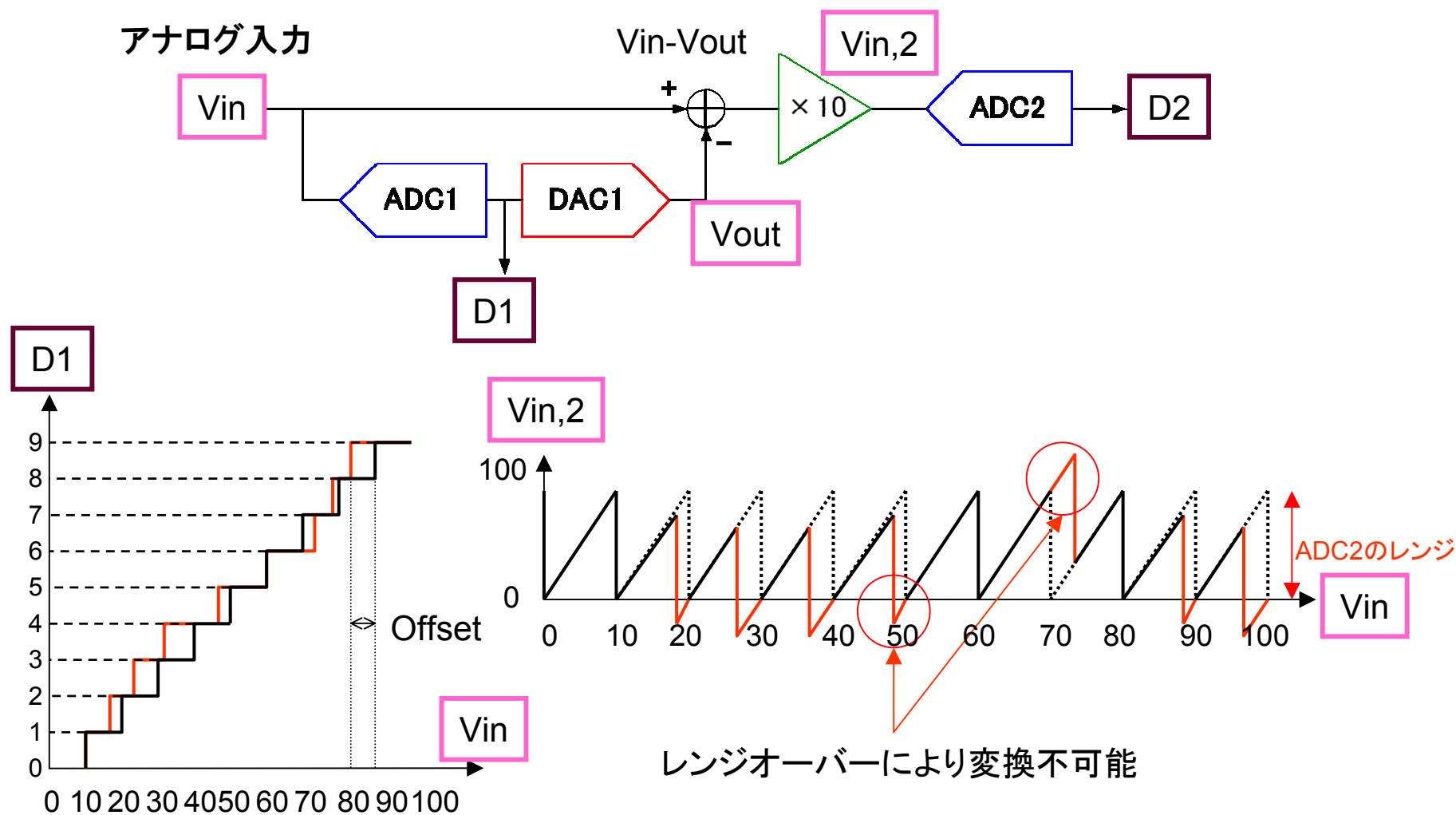
段間アンプのゲイン誤差の影響



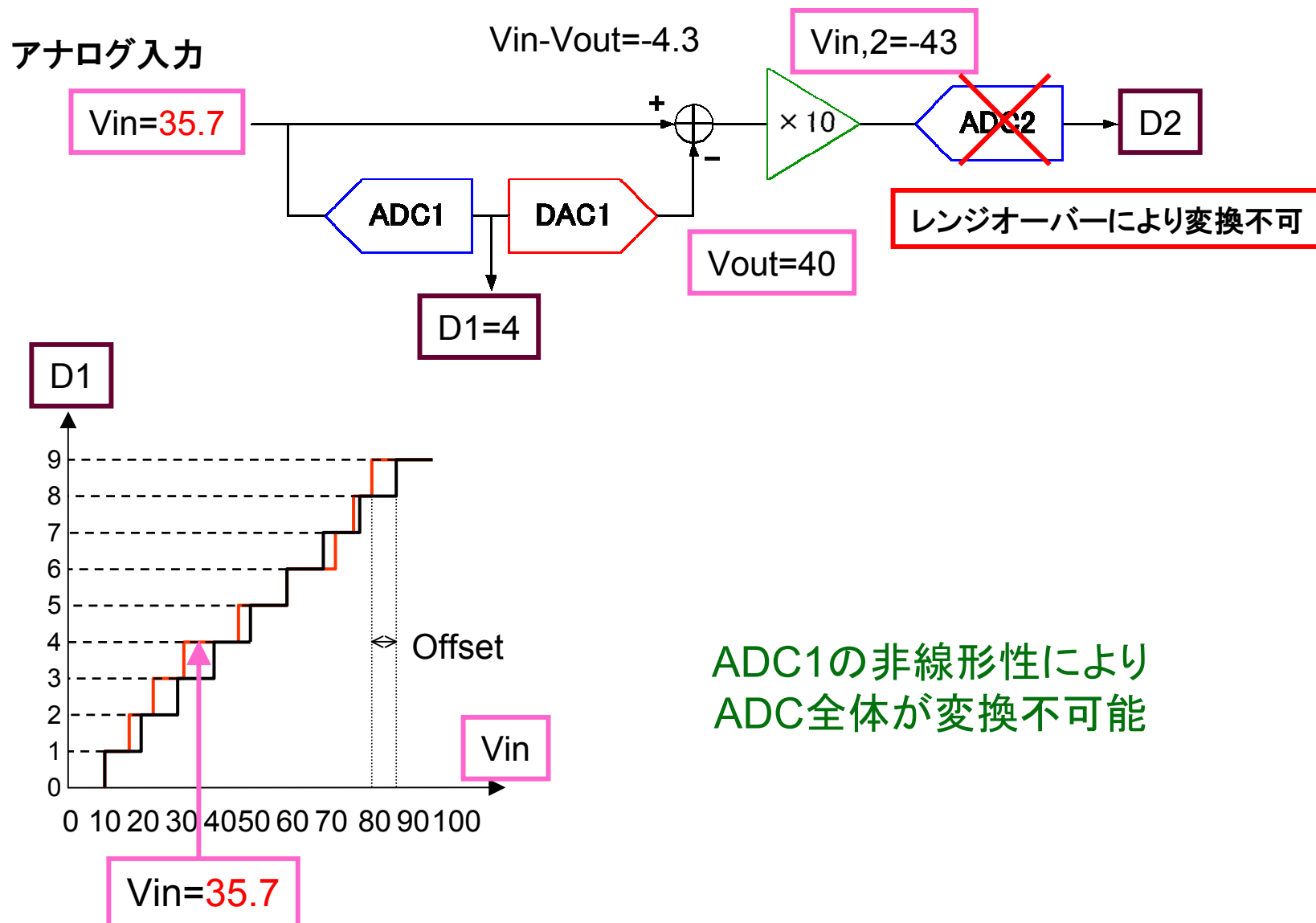
ADC1の非線形性の影響



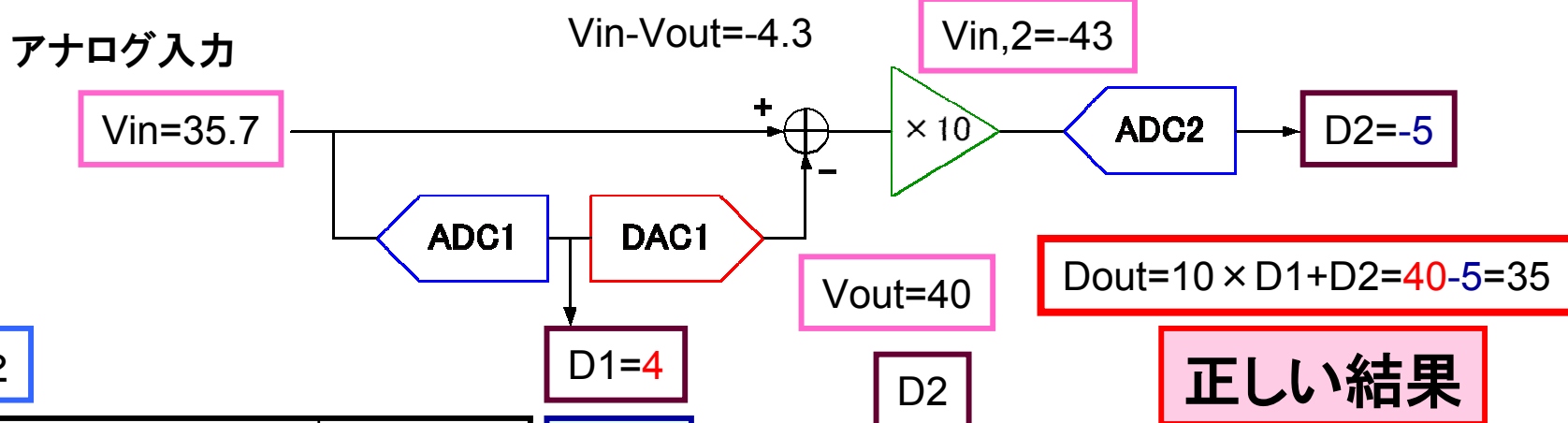
ADC1の非線形性の影響



ADC1の非線形性の影響



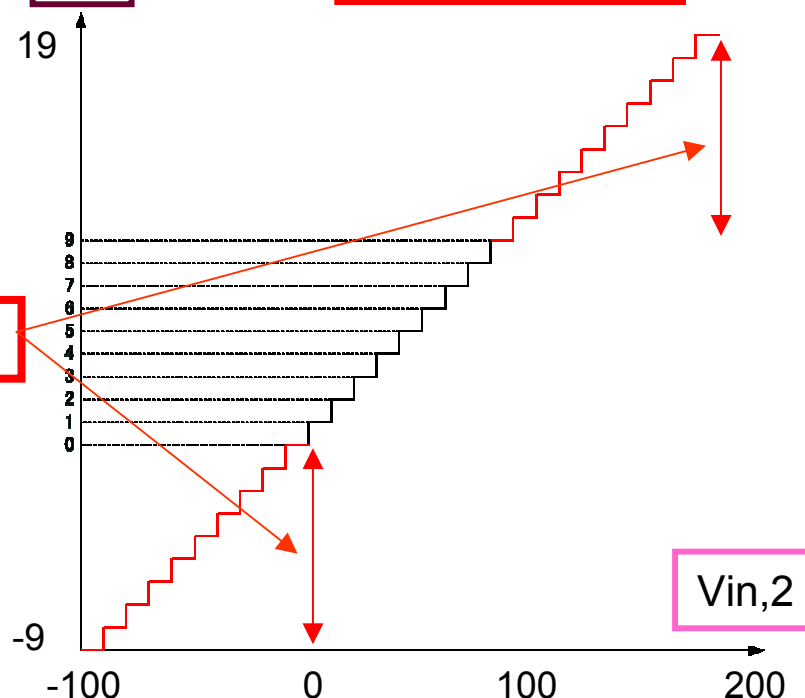
ADC1の非線形性の影響



アナログ入力 $V_{in,2}$	デジタル出力 $D2$
$-100.0 \leq V_{in,2} < -90.0$	-9
$-90.0 \leq V_{in,2} < -80.0$	-8
$\vdots$	
$0.0 \leq V_{in,2} < 10.0$	0
$\vdots$	
$90.0 \leq V_{in,2} < 100.0$	9
$\vdots$	
$180.0 \leq V_{in,2} < 190.0$	18
$190.0 \leq V_{in,2} < 200.0$	19

誤り

レンジを広くする



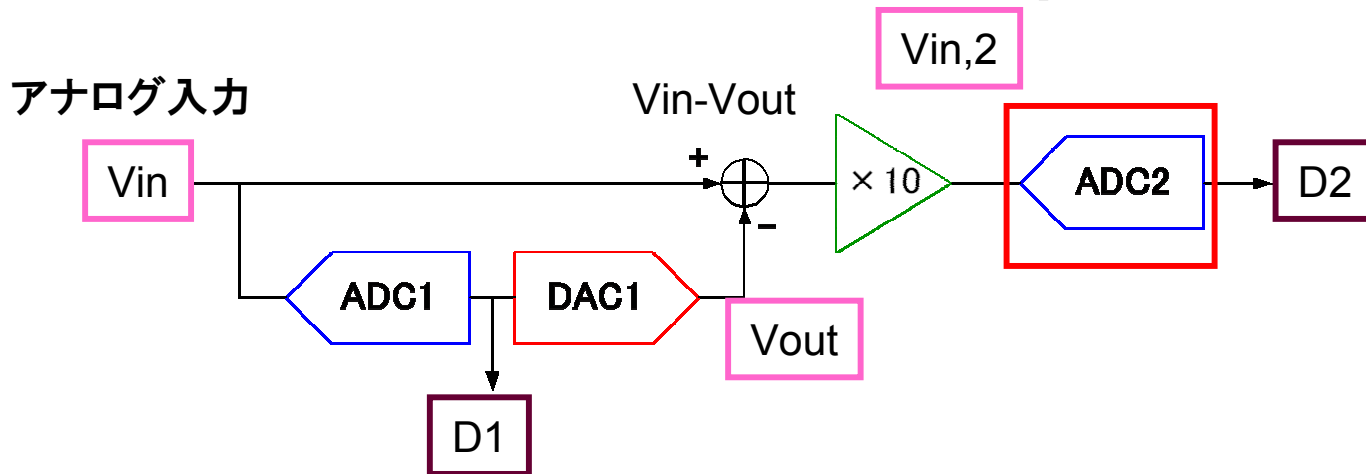
問題提起

ADC1の非線形性の影響

■ 後段ADCの精度

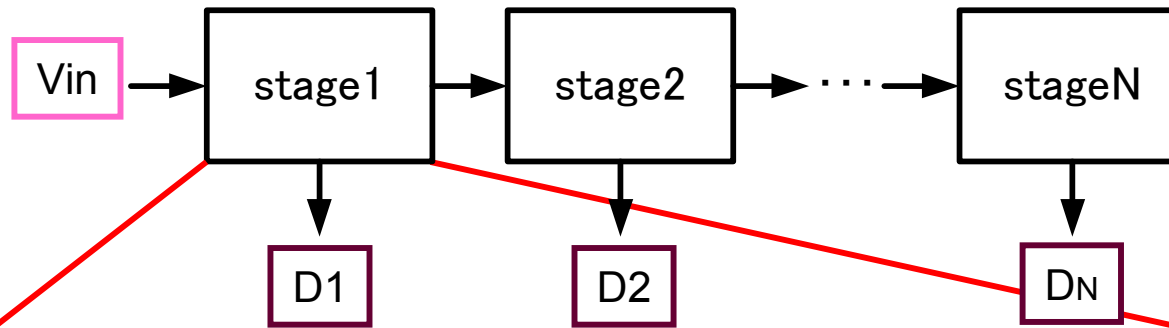
DACの非線形性の影響

段間アンプのゲイン誤差の影響



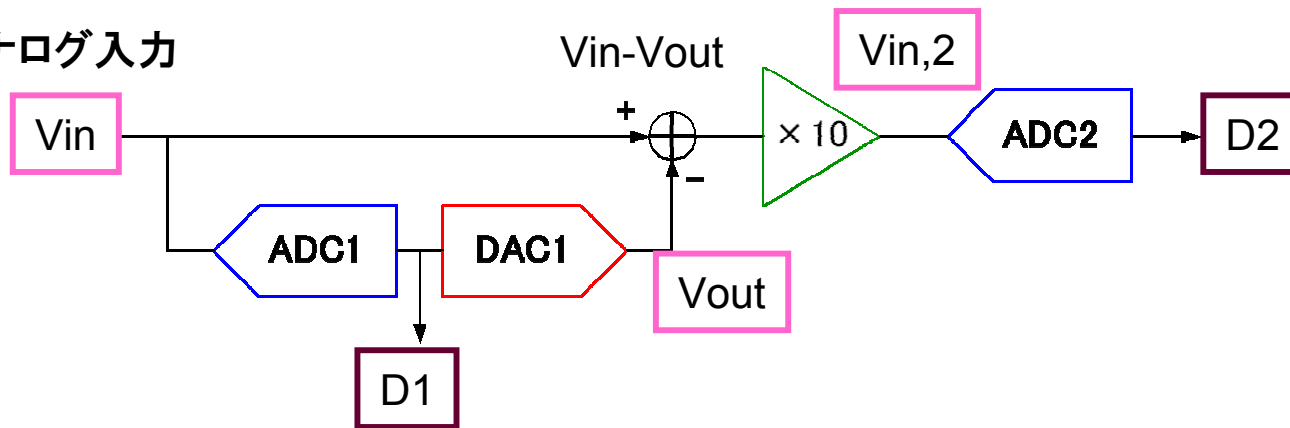
後段ADCの精度

N段構成



単位変換回路

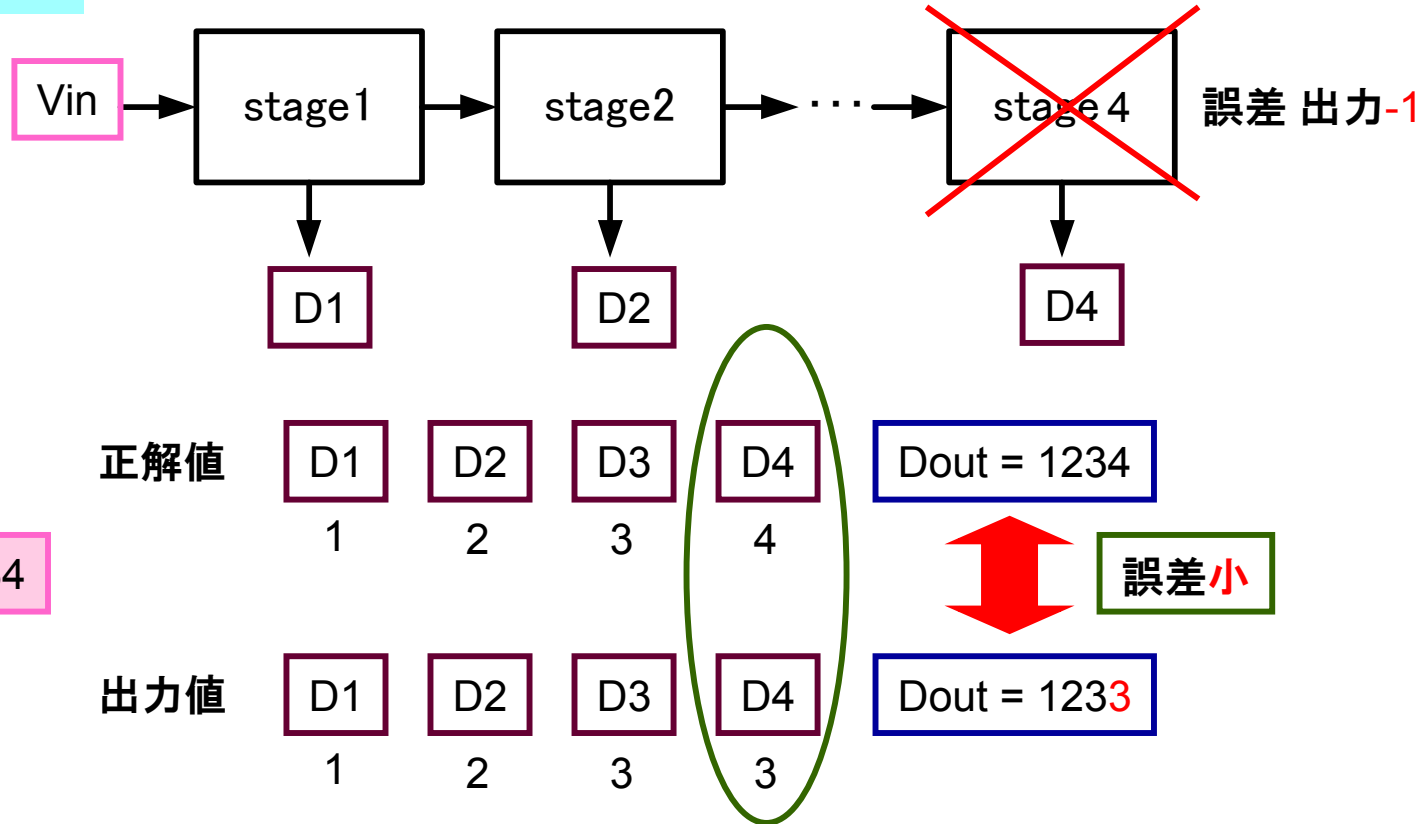
アナログ入力



$$\text{全体の出力 } D_{\text{out}} = D1 \times 10^{N-1} + D2 \times 10^{N-2} + \dots + D_N$$

後段ADCの精度

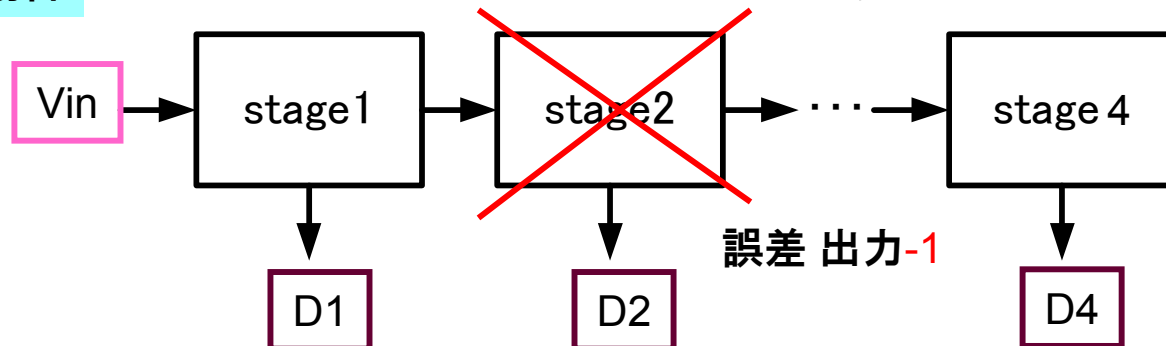
N=4の場合



$$\text{全体の出力 } D_{out} = D1 \times 10^3 + D2 \times 10^2 + \dots + D4$$

後段ADCの精度

N=4の場合



正解値

D1

1

D2

2

D3

3

D4

4

Dout = 1234

Vin=1234

出力値

D1

1

D2

1

D3

3

D4

4

Dout = 1134

誤差大

全体の出力 $Dout = D1 \times 10^3 + D2 \times 10^2 + \dots + D4$

前段ADC
精度を要求

後段ADC
精度を要求されない

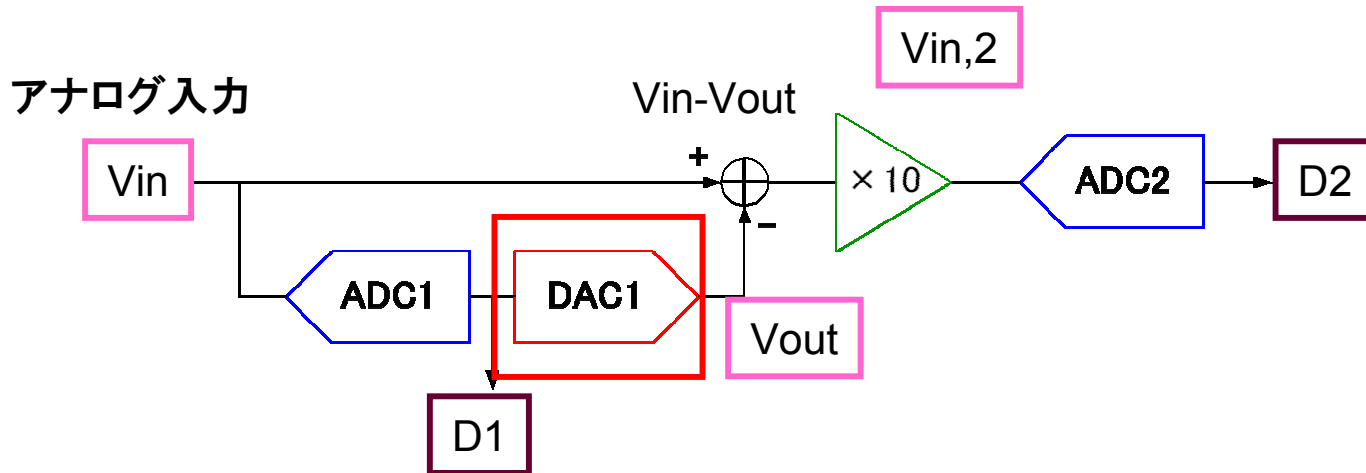
問題提起

ADC1の非線形性の影響

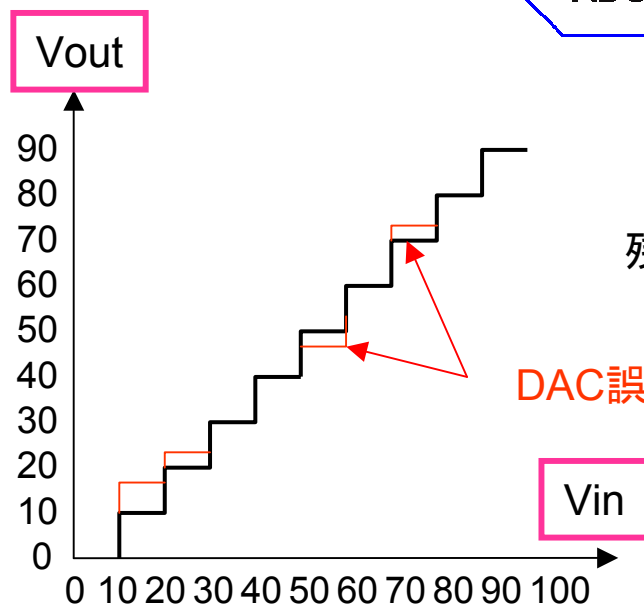
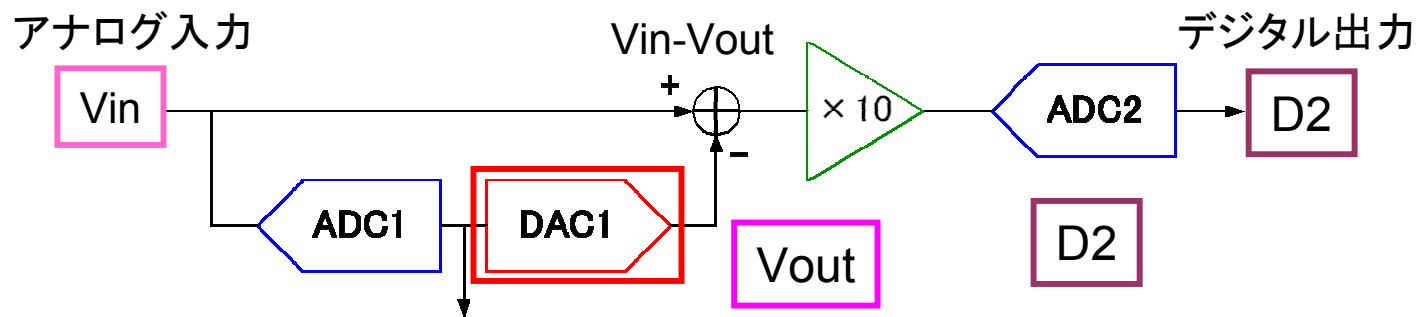
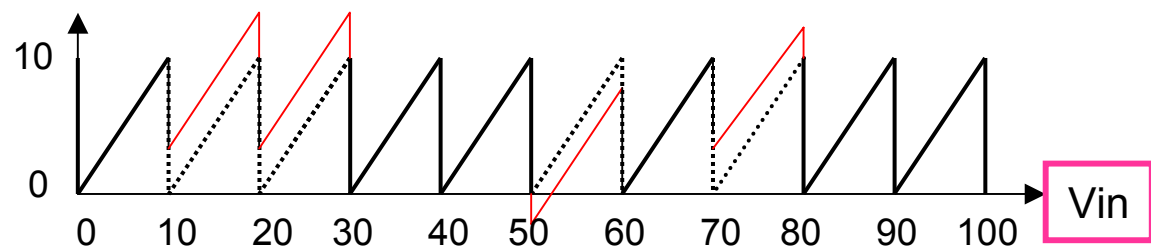
後段ADCの影響

■ DACの非線形性の影響

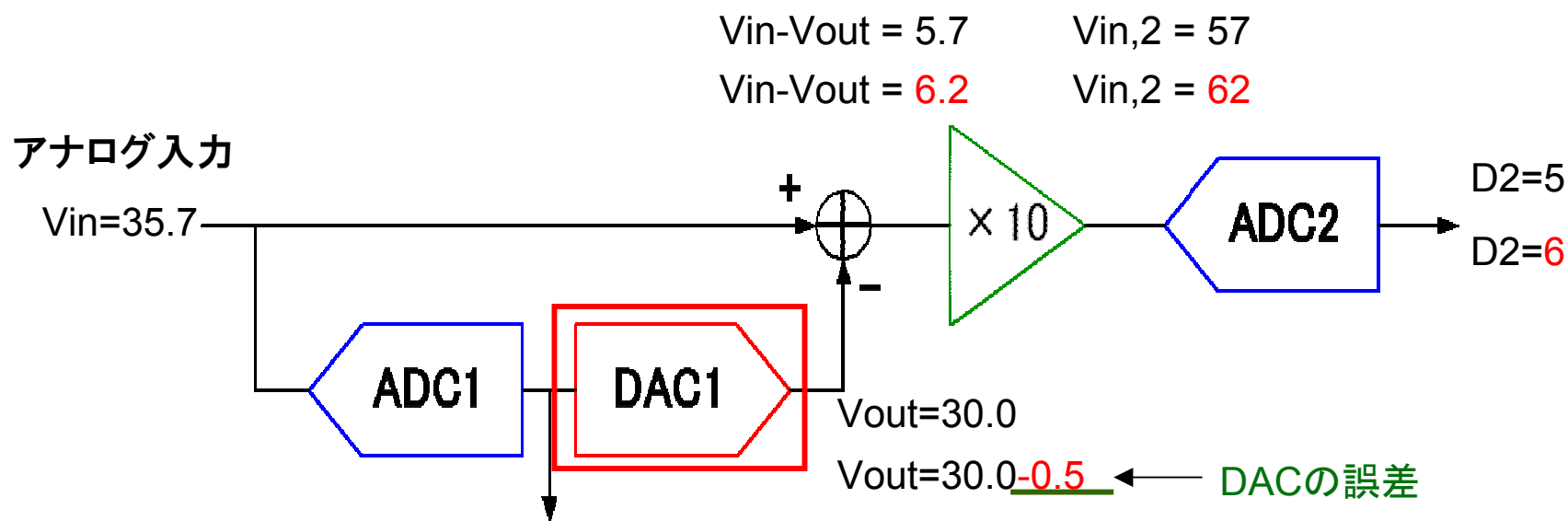
段間アンプのゲイン誤差の影響



DACの非線形性の影響

残差信号 $V_{in} - V_{out}$ 

DACの非線形性の影響



正しい値

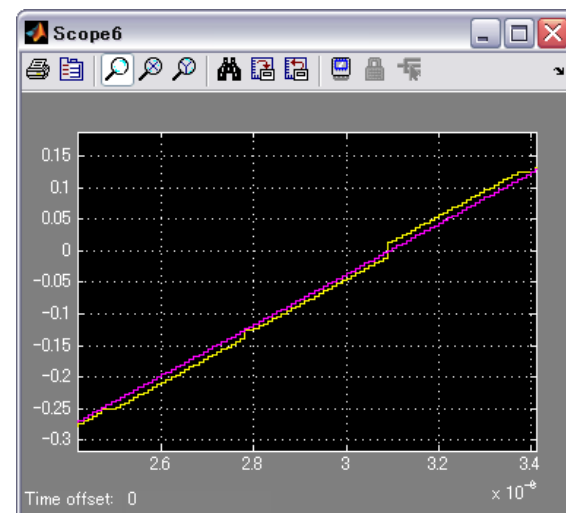
D1=3

$$D_{out}=3 \times 10 + 5 = 35$$

DAC非線形性あり

$$D_{out}=3 \times 10 + 6 = 36$$

DAC非線形性により
 全体のADC出力誤差が生じる



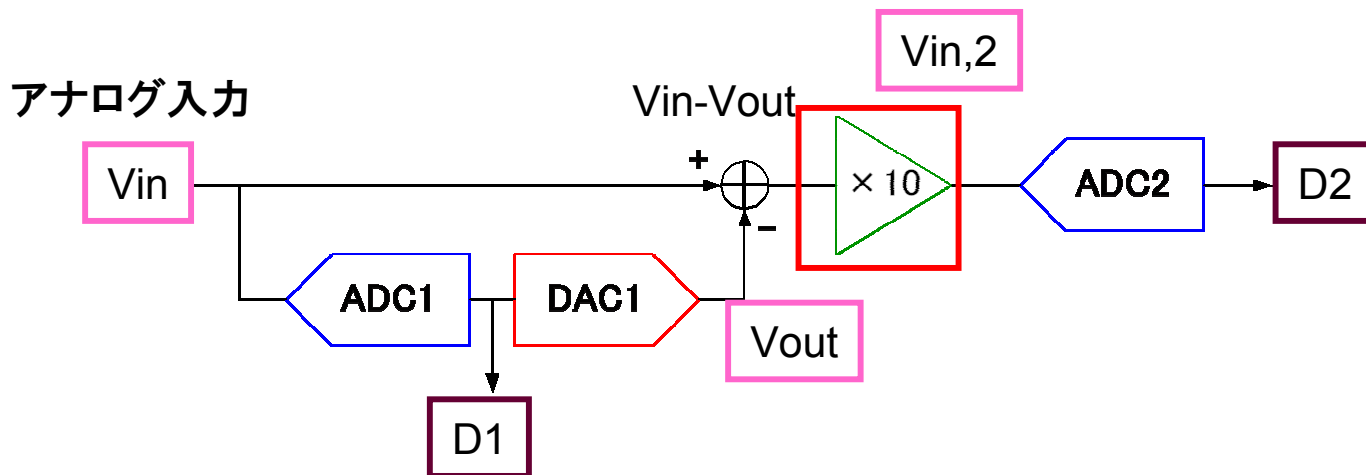
問題提起

ADC1の非線形性の影響

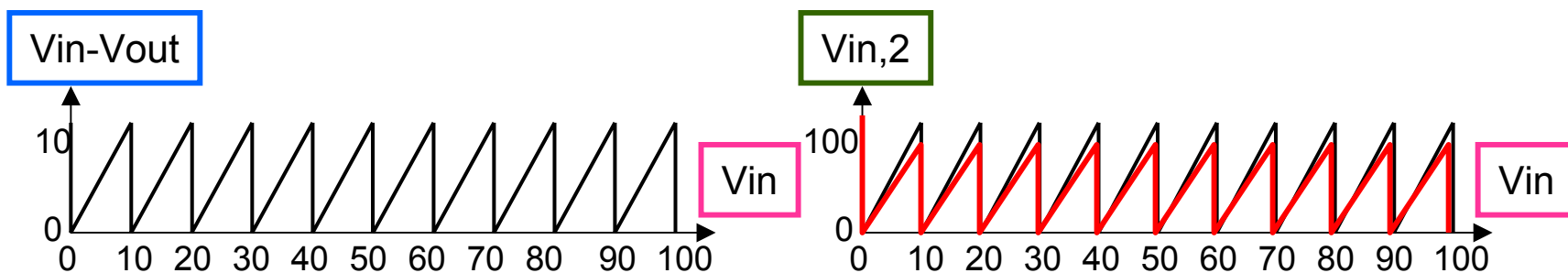
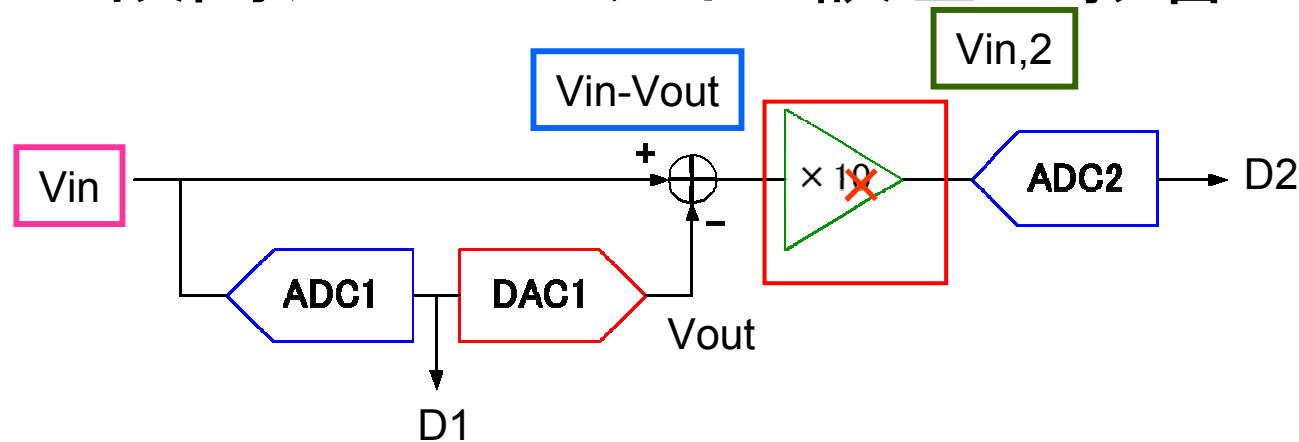
後段ADCの影響

DACの非線形性の影響

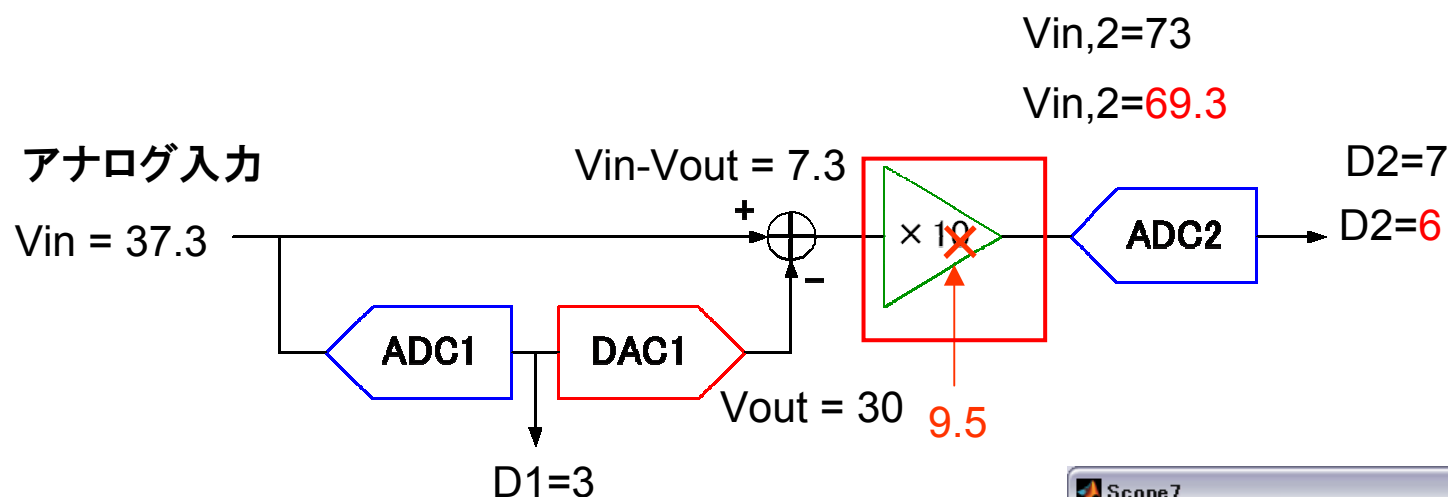
■ 段間アンプのゲイン誤差の影響



段間アンプのゲイン誤差の影響



段間アンプのゲイン誤差の影響



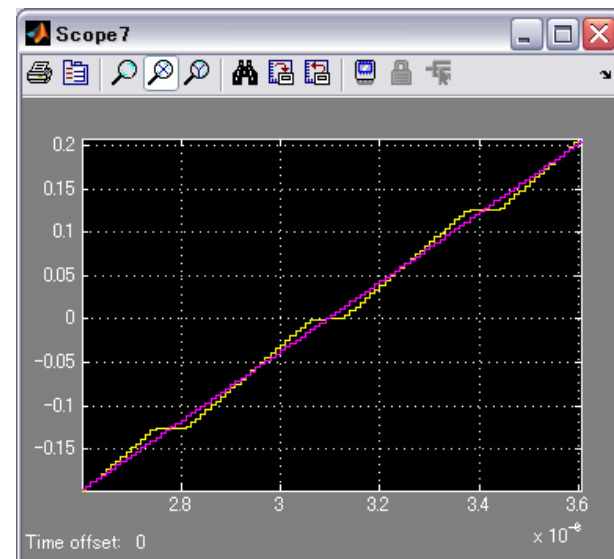
正しい値

$$D_{out} = 3 \times 10 + 7 = 37$$

$\times 9.5$ の場合

$$D_{out} = 3 \times 10 + 6 = 36$$

段間アンプのゲイン誤差により
ADC全体の誤差が生じる



問題提起

ADC1のコンパレータOffsetの影響



ADC全体の変換に影響ない

後段ADCの影響



ADC全体の変換に対する影響小

DACの非線形性の影響

段間アンプのゲイン誤差の影響



ADC全体の誤差を生じさせる

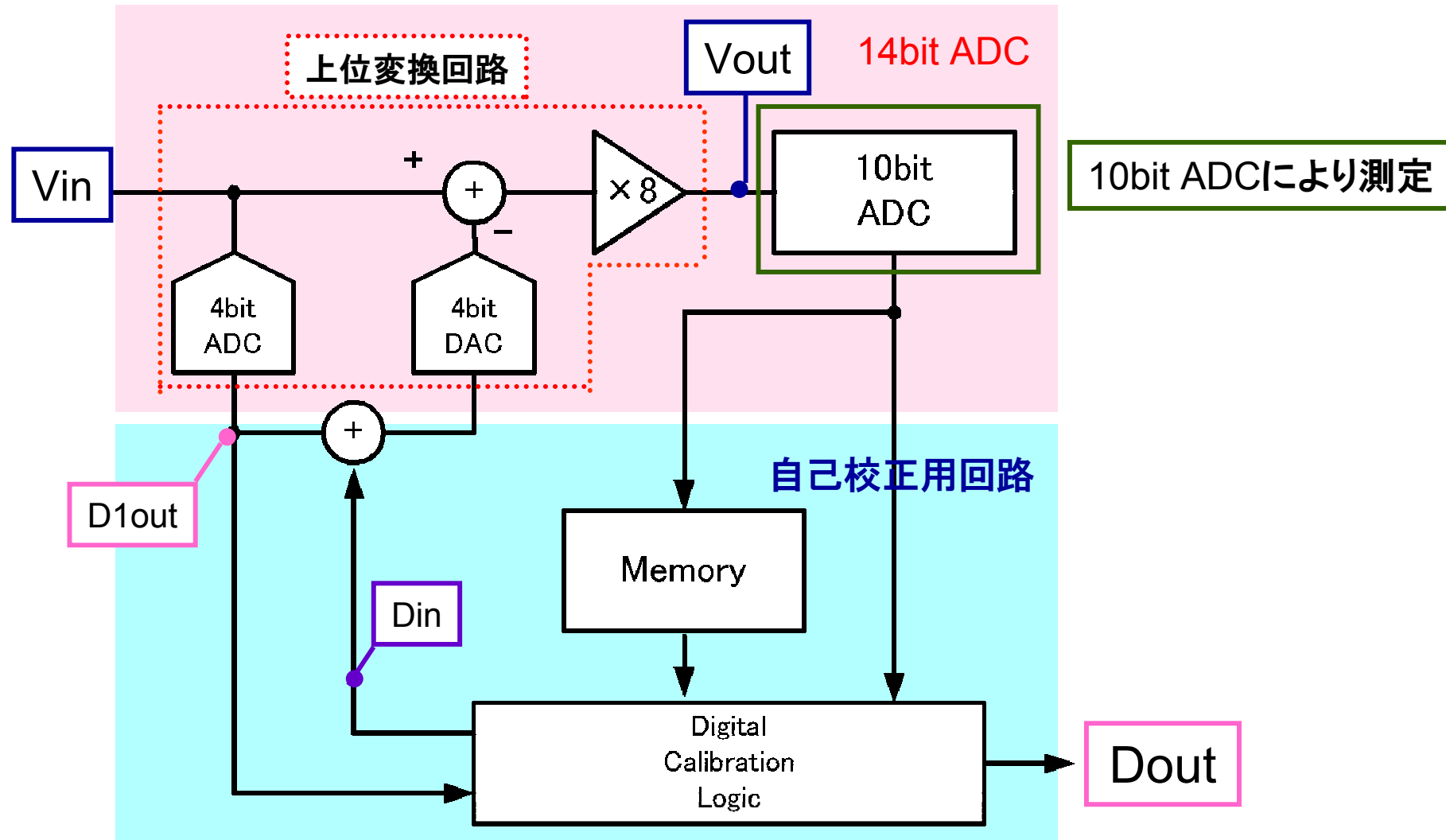
問題点

発表内容

- 研究目的
- パイプラインADCの構成と動作
- 問題提起
- **デジタル自己校正**
- シミュレーション
- まとめ

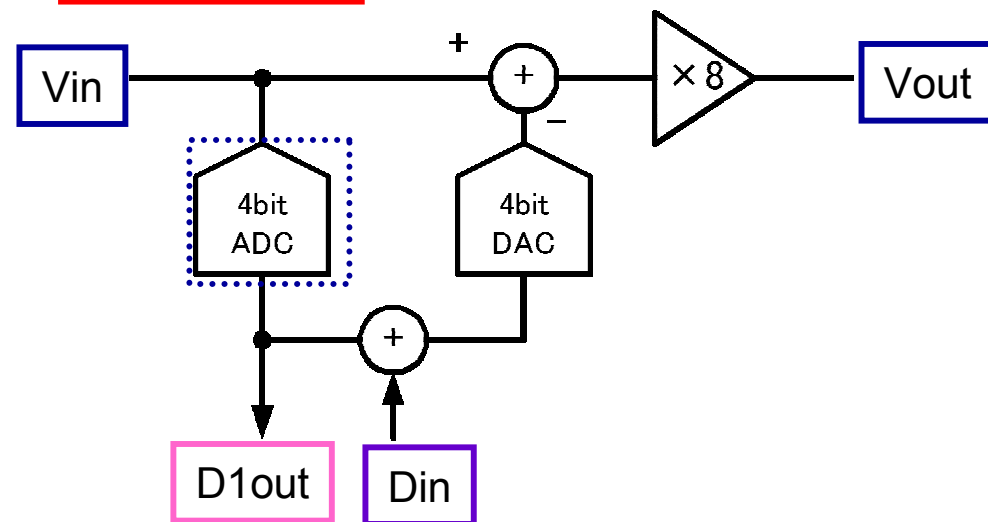
回路ブロック図

■ パイプラインADCブロック図



上位変換回路

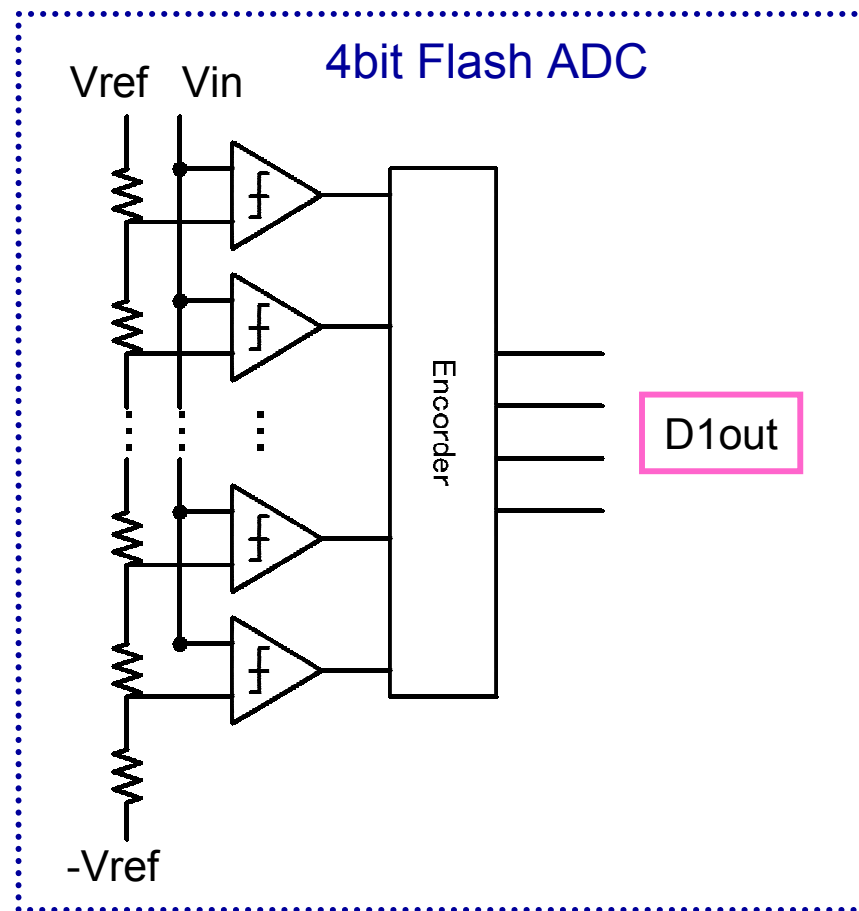
4bit ADC



4bit ADC

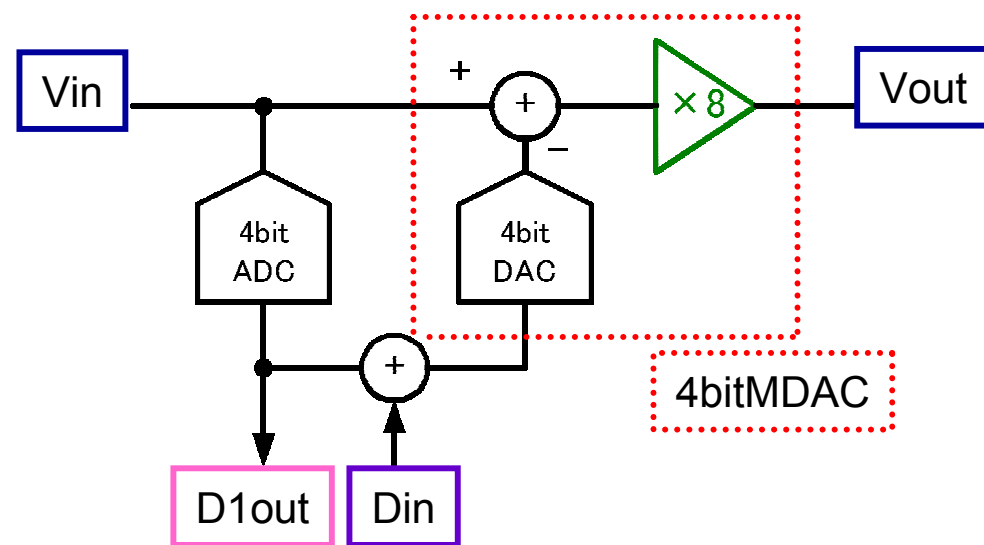
アナログ入力 V_{in}	デジタル出力 $D1out$
$-V_{ref} < V_{in} < -\frac{13}{16}V_{ref}$	0000
$-\frac{13}{16}V_{ref} < V_{in} < -\frac{11}{16}V_{ref}$	0001
$\vdots$	$\vdots$
$\frac{13}{16}V_{ref} < V_{in} < V_{ref}$	1110

4bit Flash ADC

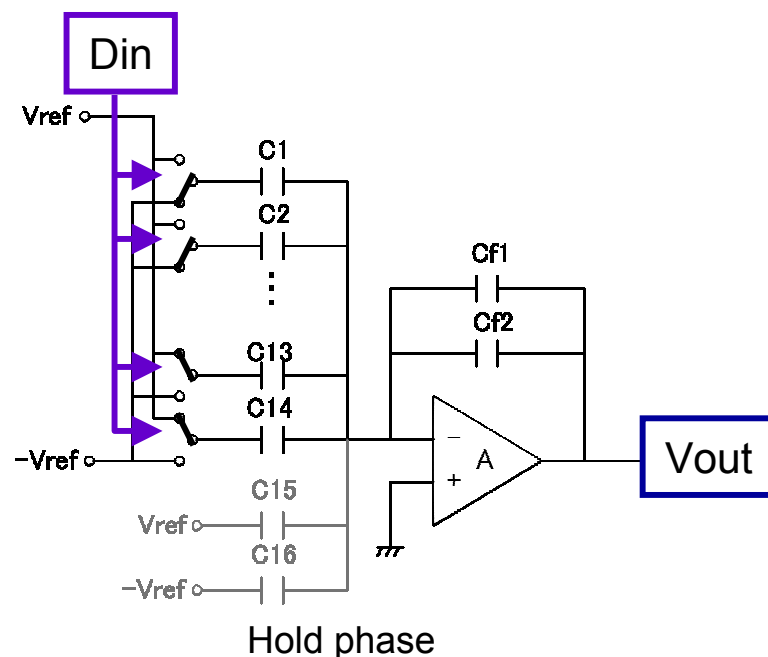
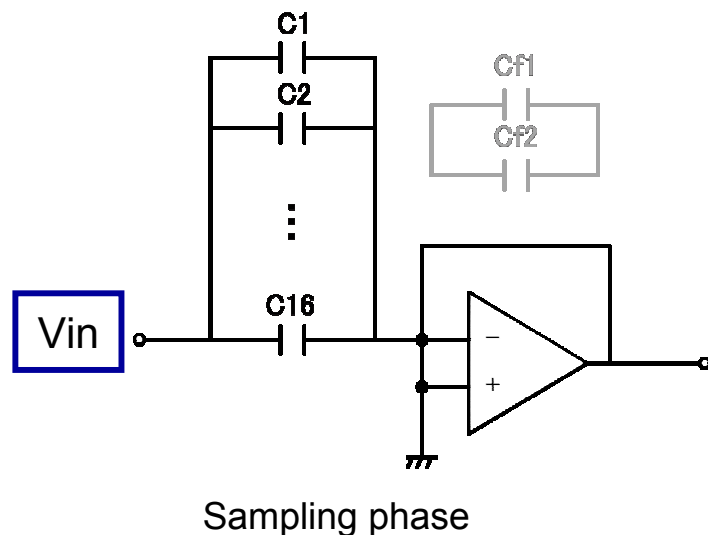


上位変換回路

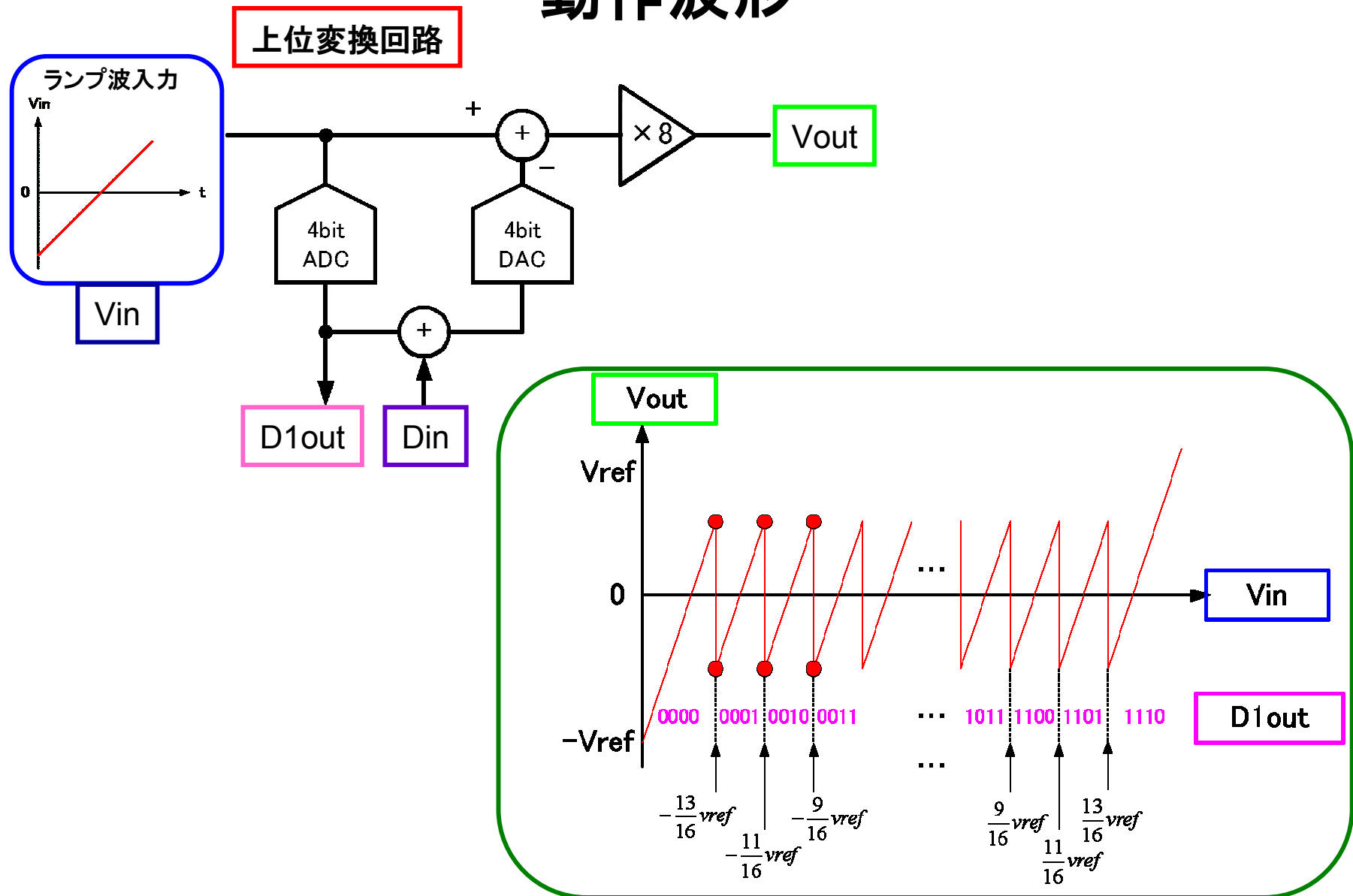
4bit MDAC(マルチプライDAC)



$$V_{out} = 8 \left[V_{in} - [D1 + D2 + \dots + D14] \frac{V_{ref}}{16} \right]$$



動作波形



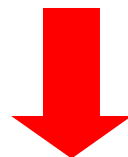
デジタル自己校正技術

内部DAC非線形性

段間アンプのゲイン誤差



計測してその値をテーブルに記憶



デジタル演算で補正

計測はパイプラインADC(後段10bit ADC)自体を用いる

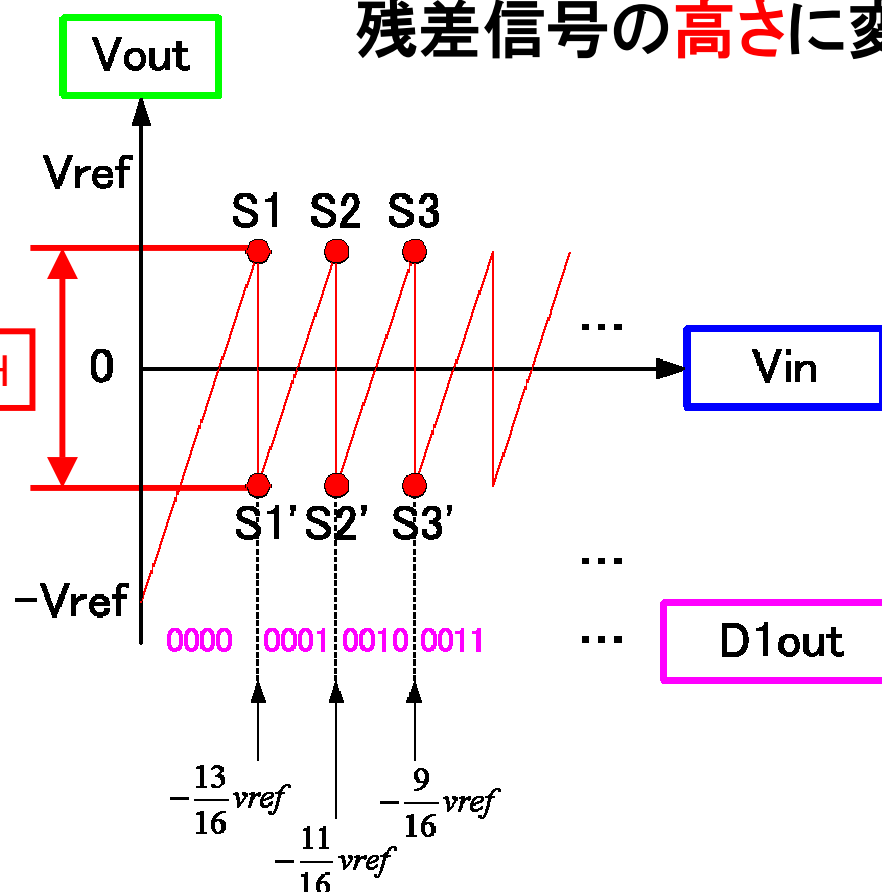
高さの測定

内部DAC非線形性 段間アンプのゲイン誤差



残差信号の**高さ**に変化を与える

高さを測定



$$H1 = S1 - S1'$$

$$H2 = S2 - S2'$$

$\vdots$

これらの値を測定しメモリに保持

高さの測定

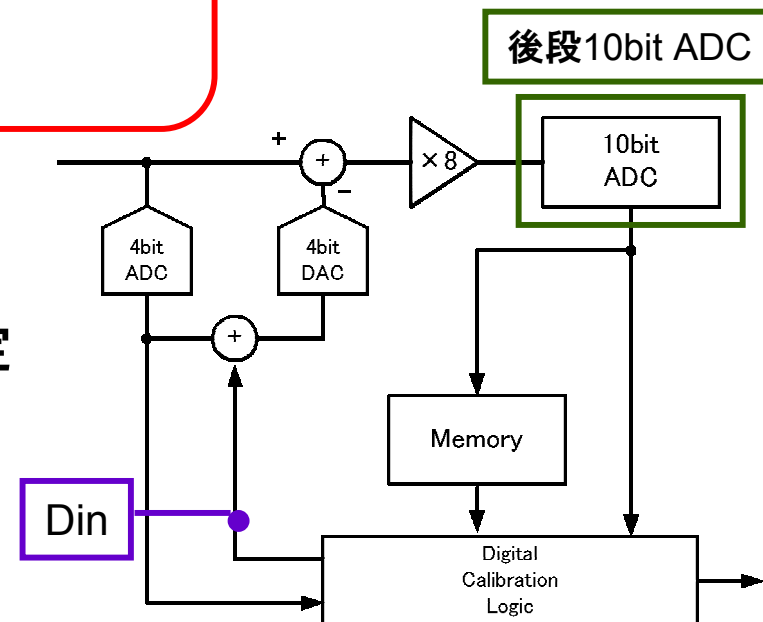
- 残差信号の高さを後段10bit ADCを用いてデジタル的測定
- 測定法として以下の2つの方法を考える
(MDAC制御信号Dinを変化させる)

測定法①

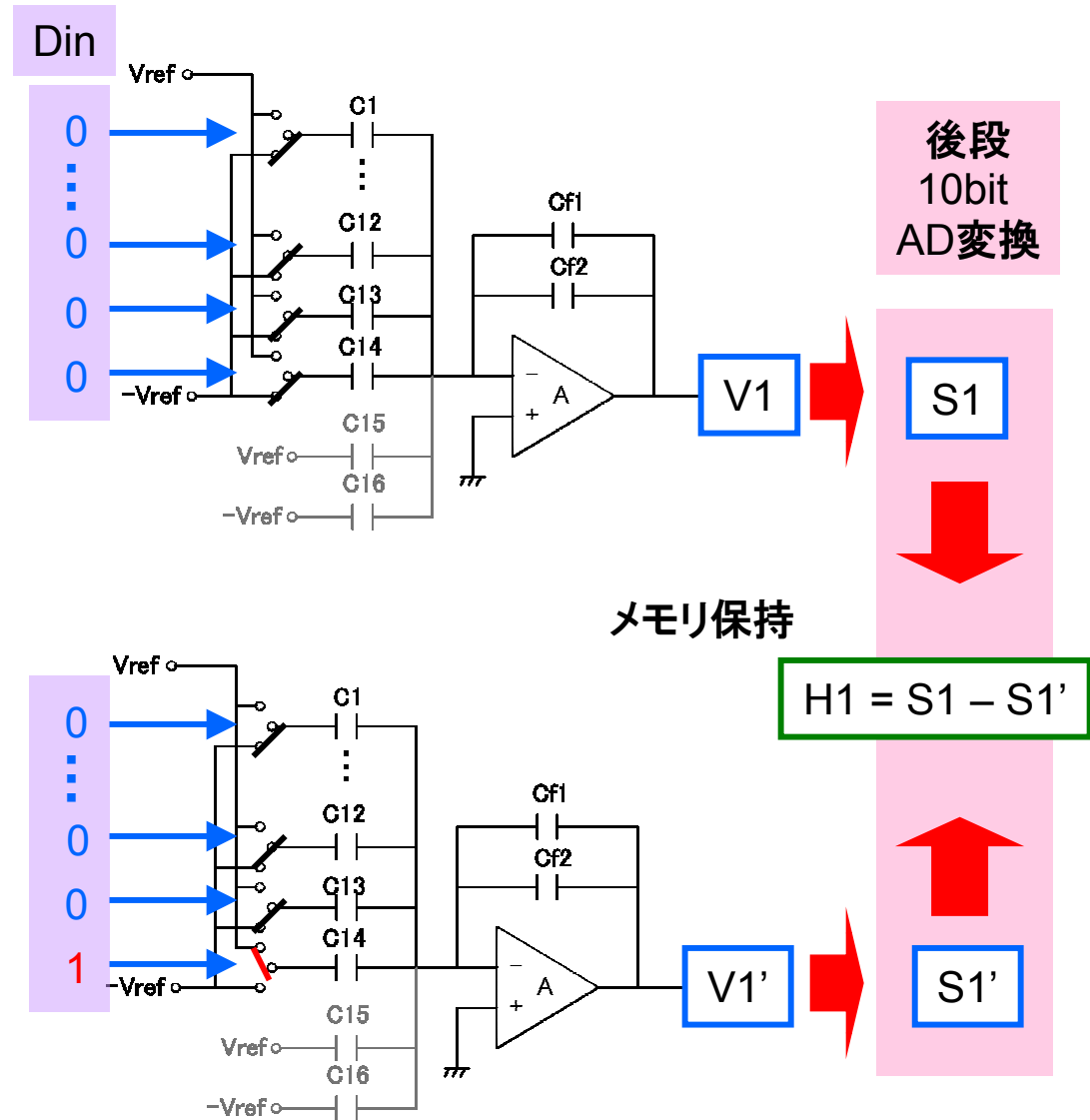
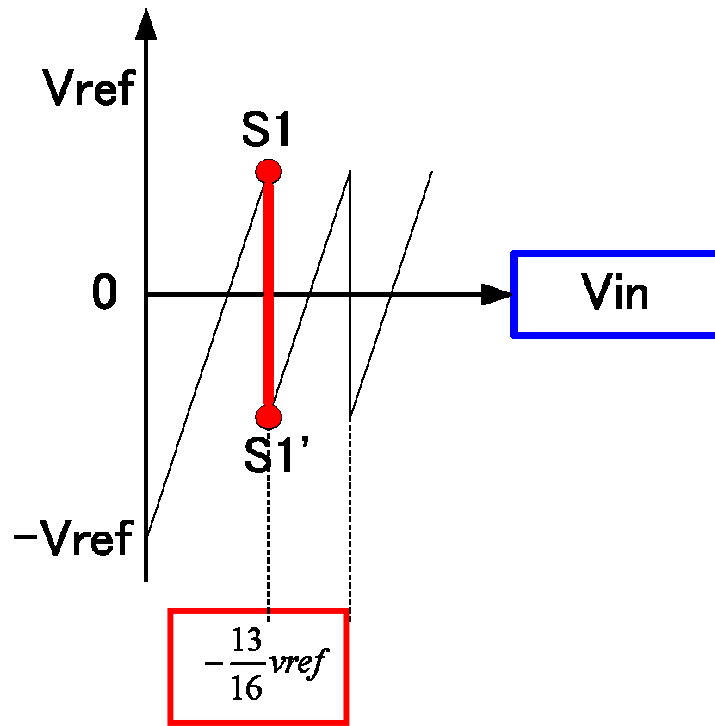
- MDAC中の各容量を階段のように変化させ測定
- 入力電圧を**変化**

測定法②

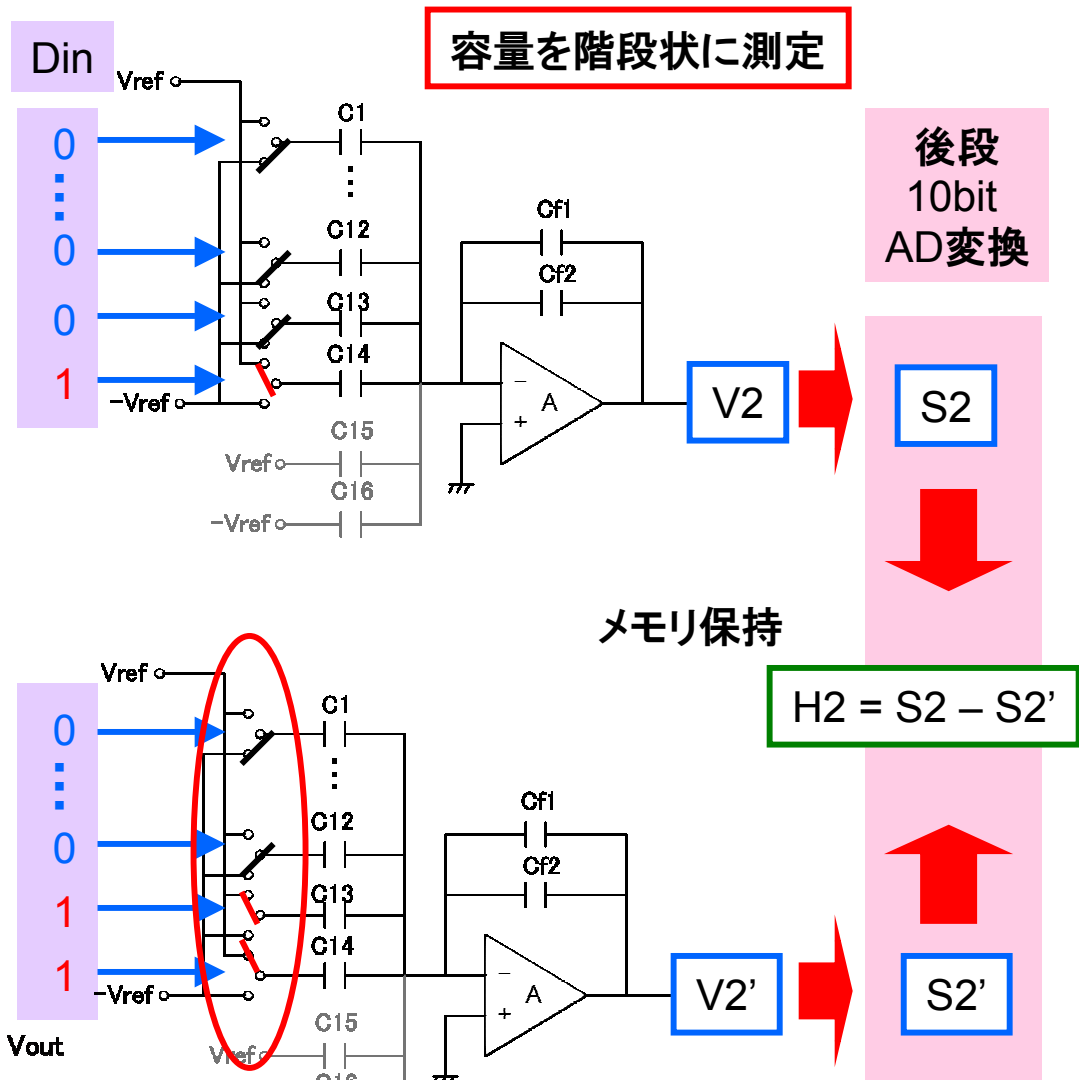
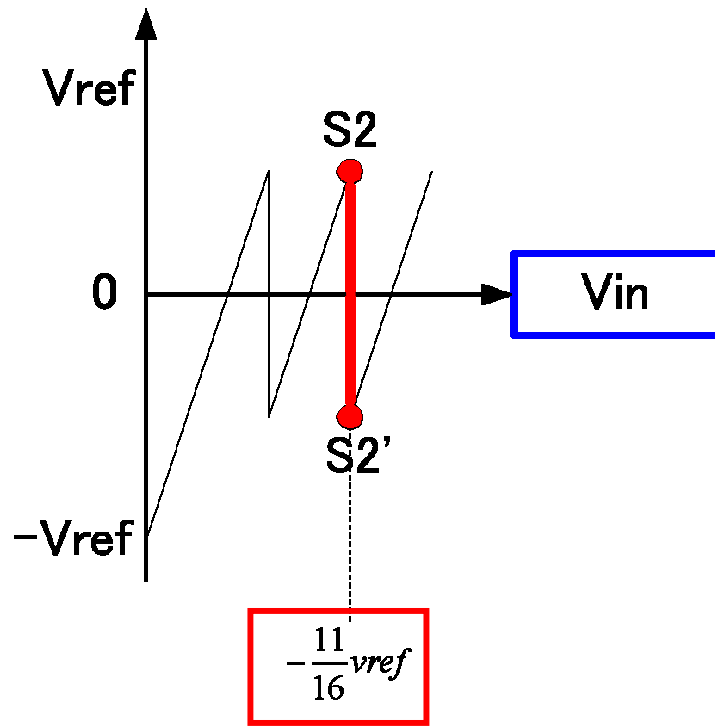
- MDAC中の各容量を1つ1つ個別に測定
- 入力電圧は**一定**



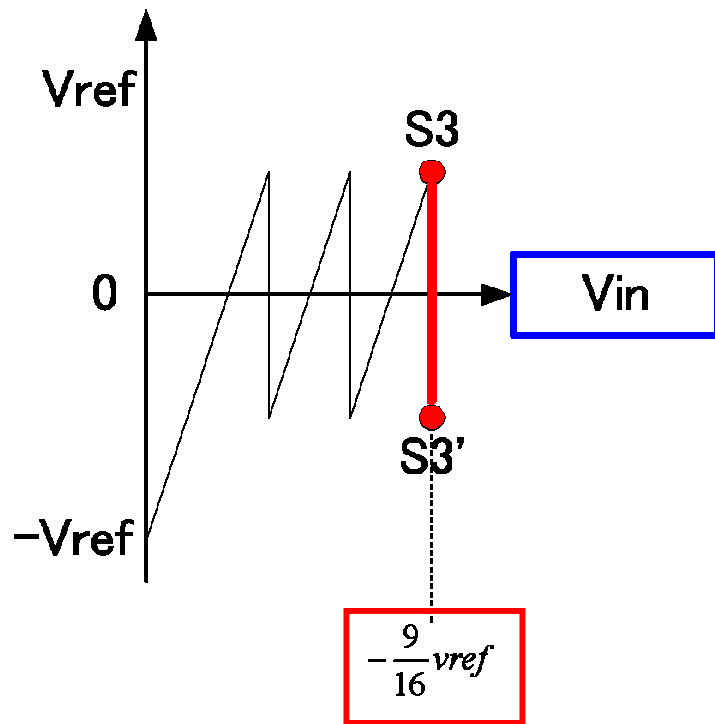
測定法①



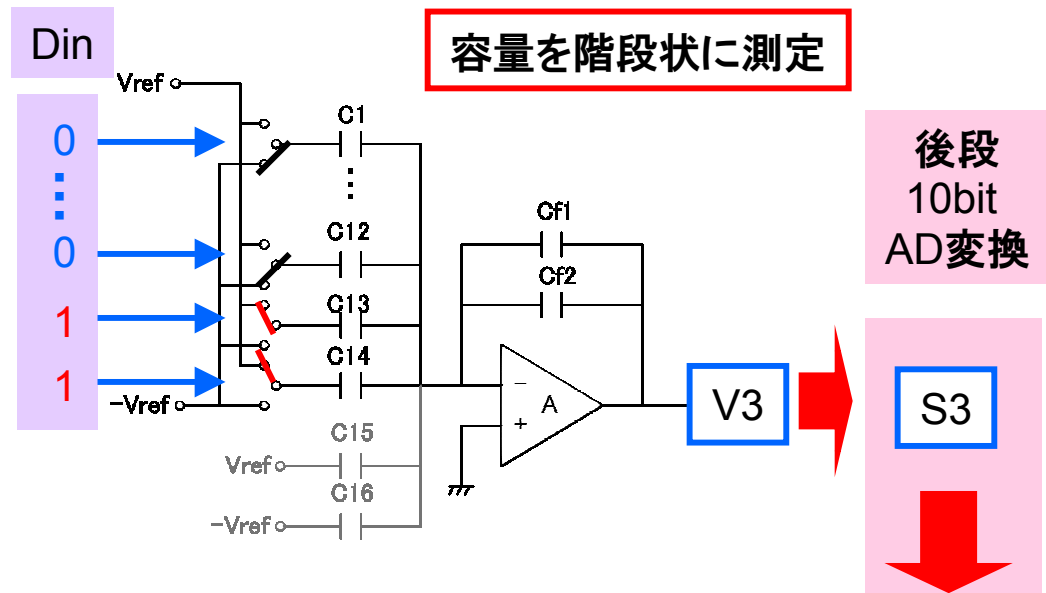
測定法①



測定法①



容量を階段状に測定



後段
10bit
AD変換

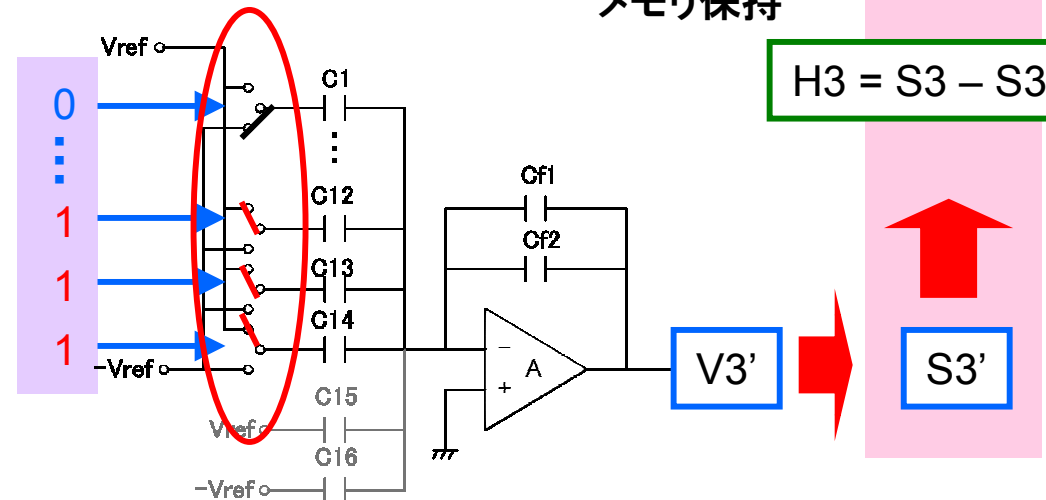
メモリ保持

$$H3 = S3 - S3'$$

入力電圧変化

$$-\frac{9}{16}V_{ref}$$

V_{in}



高さの測定

- 残差信号の高さを後段10bit ADCを用いてデジタル的測定
- 測定法として以下の2つの方法を考える
(MDAC制御信号Dinを変化させる)

測定法①

- MDAC中の各容量を階段のように変化させ測定
- 入力電圧を変化

測定法②

- MDAC中の各容量を1つ1つ個別に測定
- 入力電圧は一定

測定法②

測定法②

制御信号 D_{in} → 容量値を個別に測定するように制御

入力電圧一定で測定可能 → アーキテクチャ容易

デジタル領域

$$H1 = S1 - S1'$$

アナログ領域

$$V1 - V1'$$

$$V1 = \frac{C_1 + C_2 + \dots + C_{16}}{C_{f1} + C_{f2}} \left(V_{in} - \frac{C_1 + \dots + \boxed{+C_{14}} + C_{15} - C_{16}}{C_1 + C_2 + \dots + C_{16}} V_{ref} \right)$$

$$V1' = \frac{C_1 + C_2 + \dots + C_{16}}{C_{f1} + C_{f2}} \left(V_{in} - \frac{C_1 + \dots + \boxed{-C_{14}} + C_{15} - C_{16}}{C_1 + C_2 + \dots + C_{16}} V_{ref} \right)$$

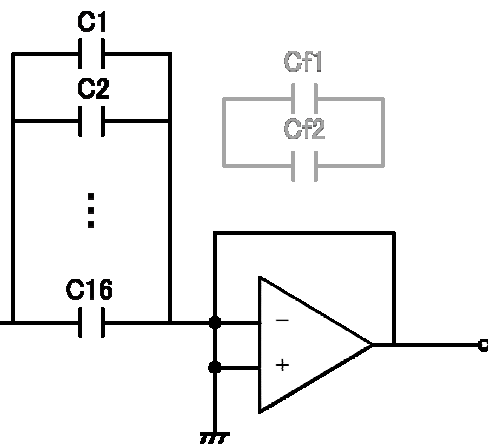


$$V1 - V1' = \frac{2C_{14}}{C_{f1} + C_{f2}} V_{ref}$$

デジタルでこの値を測定している事と等価

入力電圧一定

$$-\frac{13}{16} V_{ref}$$

 V_{in}


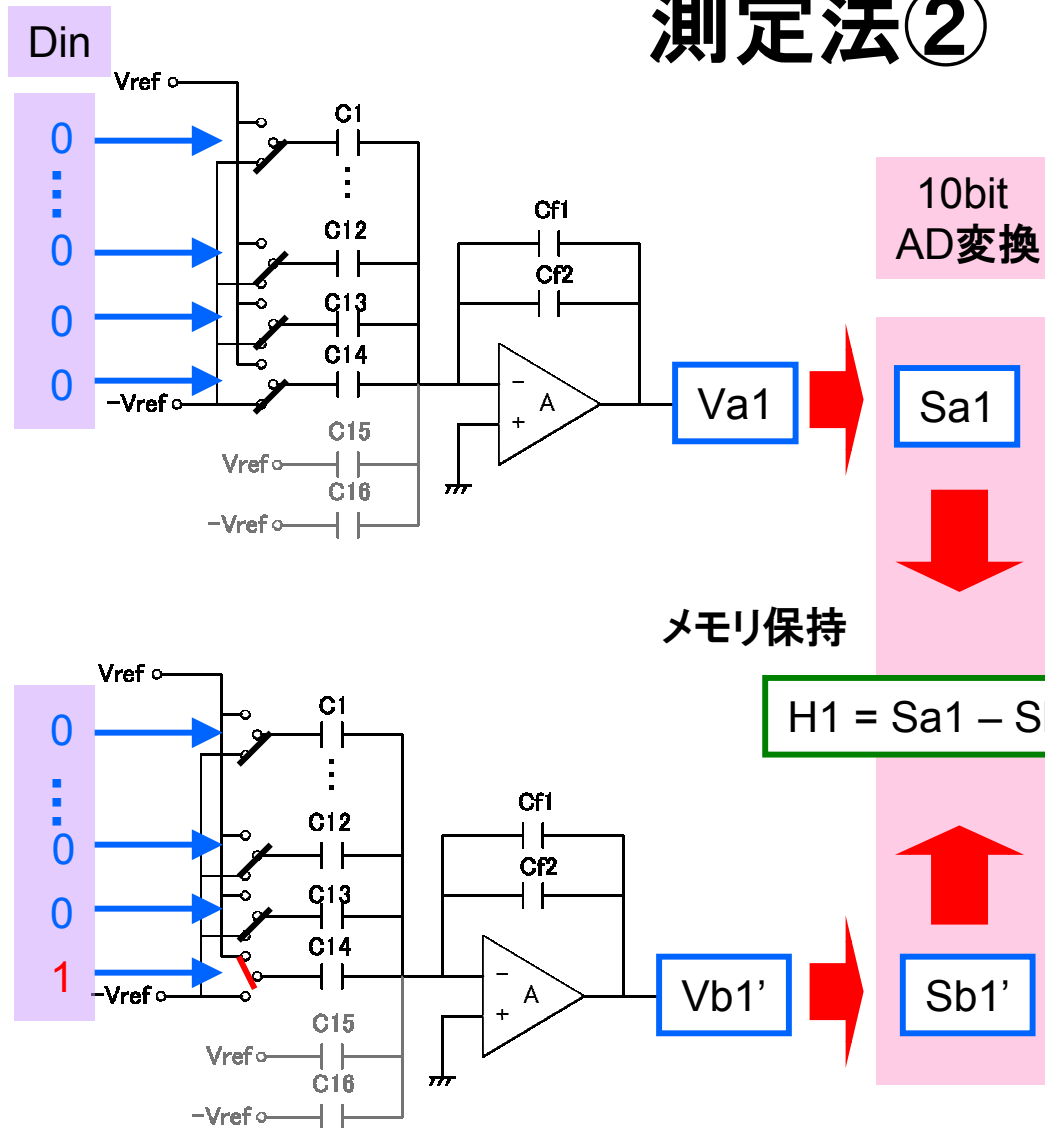
$$H2 = S2 - S2'$$

$$V2 - V2' = \frac{2C_{13}}{C_{f1} + C_{f2}} V_{ref}$$

$$H3 = S3 - S3'$$

$$V3 - V3' = \frac{2C_{12}}{C_{f1} + C_{f2}} V_{ref}$$

測定法②

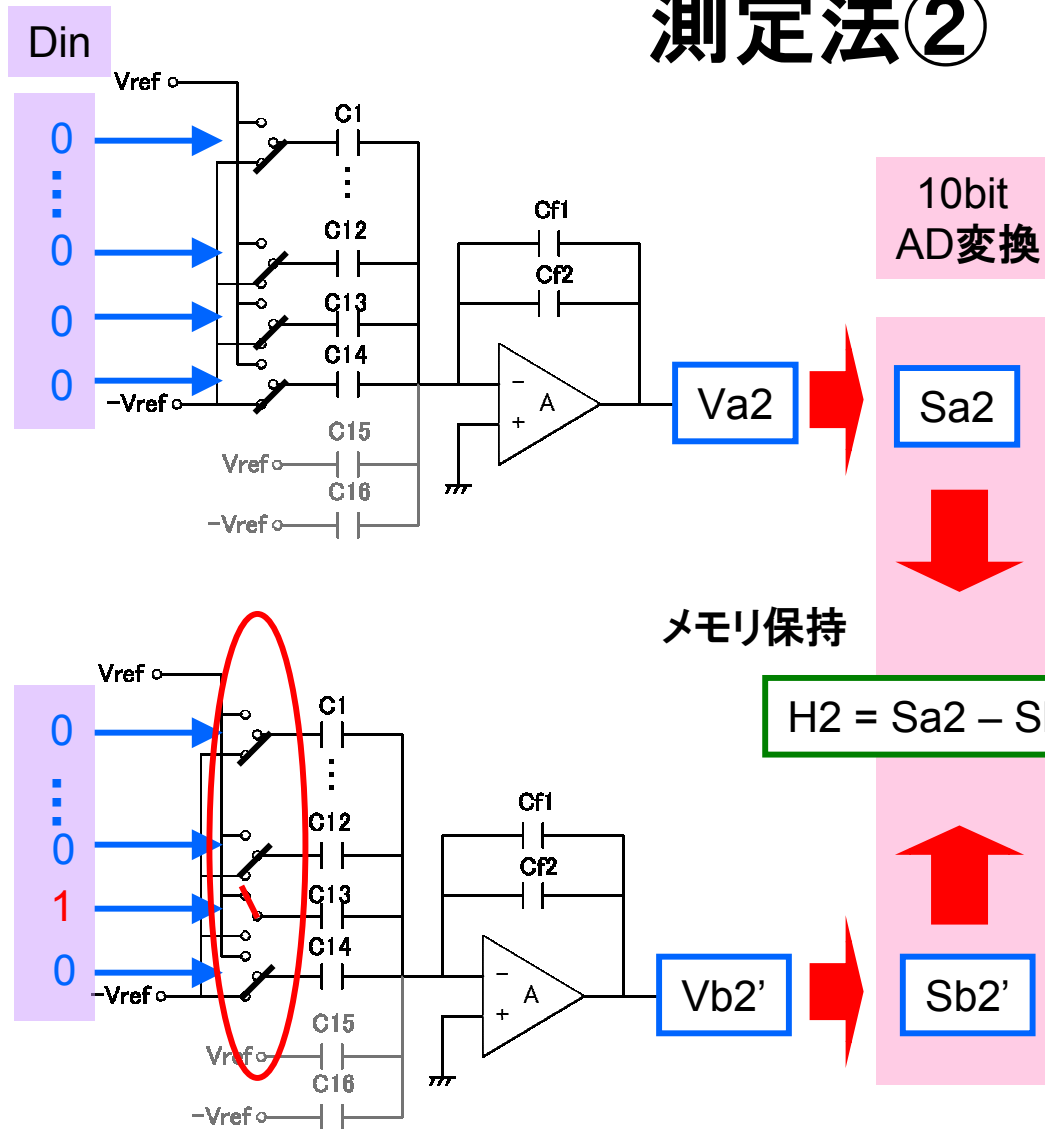


$$V_{a1} - V_{b1}' = \frac{2C_{14}}{C_{f1} + C_{f2}} V_{ref}$$

$V1 - V1'$ と等価

$$H1 = S_{a1} - S_{b1}'$$

測定法②



アナログ領域

$$V_{a2} - V_{b2}' = \frac{2C_{13}}{C_{f1} + C_{f2}} V_{ref}$$

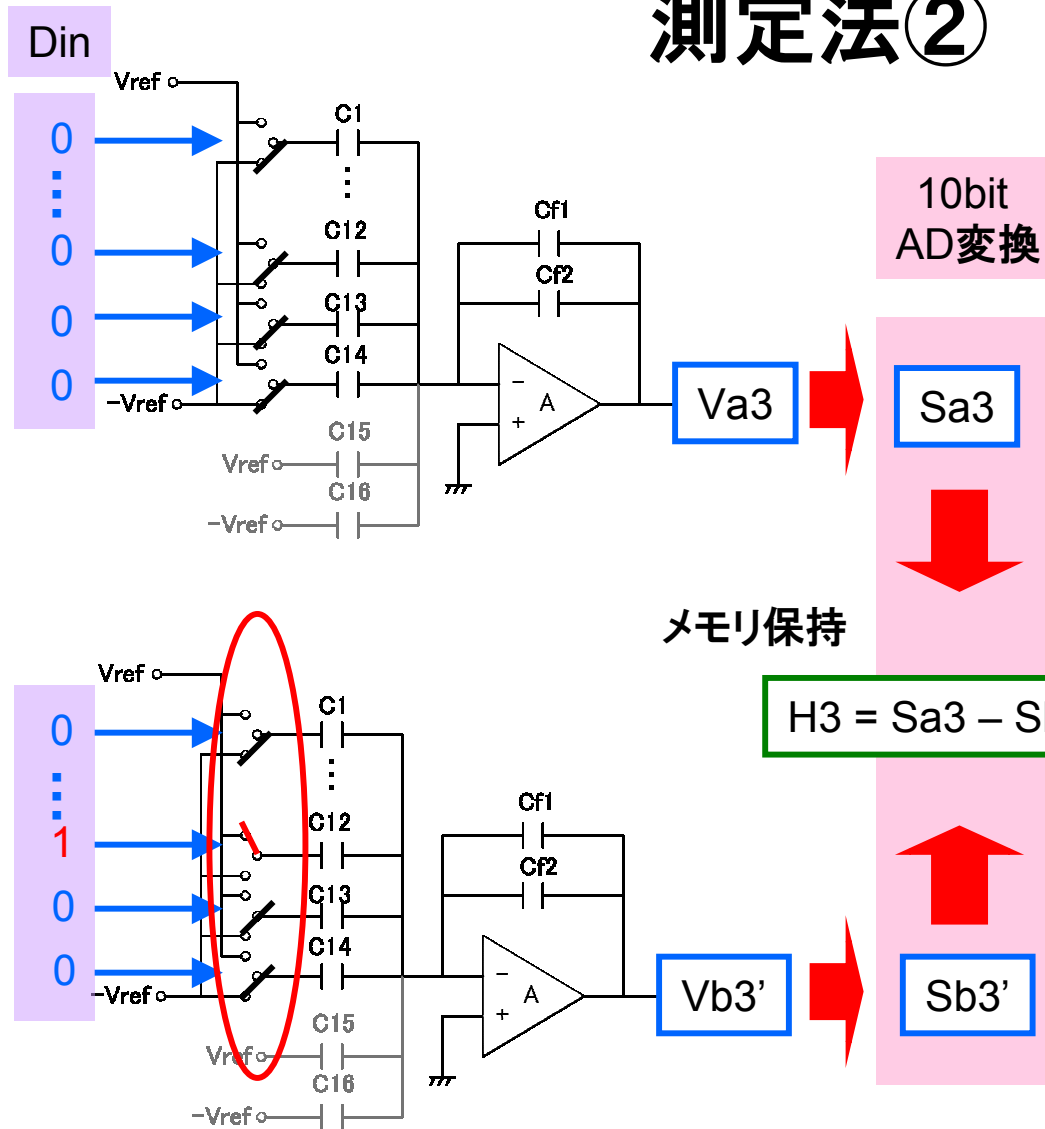
 $V2 - V2'$ と等価

デジタル領域

$$H2 = Sa2 - Sb2'$$

容量を1つ1つ測定

測定法②



アナログ領域

$$V_{a3} - V_{b3}' = \frac{2C_{12}}{C_{f1} + C_{f2}} V_{ref}$$

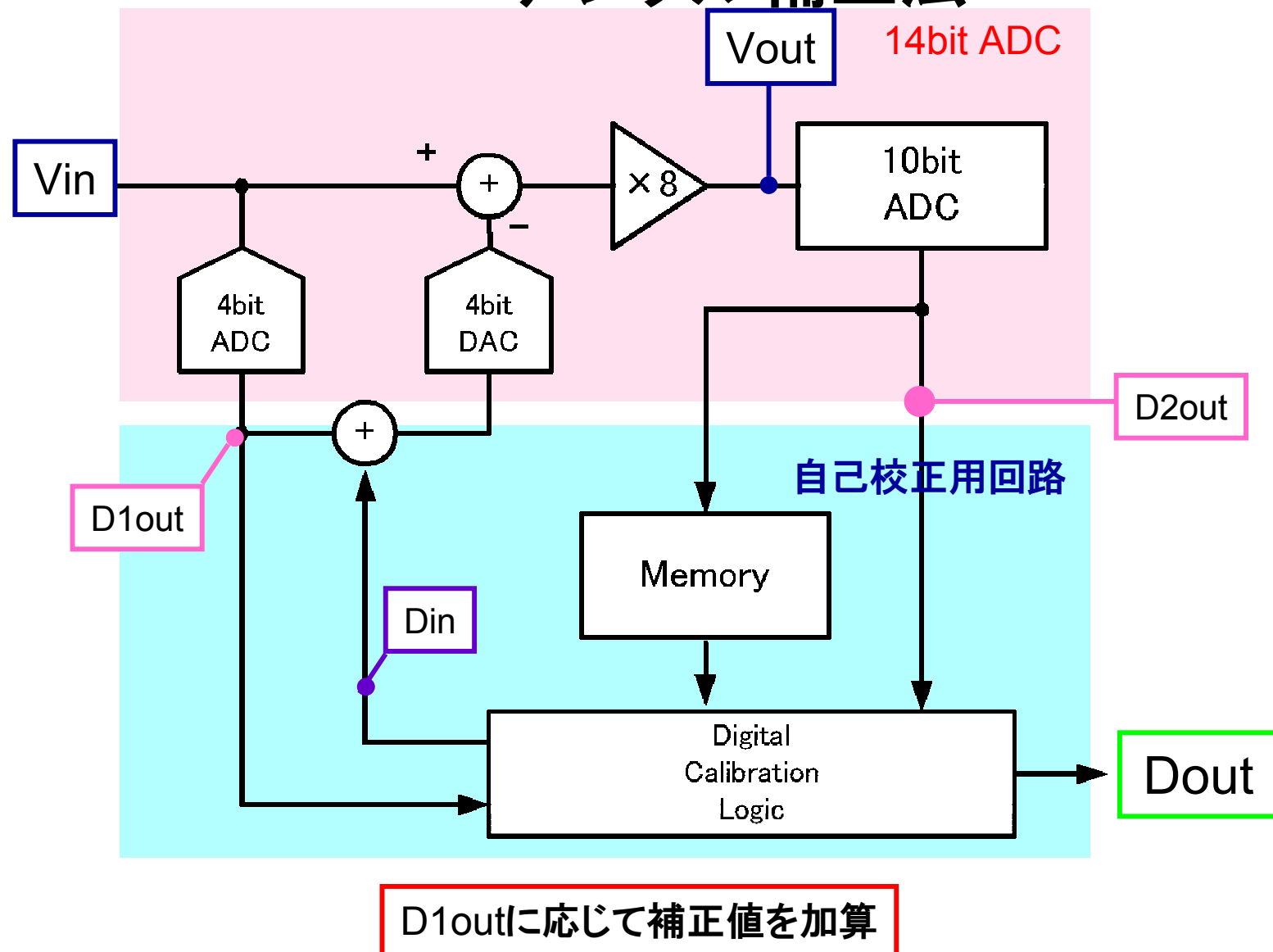
$V3 - V3'$ と等価

デジタル領域

$$H3 = Sa3 - Sb3'$$

容量を1つ1つ測定

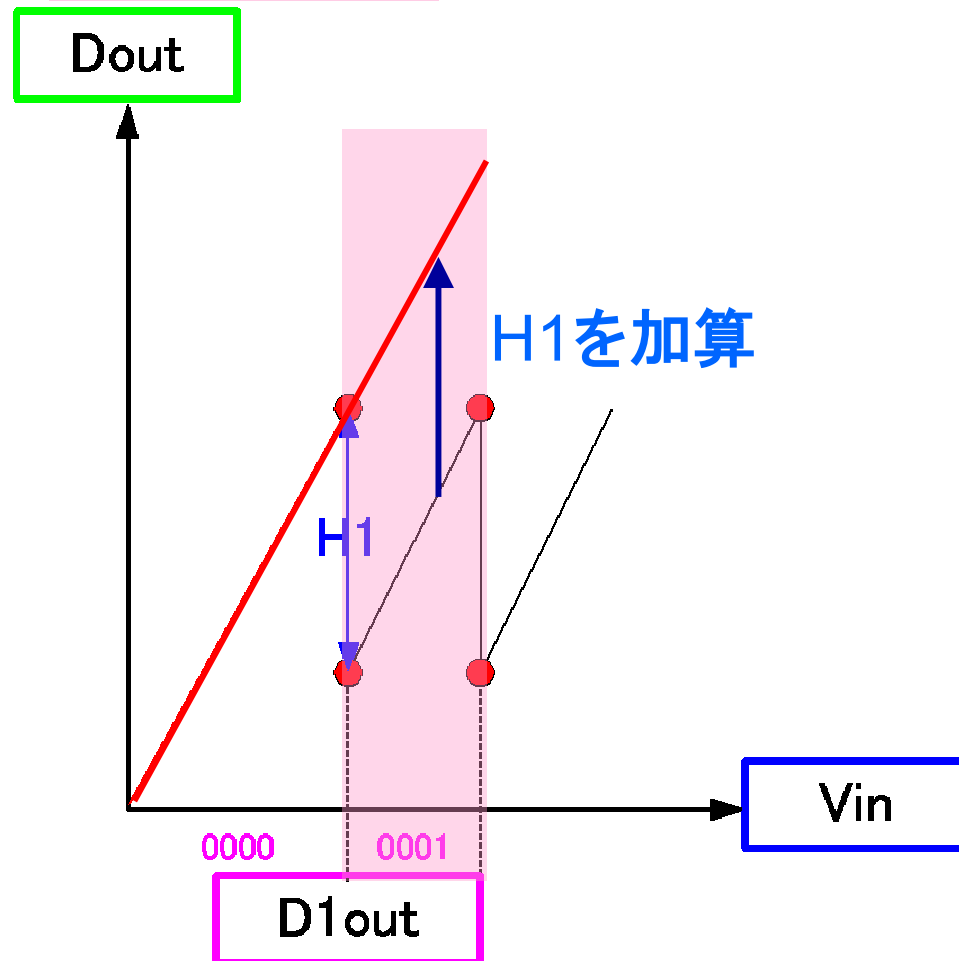
デジタル補正法



デジタル補正法

D1outに応じて補正値を加算

D1out=0001 の場合



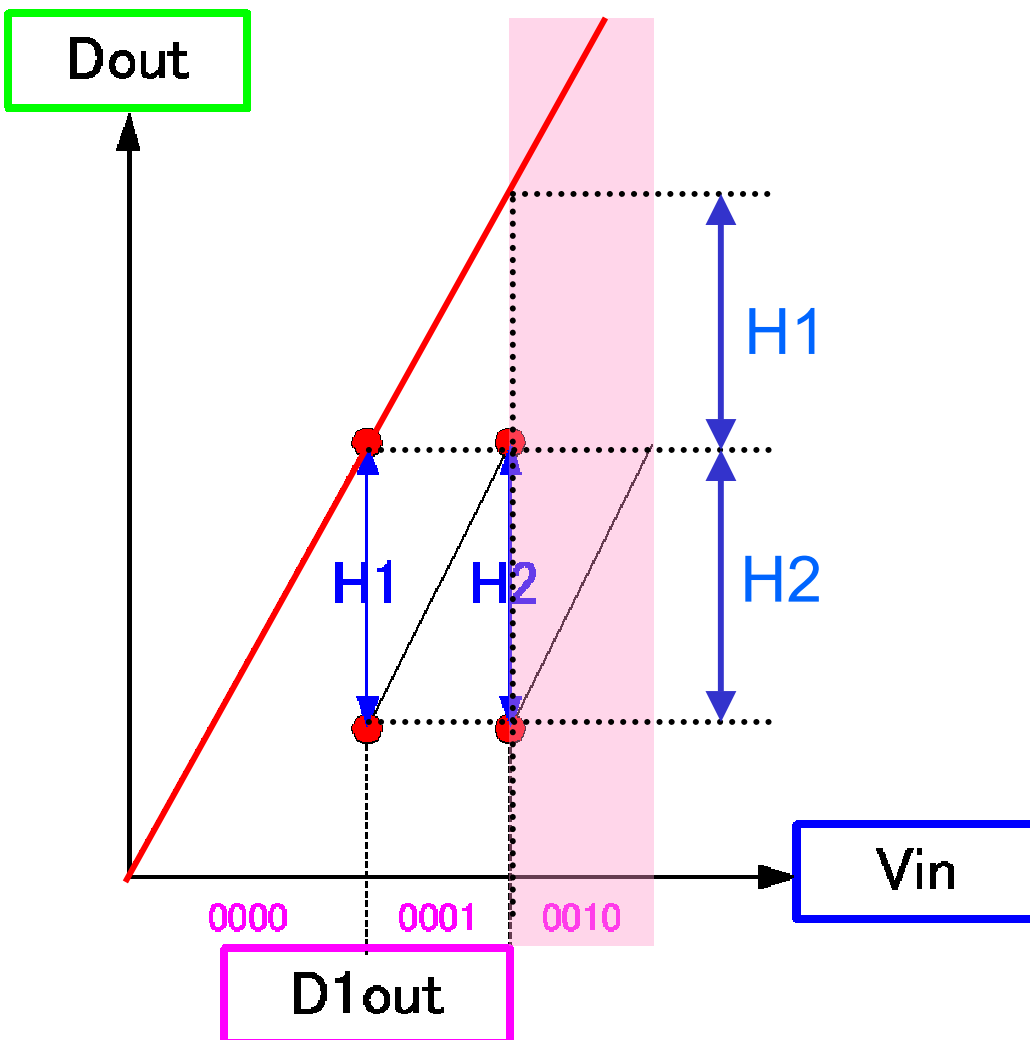
D1out=0001

H1を読み出し

演算により加算

デジタル補正法

D1out=0010 の場合

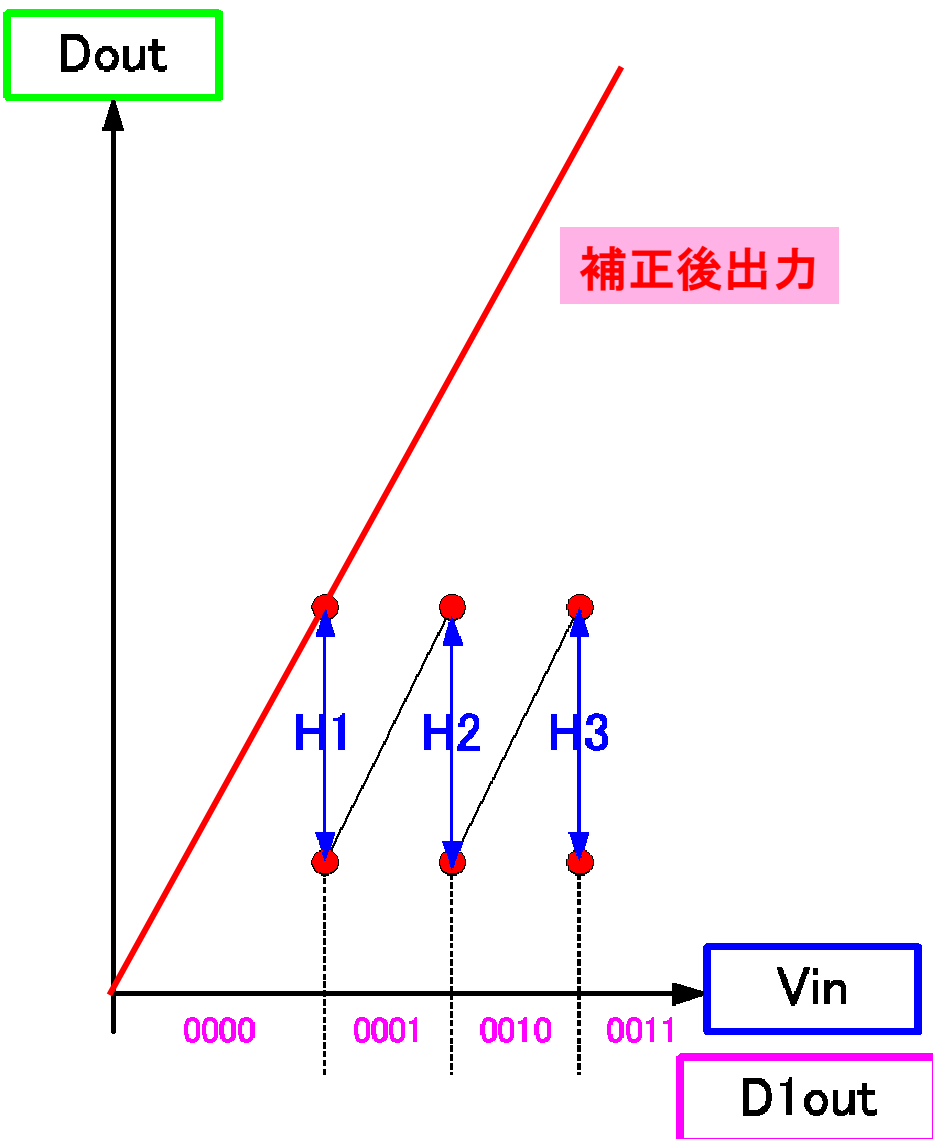


D1out=0010

H1+H2を読み出し

演算により加算

デジタル補正法



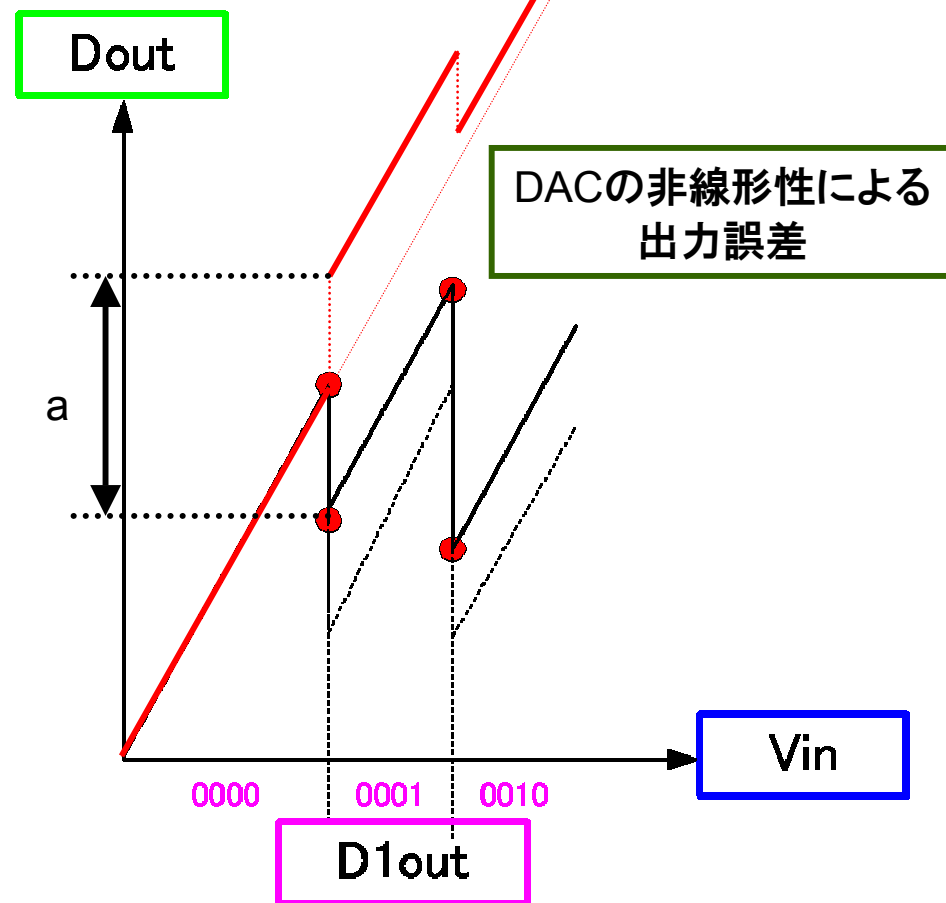
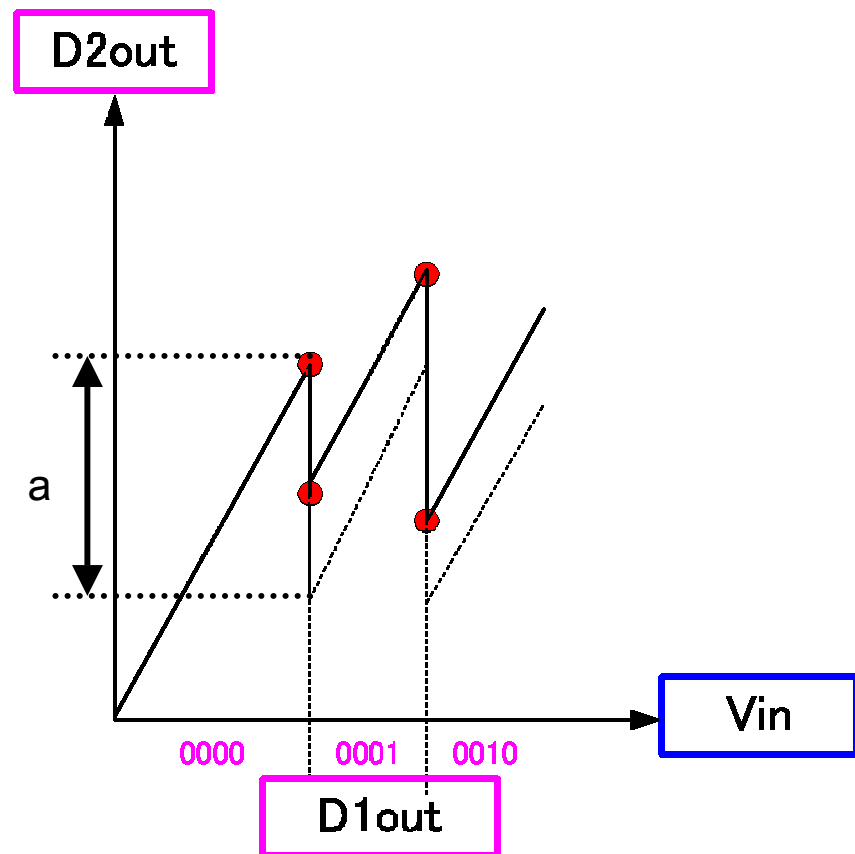
自己校正テーブル

4bit output	補正值
0000	0
0001	H1
0010	H1+H2
⋮	⋮
1110	$\sum_{i=1}^{14} H_i$

D1outに応じて補正値を加算

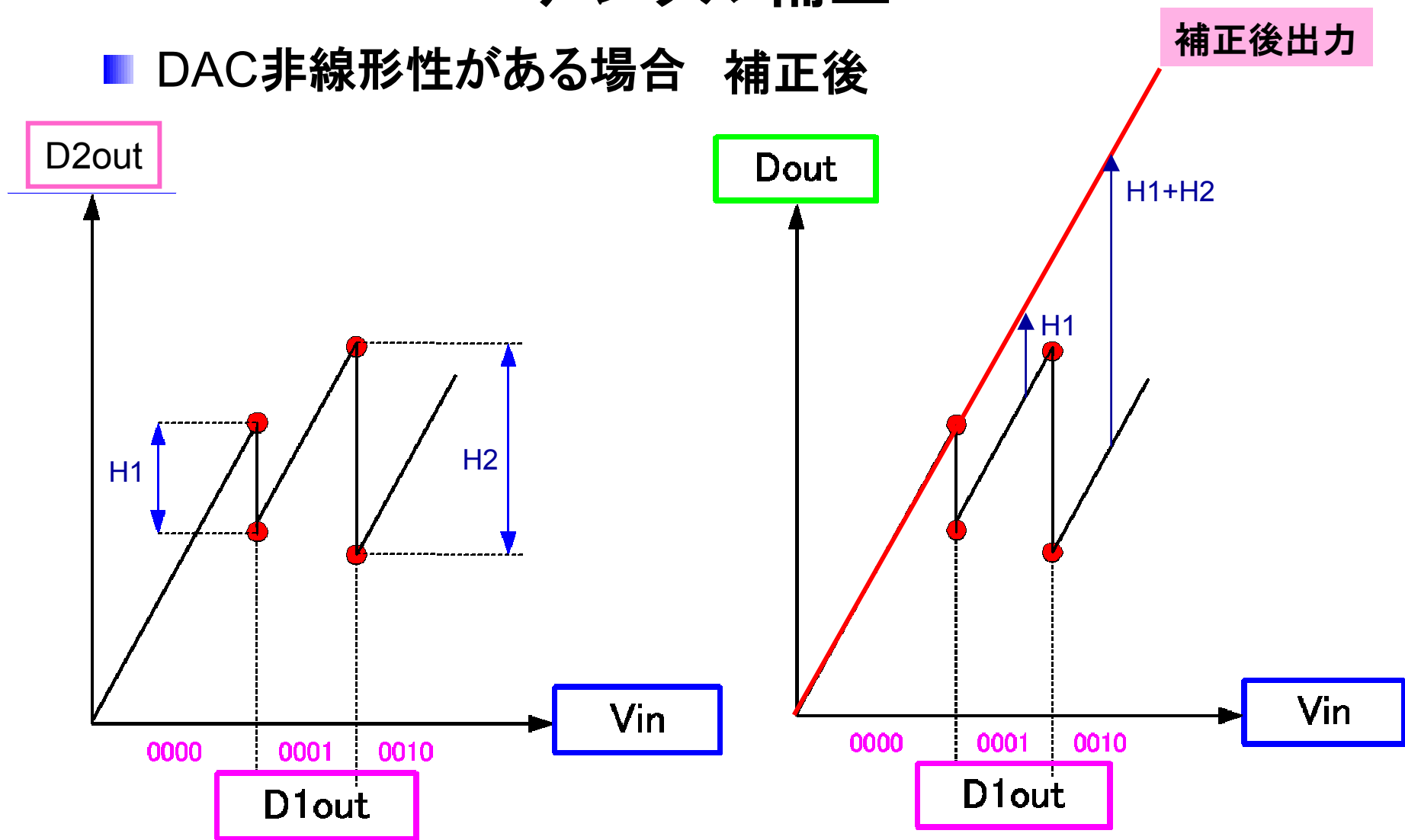
デジタル補正

■ DAC非線形性がある場合 補正前



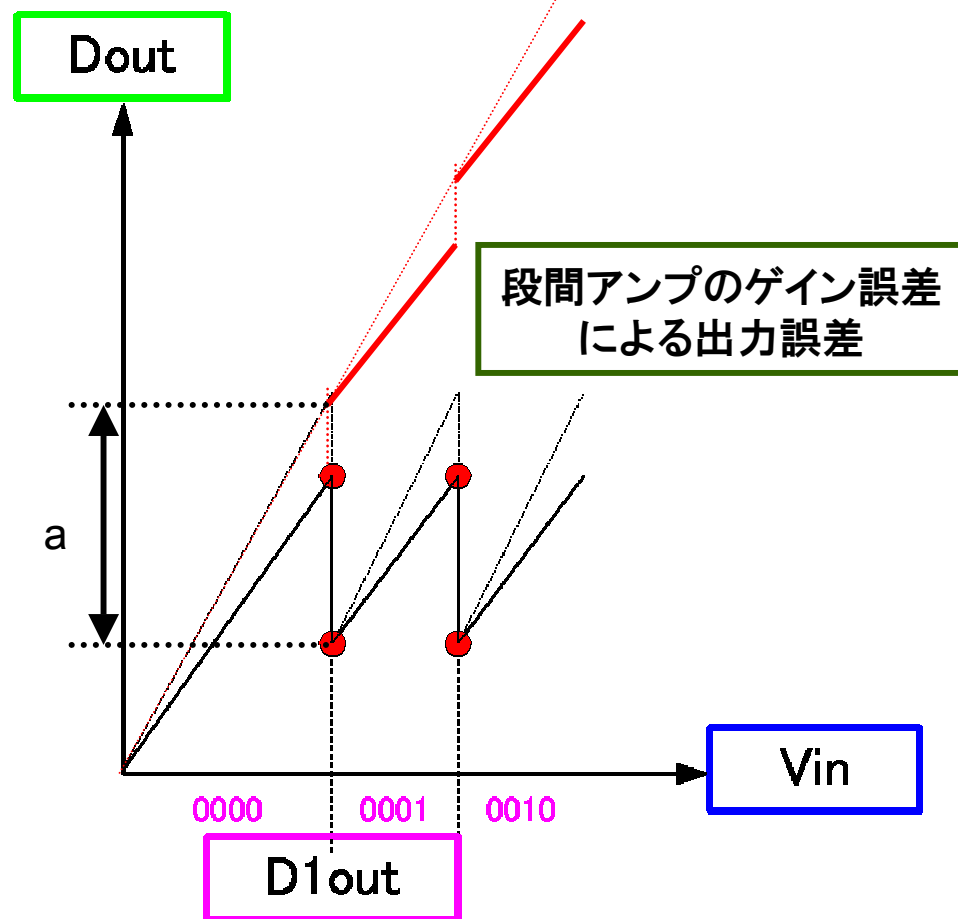
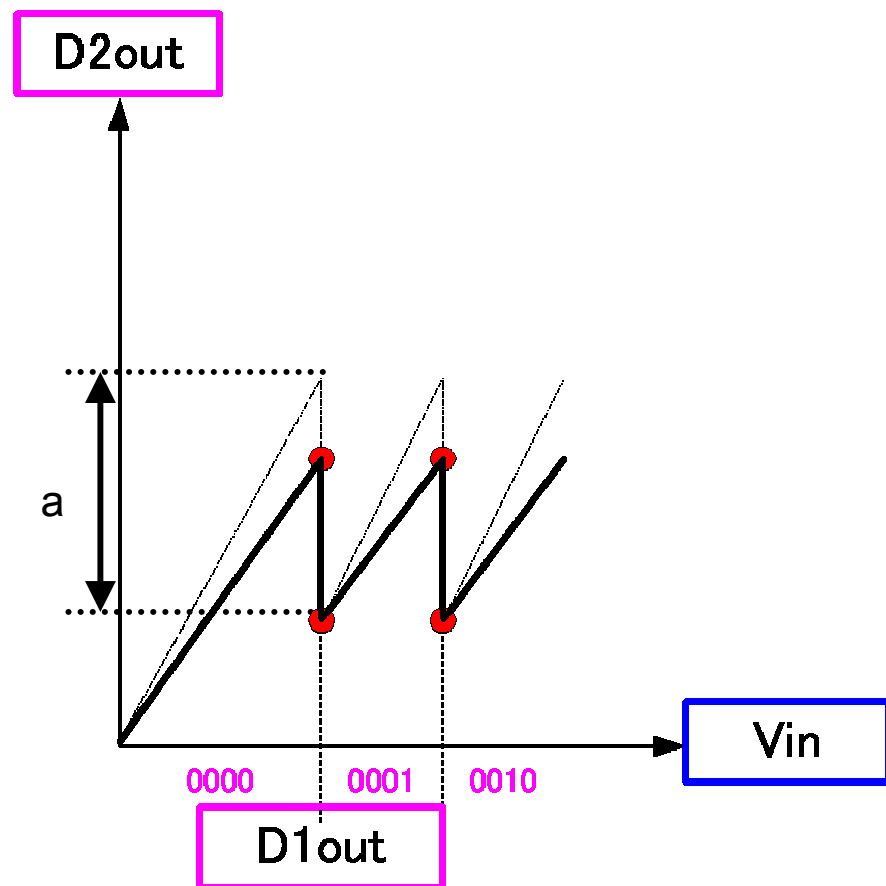
デジタル補正

■ DAC非線形性がある場合 補正後



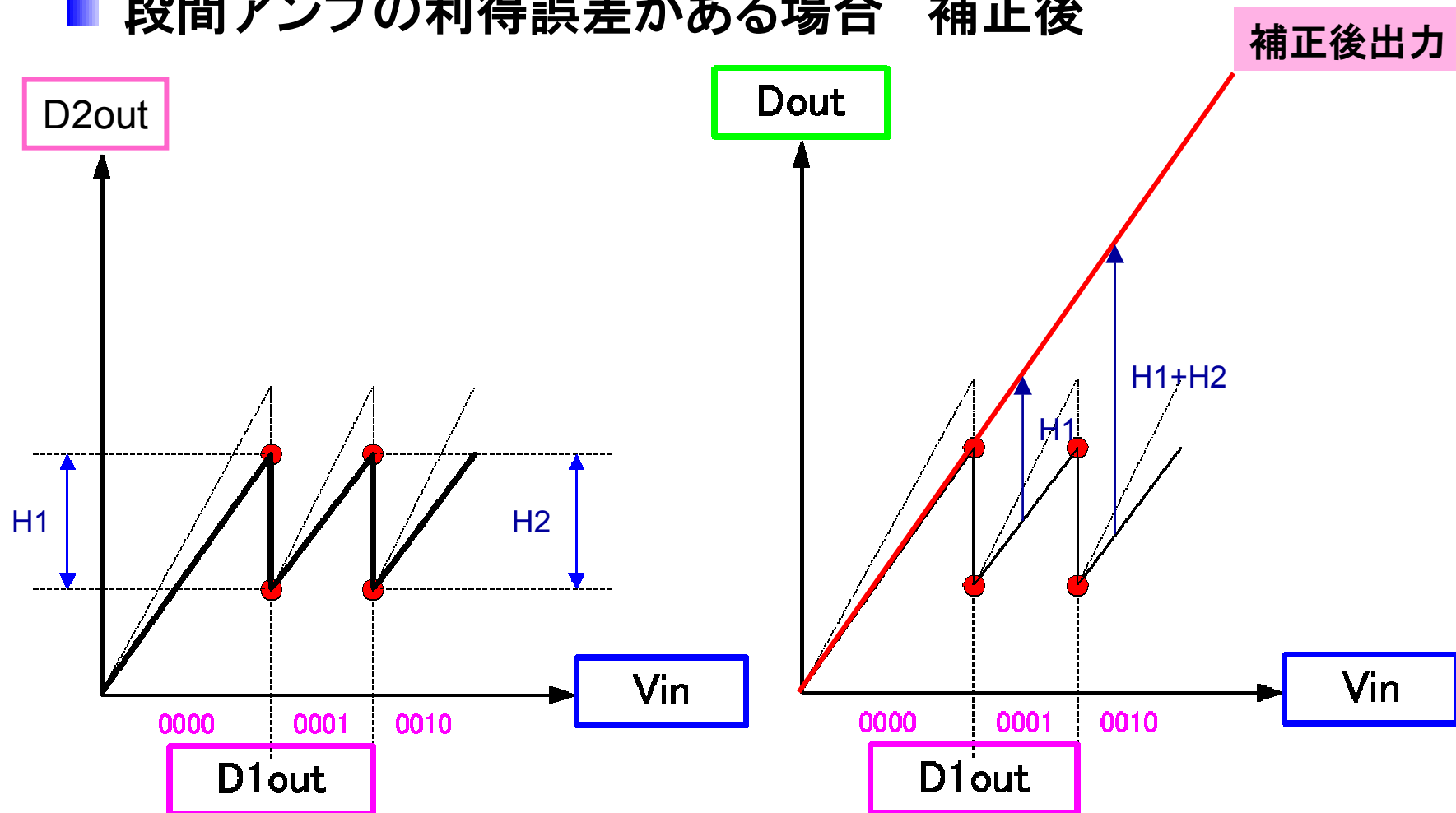
デジタル補正

■ 段間アンプの利得誤差がある場合 補正前



デジタル補正

■ 段間アンプの利得誤差がある場合 補正後

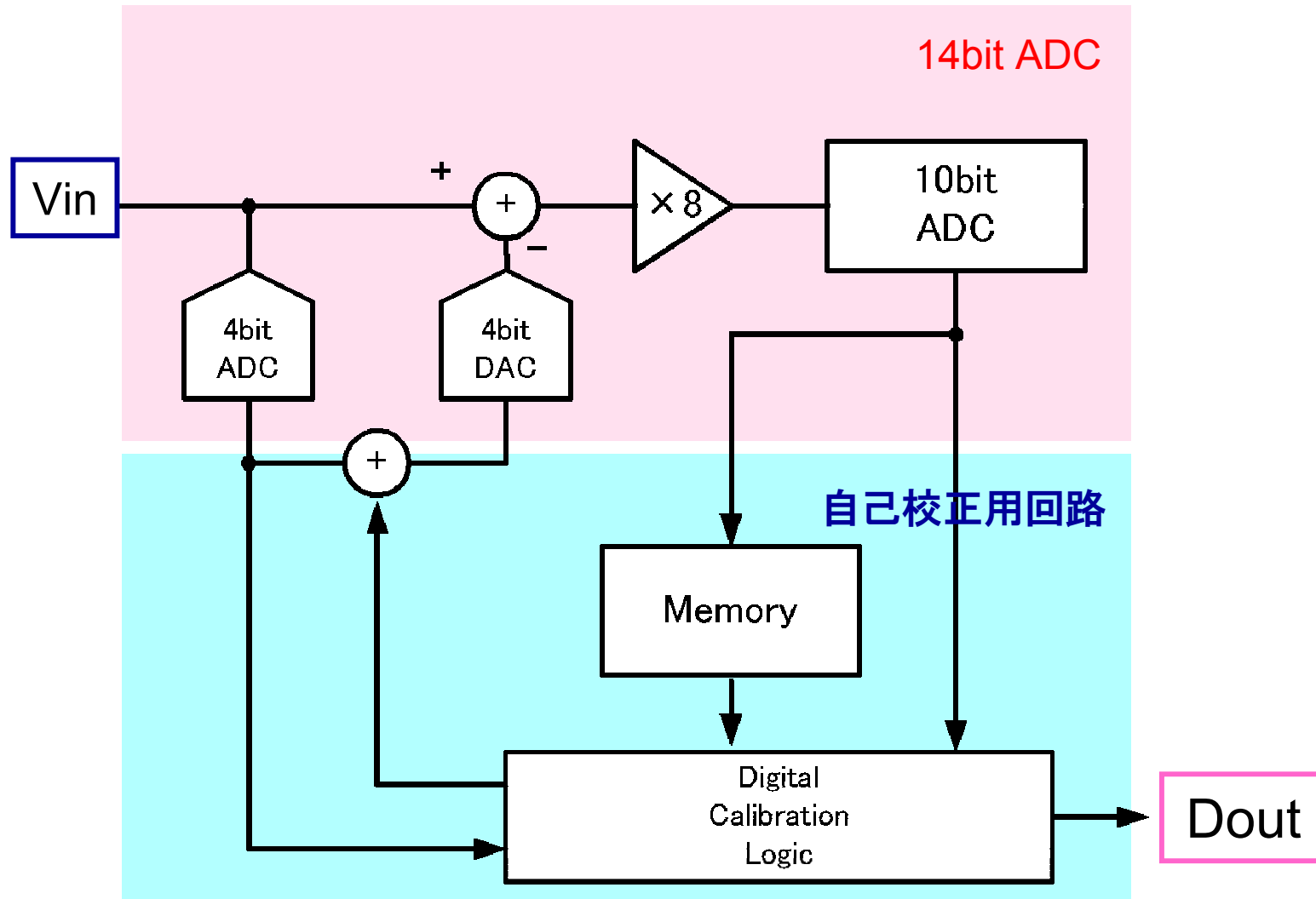


発表内容

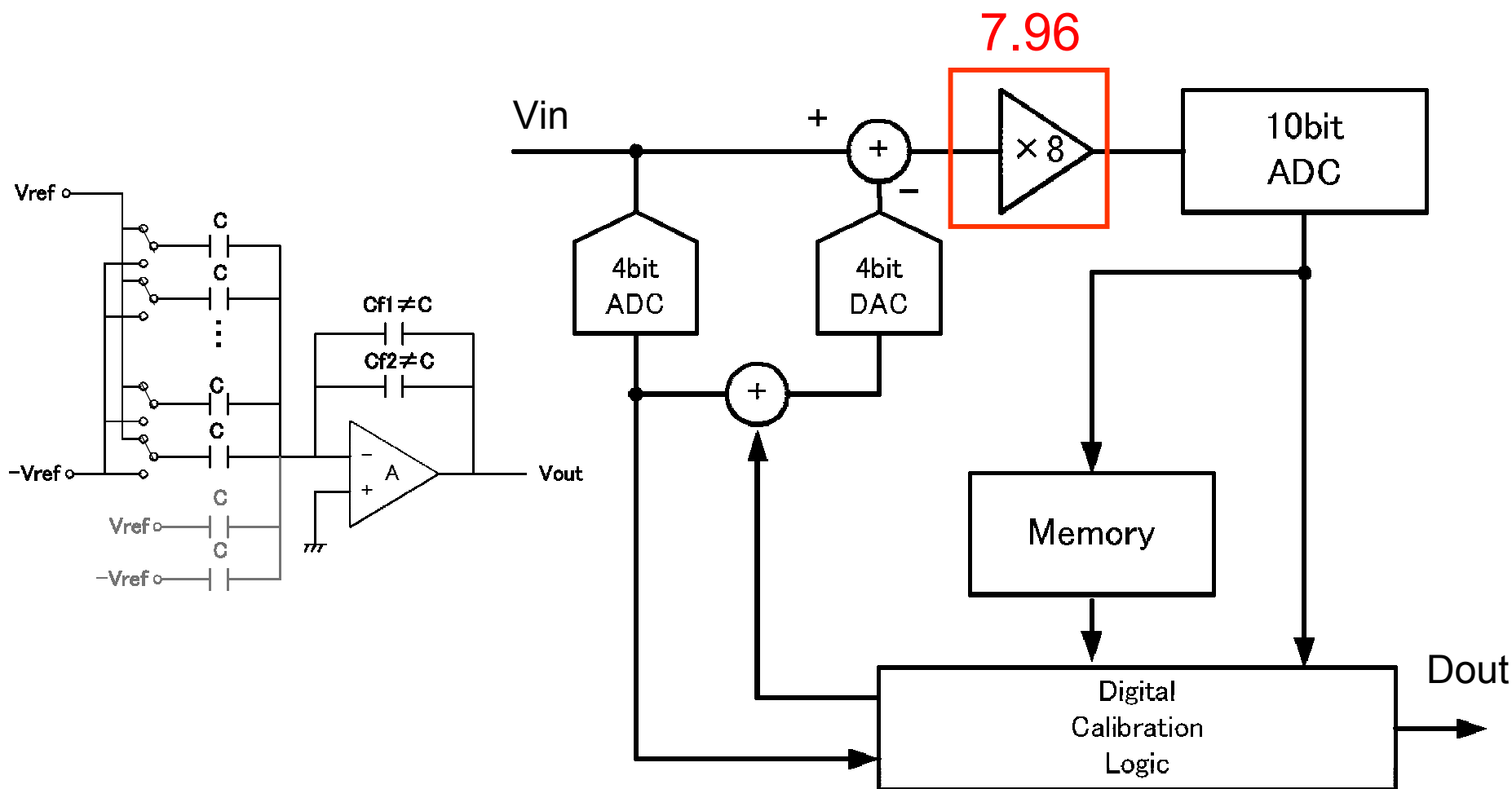
- 研究目的
- パイプラインADCの構成と動作
- 問題提起
- デジタル自己校正
- シミュレーション
- まとめ

シミュレーション

- MATLABを活用しデジタル校正の効果を検証する



段間アンプのゲイン誤差がある場合(シミュレーション)

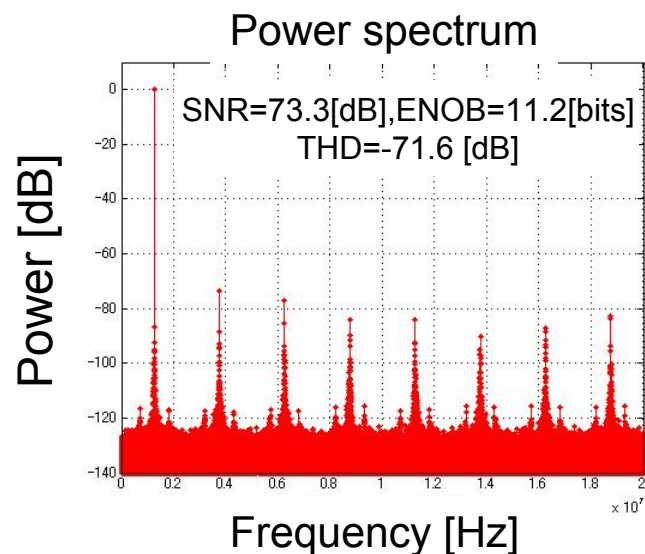


段間アンプのゲイン誤差がある場合(シミュレーション)

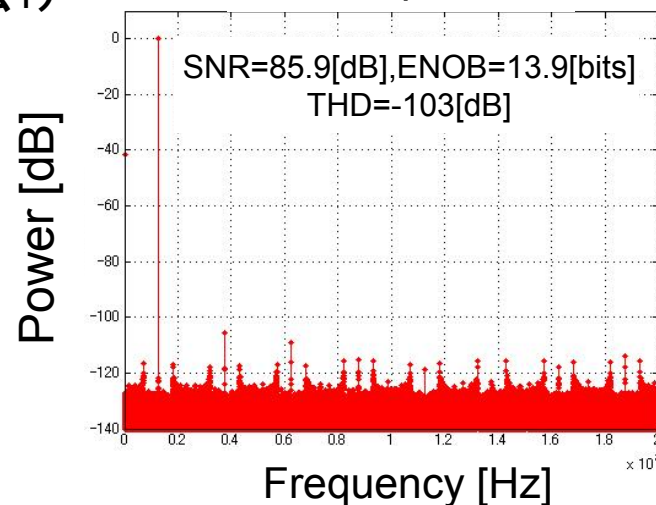
単一sin波入力の実出力Power Spectrum

(測定法1)

(自己校正なし)

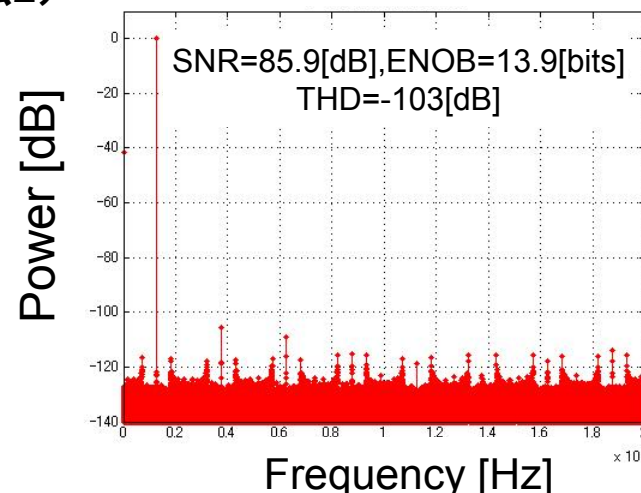


Power spectrum



(測定法2)

Power spectrum



段間アンプのゲイン誤差がある場合(シミュレーション)

	自己校正なし	測定法1	測定法2
SNR [dB]	73.2	85.9	85.9
ENOB [bits]	11.2	13.9	13.9
THD [dB]	-71.6	-103	-103
DNL [in LSB]	1.0	0.15	0.15
INL [in LSB]	4.4	0.12	0.12

測定法1と2とでは同様の結果が得られた

SNR 12.7 [dB]

ENOB 2.7 [bits]

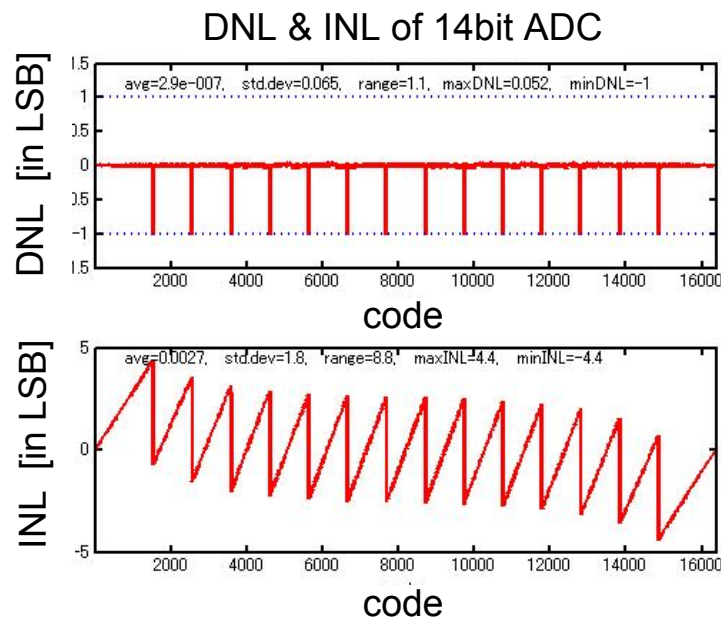
の改善が見られた。

段間アンプのゲイン誤差についてこの自己校正の有効性を確認できた。

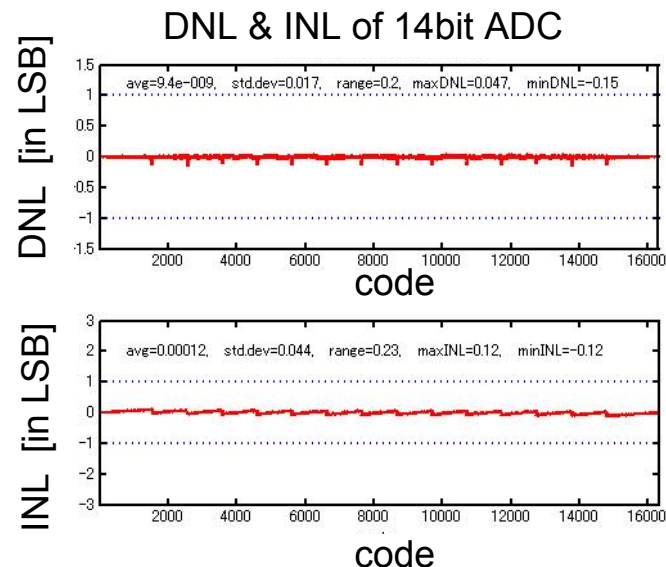
段間アンプのゲイン誤差がある場合(シミュレーション)

DNL, INL

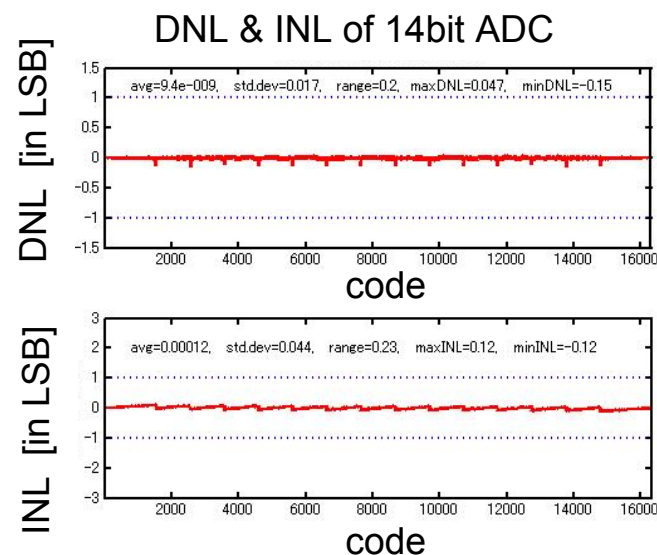
(自己校正なし)



(測定法1)

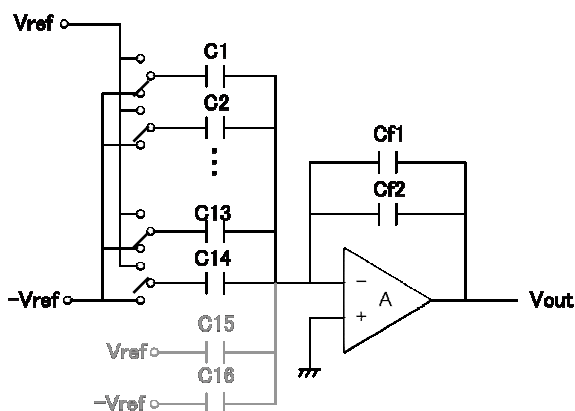


(測定法2)



	校正なし	測定法①	測定法②
DNL+ [in LSB]	0.05	0.05	0.05
DNL- [in LSB]	-1.0	-0.15	-0.15
INL+ [in LSB]	4.4	0.12	0.12
INL- [in LSB]	-4.4	-0.12	-0.12

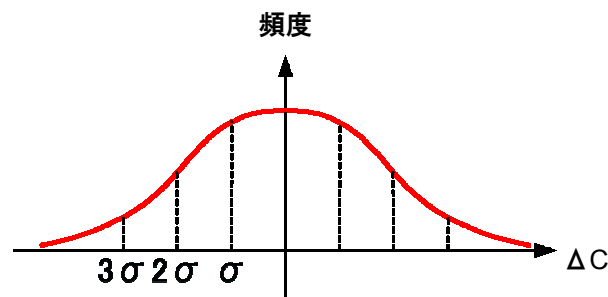
DACの非線形性がある場合(シミュレーション)



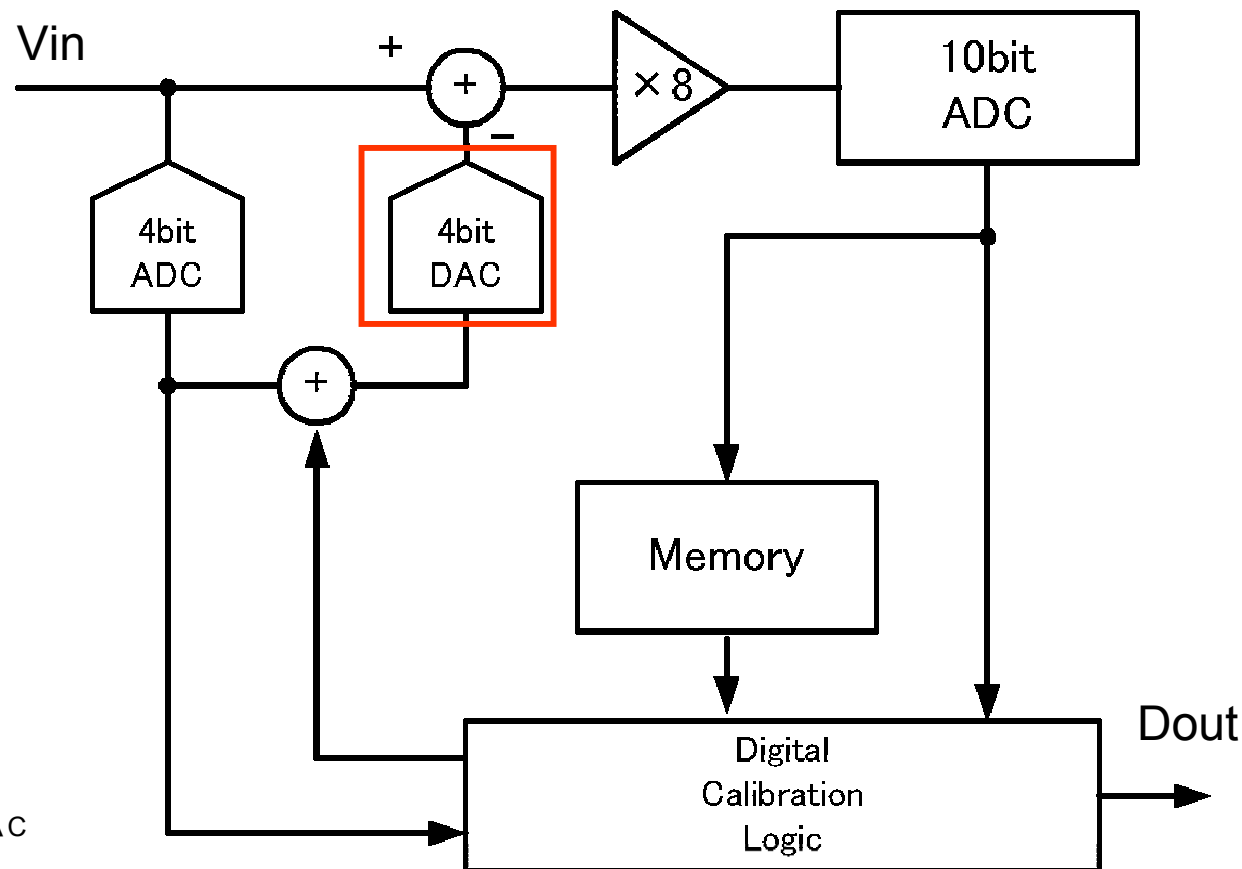
$$C1 \neq C2 \neq \dots C_{f1} \neq C_{f2} \neq C$$

$$(C1 + C2 + \dots C_{16}) / (C_{f1} + C_{f2}) = 8$$

利得は8となるように各容量を選択



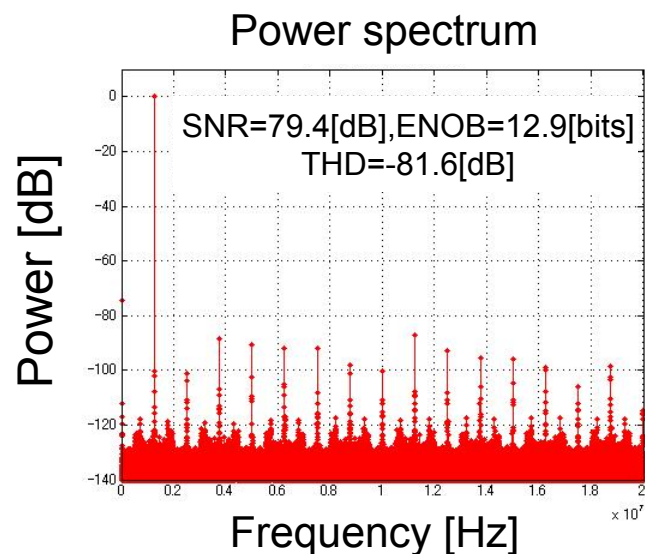
$\sigma = 0.067$ のばらつきを持たせた



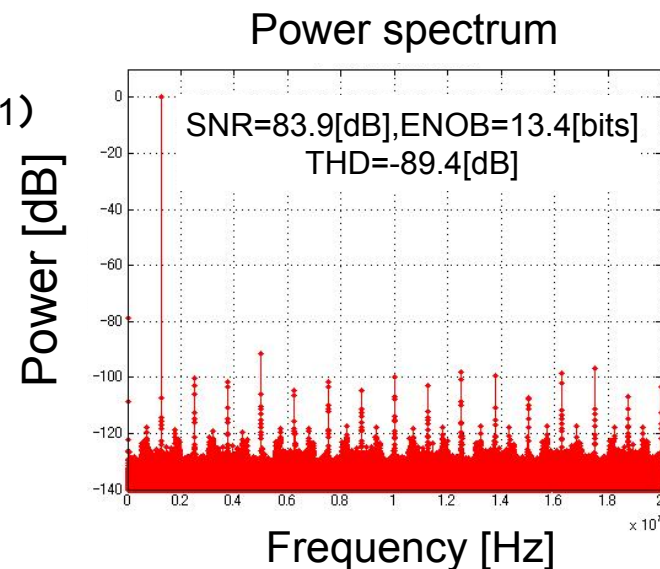
DACの非線形性がある場合(シミュレーション)

単一sin波入力の実出力Power Spectrum

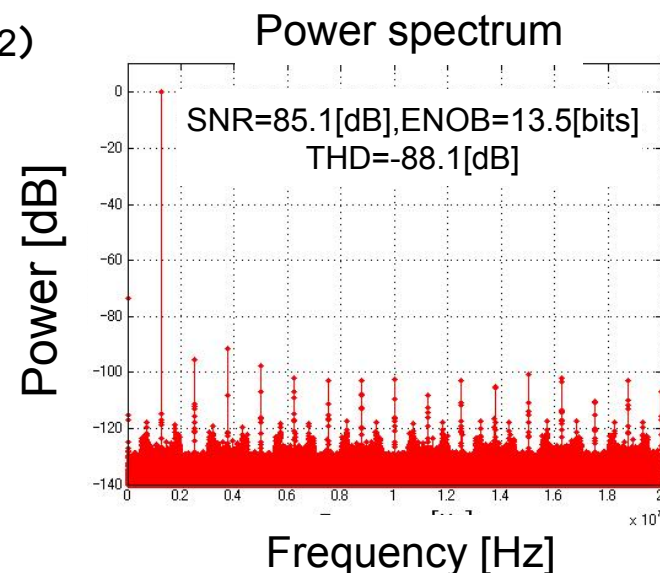
(自己校正なし)



(測定法1)



(測定法2)



DACの非線形性がある場合(シミュレーション)

	自己校正なし	測定法1	測定法2
SNR [dB]	79.4	83.9	85.1
ENOB [bits]	12.9	13.4	13.5
THD [dB]	-81.6	-89.4	-88.1
DNL [in LSB]	1.0	0.9	0.43
INL [in LSB]	1.5	0.52	0.76

測定法1と2とでは結果が異なった
自己校正なしの状態から
(測定法1) ENOB 0.5 [bits]
(測定法2) ENOB 0.6 [bits]

の改善が見られた。

DACの非線形性についてこの自己校正の有効性を確認できた。

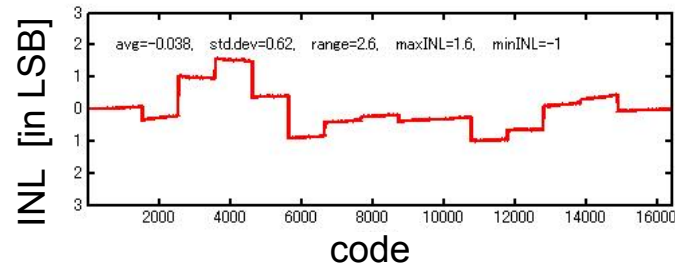
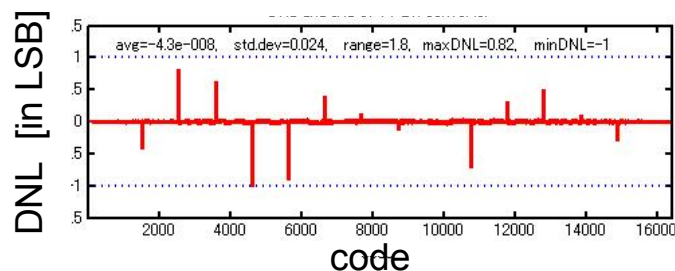
DACの非線形性がある場合(シミュレーション)

DNL, INL

(測定法1)

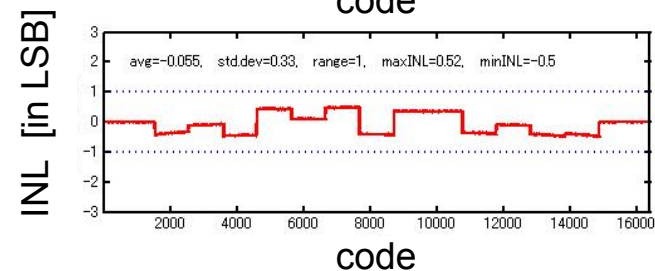
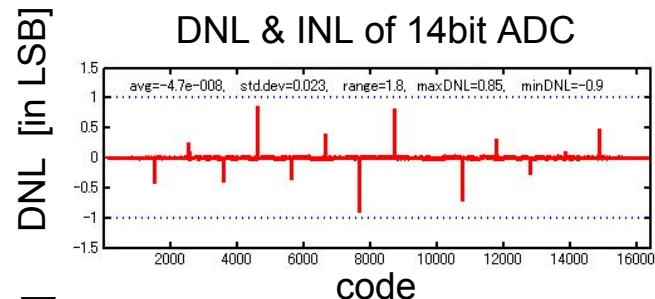
(自己校正なし)

DNL & INL of 14bit ADC

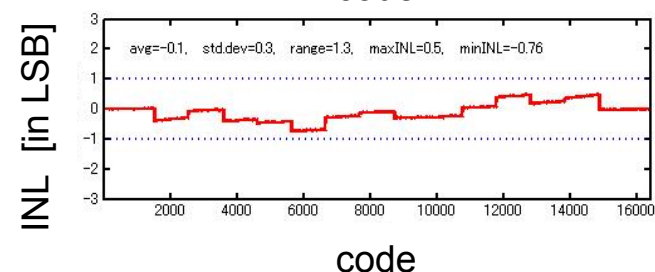
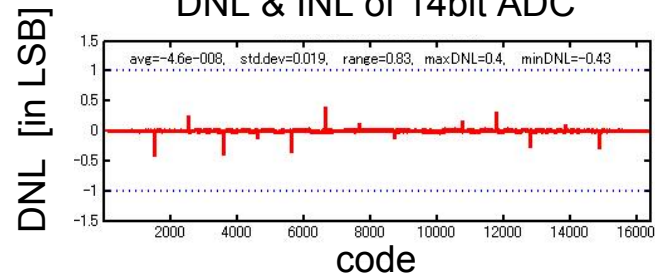


(測定法2)

DNL & INL of 14bit ADC



DNL & INL of 14bit ADC



	校正なし	測定法①	測定法②
DNL+ [in LSB]	0.82	0.85	0.40
DNL- [in LSB]	-1.0	-0.90	-0.43
INL+ [in LSB]	1.6	0.52	0.50
INL- [in LSB]	-1.0	-0.5	-0.76

発表内容

- 研究目的
- パイプラインADCの構成と動作
- 問題提起
- デジタル自己校正
- シミュレーション
- まとめ

まとめ

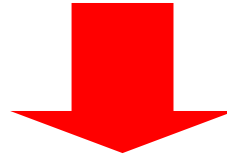
- アナログ的なフォールトトレラントのために自己校正手法を検討した。



- 従来のパイプラインADCでの自己校正アルゴリズム
 〔容量相対誤差測定法を2種類考案
 MATLABでのパイプラインADCに適用〕
• MATLABシミュレーションにより有効性を確認

今後の課題

■ **現在** フォアグラウンド自己校正



■ **最終目的** バックグラウンド自己校正