

変調 ADC を用いたモータ駆動用 デジタル信号処理方式の検討

小堀康功* , 古谷哲也* , 山田佳央* , 佐藤友治* , 田浦哲也* , 森偉文樹* , 光野正志* ,
小林和幸* , 小林春夫* , 鴻上康彦**、黒岩洋**、黒澤稔**

Digital Signal Processing for Motor Driving with Delta-Sigma Modulated ADC

Yasunori KOBORI , Tetsuya FURUYA, Yoshihisa YAMADA, Tomoharu SATO, Tetsuya TAURA, Ibuki MORI,
Masashi KONO, Kazuyuki KOBAYASHI, Haruo KOBAYASHI,
(Gunma University)

Yasuhiko KOKAMI, Hiroshi KUROIWA, Minoru KUROSAWA (Renesas Technology)

* Electronic Engineering Department, Faculty of Engineering, Gunma University
1-5-1 Tenjin-cho, Kiryu, Gunma Japan 376-8515

** System Solution Business Unit, 1 System Solution Business Group, Renesas Technology Corp.
111 Nishiyokote-machi, Takasaki, Gunma Japan 370-0021

Abstract – This paper propose a new control method for the VCM (Voice Coil Motor) of the HDD (Hard Disc Drive) with a Delta Sigma Analog-to-Digital converter and digital Delta Sigma bit converters. In the ADC, the sense voltage of motor current is converted to 2 bits data with 25MHz over-sampling method. This data is added with 16 bits motor controlled digital signal and then it is converted to 2 bits data. After some digital signal processing, the data is down sampled to lower frequency after decimation filter. Then it's transferred to the PWM pulses for driving VCM. To reduce the number of gates without degrade the error level, LUT (Look Up Table) and the 2 bits converters are used at many circuit blocks.

キーワード：モータ駆動、デジタル制御、ADC、変調、ビット変換処理
Keywords： Motor Driving, Digital Signal Processing, ADC, Modulation, Bit Transfer

1. まえがき

HDD (Hard Disk Drive) では高精度高密度な磁気ディスクを用いて、そのデータの書き込み / 読み出しには高精度なトラッキング制御技術が用いられている。つまりデータが記録されたトラックに、高精度に磁気ヘッドを追従制御させる必要がある。近年のトラック幅は数 100nm と狭く、今後更なる高密度化でより狭トラックへと進化していく。磁気ヘッドは図 1 の駆動形態であり、ボイスコイルモータ VCM と呼ばれる回転制御形のモータで、磁気ヘッドを先端に搭載するアームの部分を回転制御する。電流負帰還回路により、VCM 電流を制御信号に高精度に追従させる。

このような高精度制御の要求に対して、現状のアナログ制御方式による VCM 電流制御方式では、制御信号の DAC 熱雑音や電源・GND ノイズ、さらにはモータ駆動電源のノイズなどにより、モータ電流ノイズも限界に近くなってきた。そこで、DAC を制御部を最終段に移動し、アナログ部を極力減らしてノイズ低減を図る。デジタル化には変調 ADC を用いることとして、この場合、ADC や演算部での量子化誤差が最大の問題となり詳細検討した。

ここではマイクロコンピュータからの制御信号に追従してモータ電流を制御し、そのモータ電流の帯域内ノイズの低減を検討する。シミュレーションにより、モータ電流の検出出力をデジタル化、演算処理して DAC することにより、最終のモータ電流ノイズを低減できる見通しを得たので報告する。

2. 変調 ADC によるデジタルモータ駆動方式

2.1 従来アナログ制御方式

HDD における磁気ヘッド制御システムの全体構成は図 2 であり、システムコントローラからのデジタル「モータ電流制御値」に対して、「モータ電流制御駆動回路」は忠実に「モータ電流」を流すように動作する。つまり、図のようにセンス抵抗によりモータ電流を検出し、この検出電圧と「モータ電流制御値」が等しくなるように、広帯域の負帰還制御を施している。

図 2 の従来回路構成では、このデジタル制御値を DAC によりアナログ値に変換した後、電流検出信号と比較し、さらにモータインピーダンスの補正回路を介して、モータ

駆動アンプに送られる。このモータ駆動アンプでは、正負2つの増幅器により、モータを制御駆動していた。

この回路構成では、アナログ信号処理部およびDACでの1/fノイズ、熱雑音の影響が大きく、また電源ノイズの影響も無視できない存在になる。また、他のモータ駆動による影響で、モータ駆動用アンプの電源ノイズも大きく、この影響にも配慮が必要である。

2.2 変調ADCによるデジタル制御方式

今回、図3のように信号処理の大部分をデジタル化してノイズ低減を図った。つまりセンス抵抗による電流検出部分にADCを採用し、「モータ電流制御値」との比較や補正回路をデジタル信号処理として、更にモータ駆動回路としてPWM回路方式を採用した。ここで単純なデジタル化では性能劣化するので、オーバーサンプリングによるデルタシグマ変調ADCを採用した。従来の初段DACで発生する抵抗熱雑音や電源からのノイズの除去を試みた。

提案デジタル制御方式においては、オーバーサンプリング($F_s=25\text{MHz}$)によるデータ処理を、PWM周波数(0.78MHz)に変換するためのデシメーション・フィルタが必要である。このフィルタの位置として、図4、図5のように2方式を検討した。つまり図4ではADCの直後で演算処理の前にフィルタを置いて、周波数を下げて演算処理を施す。(この方式をフロントDF方式と呼ぶこととする)このフロントDF方式では高精度なフィルタが必要であると共に、その後のデジタル演算においては常に16ビット演算を必要とする。一方、図5においては、デシメーションフィルタを最終段のPWM変換器の前に配置している。(この方式をリアDF方式と呼ぶこととする)この場合、各演算処理部でのビット低減を測るべく、各部で2ビットデルタシグマ変換を用いる。途中演算の丸め誤差を、デルタシグマ変調によりノイズシェーピングして低減を図る。

3. 変調ADCによる制御特性

3.1 フロントDF制御方式と回路構成

図4に示したフロントDF方式における注目すべき回路は、変調ADC回路とデシメーションフィルタ(LPF+ダウンサンプリング)である。これらの回路は両方式で利用されているが、ここで詳細に説明する。またこれ以外の演算処理においては、基本的に16ビット演算であり、回路構成的な素子数低減の検討はしないこととする。

(1) 変調ADC回路の構成と特性

センス抵抗により検出されたモータ電流は、ローノイズアンプにより増幅されて、図6のブロック図で示される2次2ビット構成の変調ADCに入力される。ここで入力信号は、25MHzクロックで2ビットにデジタル化される。この出力はラッチされた後、DACでアナログ変換され、入力信号と2段構成で加算される。各加算の後には、オペアンプによるアナログ積分器が設けられ、ここでデジタル誤差が2段積分されて、最終的なノイズシェーピングを実現している。この回路は、等価的に図7のブロック

図で表わされる。ここで Z^{-1} はサンプルホールドを示し、図のループ構成でデジタル積分器として動作する。図6ではアナログ積分器で構成されるが、前段のラッチにより離散化されるので、デジタル表現で扱う。このとき、出力信号Yには、次式(1)のように信号成分Xと、デジタル誤差Nがシェーピングノイズされて含まれる。この周波数特性は図8であり、周波数が十分低い場合では、近似式(3)で表わされ、周波数の4乗に比例してノイズは低減される。

$$Y=X+(1-z^{-1})^2\cdot N \quad (1)$$

$$Y=X+(1/6)\text{SIN}^4(\pi f/F_s)\cdot N \quad (2)$$

$$=X+(f/F_s)^4/6\cdot N \quad (3)$$

(2) デシメーション・フィルタ(DF)の構成

オーバーサンプリングで処理されたデジタル信号を、低周波クロックでダウンサンプリング(DS)する場合、通常折り返しノイズの影響で、クロックの半分の周波数以上の信号成分を十分に減衰した後サンプリングする必要がある。そこでデシメーション・フィルタではLPF+DSの構成とし、LPFに十分な減衰特性を持たせたい。ところが、このLPFは一般に素子数が多くなり、少ない素子数で再考の低減効果を出す必要がある。

そこで、IIR(Infinite Impulse Response)フィルタやCIC(Cascaded Integrator Comb)フィルタを多種にわたり検討した。結局、同一素子数ではCICフィルタとチェビシェフ・フィルタが最も効果的な特性を持つことが判明した。採用したCICフィルタは図9の構成で、1段構成、2セクションであり、前段に積分回路を2段、後段に微分回路を2段の構成であり、その中間でダウンサンプリングする。

(3) ループ伝達特性

VCMのモータ電流応答特性は高速応答が望まれるが、ステップ応答時のオーバーシュートは好ましくない。したがってループ特性を測定の際には、位相補償回路のゲインを調整して測定する。デシメーション・フィルタ内LPFの遮断周波数を300kHz、間引き率を1:32として、ステップ応答特性を図10のように調整して遅延特性を確認した。図11に示すように、入力制御信号から出力モータ電流までのクロズドループ遅延特性は4.5μsであった。なお、リアDF方式においても、ほぼ同等の特性を得ている。

3.2 リアDF制御方式と素子数低減

リアDF方式においては、2ビット変換による演算回路の低減と、演算丸め誤差のノイズシェーピングを目指している。デジタル2ビット変換によりやや素子数が増加するので、各構成ブロックに対して検討する。

(1) 全体回路構成とノイズ源

図5のリアDF方式のブロック図において、2次2ビット変調ADCの後に、制御信号(16ビット)と加算される。ここで次段の位相補償回路の掛算器を軽減するた

めに、加算後に2次変調を施して、2ビット信号に変換(2BTと略す)する。さらにデジタル位相補償回路の出力も2次変調を施して、2ビット信号に変換する。この結果、デシメーションフィルタの入力は2ビット信号であり、フロントDF方式と同様の回路構成となる。

デシメーションフィルタにより、16ビット780kHzの信号に変換された信号は、7ビットPWM信号に変換するにあたり、丸め誤差を低減すべく2次7ビット・変調(7BTと略す)を施す。PWMパルス信号はドライブ回路を介して、直接モータコイルに印加される。モータのLPF効果で高域成分は平滑化されるが、実際には多くの高域成分電流が残る。

(2) 2次Nビット変換(NBT)

マルチビット信号(Mビット)をNビット信号に変換する場合、単純なビット落としでは丸め誤差が増大する。そこでデジタル変換を用いて、帯域内のノイズを少なくしてNビットに変換する。構成ブロックは図7の2次2ビット変調ADCと同一構成で表わされるが、実際の回路は図12の構成であり、ADCやDACは不要である。つまりビット変換部分Nは、単にNビット信号を取り出すのみで、この信号をラッチして出力すると共に帰還する構成である。ここで、ラッチ信号を出力信号としたのは、多段従属接続によるレーシング現象を防ぐためである。この場合、遅延時間が気になるが、実際には100ns程度であり、数段では問題ないと考えられる。なお、デジタル積分器は、ブロックのように単純なラッチと加算器によるループ構成で実現できる。

(3) 位相補償回路

図3に示した位相補償回路は、モータのインピーダンスの極を相殺して、直線的な積分特性を持たせるものであり、次の特性式で表される。

$$F(s) = 1 + s(L/R) = 1 + s \cdot T_m \quad (3)$$

ただし R はモータの内部抵抗である。

アナログ回路ではこのままの特性で実現できるが、図4、図5のデジタル回路においては離散系であり、双一次変換式を用いてZ変換して回路を構成する。

$$\text{双一次変換: } s = \frac{2}{T_s} \frac{1 - z^{-1}}{1 + z^{-1}} \quad (4)$$

$$G(z) = K1 \left(1 + \frac{K2 \cdot z^{-1}}{1 - z^{-1}} \right) \quad (5)$$

式(5)は図13(A)のように構成でき、その伝達特性は(B)のように比例積分特性(PI制御)である。

4. 素子数低減とノイズレベルの検討

4.1 回路構成による素子数低減検討

デジタル信号処理においては、割算器や掛算器・係数器の素子数が非常に大きく、加減算器やラッチ・シフトレジスタおよびルックアップテーブルLUTは比較的少ない素子数で構成可能である。そこでリアDF方式における各

ブロックの素子数低減を検討した。

(1) 位相補償回路

位相補償回路の構成は、2個の係数器を有する。しかしながら入力ビット数は2ビットであり、容易にLUTで実現できることが分かる。さらに2つの係数の精度はモータコイルのインピーダンスのおおまかな補償であり、非常にバラツキが大きく低い精度でも十分である。実際には多種のVCMに対応できるように、2つの係数は外部より設定可能とするので、各4ビット精度でも十分と考えられる。

(2) CICフィルタ

デシメーション・フィルタに使用するLPFを比較した場合、チェビシェフフィルタに比較して、CICフィルタは遅延時間がやや短く、構成素子数を少なく抑えることができそうである。前段2個の積分器での飽和が心配され、ビット数の増大が懸念されるが、掛算器を必要としないことより素子数的には問題ないと判断した。

4.2 ビット制限によるノイズレベル

デジタル・システム全体で最もノイズ感度が高い部分は、初段の2次変調ADC部分である。一方、最もノイズを発生する部分は、最終段の7ビットPWM回路である。特にデジタル演算回路においては、実際の回路では最大16ビットを想定しており、シミュレーションのフルビット演算結果とは大きく異なる。そこで各部のビット制限によるノイズレベルを検討するにあたり、対象ノイズ以外の演算処理部分の精度を十分高くとり、電流ノイズに及ぼす影響を比較検討する。

(1) 2次変調ADCのノイズ

変調ADCで発生するノイズは、ループゲインに無関係にそのノイズレベルがそのまま出力ノイズとなる。したがって2次2ビット変調ADCでは図7のノイズが初段に発生し、50kHz以上の高域ではデシメーション・フィルタのLPF特性で決定される。

一方、加算部分や積分部分はアナログ信号であり、演算による丸め誤差は発生しない。したがってADC部分のビット数が大きくノイズレベルに影響する。つまり他の部分で発生するノイズの影響が大きく全体ノイズレベルが仕様を満たせば、ADC部分を1ビット化することも可能である。この場合、全体のノイズレベルは6dB高まるので、実機による確認が好ましい。一方、他の部分でのノイズに比較してADCノイズが大きい場合は、ADCを3dBに高めてノイズレベルを下げる必要がある。この場合、ADCはアナログ回路であり、素子面積はかなり大きくなる。

(2) 位相補償回路のノイズ

位相補償回路は図13の構成であり、積分器と加算器においてビット制限される。加算器の出力にて17ビット以降を削除した場合、次式の丸め誤差が発生する。ここで位相補償回路は積分特性を有し、低域で高利得を有する。したがってこの丸め誤差による帯域内ノイズは、積分特性で改善される効果が期待できる。

$$N_P = E / 2^{17}$$

(6)

ここで、積分器や加算器のビット数を $(16 + P)$ ビットに増加させた後 2 ビット変換した場合、丸め誤差は $1 / 2^P$ に減少される。この減少した丸め誤差ノイズに、2 BT の変換ノイズが加算される。この結果、ブロック毎に丸め誤差を減少すると共に 2 ビット変換を実現でき、演算ビット数を徐々に増加していく必要はない。なお、フロント方式においては丸め誤差は蓄積され、この改善には演算段数が重なるにしたがってビット数を増加させる必要がある。一部のビット数を増加させても積極的に改善する手法は困難である。

(3) デシメーション・フィルタのノイズ

25MHz サンプリグ・レートから 0.78MHz ヘダウンサンプリグするにあたり、折り返しノイズを除去すべく十分な LPF を施す。この LPF の特性は非常に重要であり、フィルタ効果が不十分だと、折り返しノイズが帯域内に重畳されて電流ノイズが増加する。一方、同一次数でフィルタ効果を高めるには、遮断周波数を低くすれば良いが、ループの応答特性が劣化する。

CIC フィルタは図 9 の構成であり、前段に 2 次の積分器を有する。入力は 2 ビットであるが、積分器のデータ値は低周波成分に対して膨大な数値になる。実際にはループ特性によりデータ値は抑えられるが、演算精度を高めるには多くのビット数が必要となる。実際には積分器のビット数ある程度で制限し、最終出力で 16 ビットに制限される。その後 7 BT により PWM 用 7 ビットに変換するが、LPF 出力を数ビット増加させることにより誤差は大きく改善される。

(4) 7 BT・PWM 変換とノイズ

デシメーション・フィルタの出力は 16 ビット信号であり、これを 7 BT により PWM 変換用の 7 ビットに変換する。この場合の発生ノイズは $1/2^{14}$ に低減され、特に問題ないと判断できる。

一方、PWM 変換部では $1/2^8$ のノイズが発生する。十分低域 (1kHz 以下) では問題ないが、1 ~ 50kHz では大きく影響する。検討の結果、従来ノイズレベルより改善するには、この PWM ビット数が大きく影響しており、8 ~ 9 ビットが必要であると思われる。なお通常の 10 ビット DAC の採用により、この問題は回避できる。

5. 電流ノイズレベルの検討結果

以上の検討結果により、各部の構成や一部のビット制限およびノイズ特性を変えながら、最終的なモータ電流ノイズの周波数特性を検討した。

(1) 従来アナログ制御方式の電流ノイズ

従来アナログ制御方式における、実測電流ノイズのスペクトラム特性を図 14 に示す。基本的なノイズレベルは約 -115dB であるが、スピンドルモータに起因する 100Hz、300Hz 程度のノイズが大きく、最終的には -110dB のノイズレベルであった。一方、50kHz 以上におかるノイズ減衰率は -40dB/dec であり、急峻なアナログ LPF が用いられていることがわかる。なお、50kHz 以上のノイズ電流に対

しては、VCM は全く応答することがなく問題ない。

(2) フロント方式とリア方式の比較

両方式において、同一のデシメーション・フィルタおよびビット制限を施して、電流ノイズレベルをシミュレーション比較した。比較結果を、図 15、図 16 に示す。このシミュレーションでは電流センスアンプへの飛び込みノイズや電源・グラウンドラインへのノイズは現れないが、デジタル部でのノイズレベルで比較評価する。

フロント方式では、全体のレベルは -140dB に近く十分に低いと次判断できる。しかし、10kHz 以下の低域レベルでは改善効果が少なく、リア方式に比較してノイズ低減効果は 5 dB 以上低下している。一方、リア制御方式では、20kHz 以上のノイズレベルは -135dB 以下と低いが、フロント方式に比較して 5 dB ほど大きい。しかしビット変換効果が現れ、10kHz 以下では -150dB 以下と十分な効果が期待できる。全体的に見て、両制御方式はほぼ同等と見なせる。更なる詳細を検討するには、全体の実配線を想定したシミュレーションが必要である。

6. まとめ

アナログ制御から 変調 ADC を活用したデジタル制御方式の高精度 VCM 電流制御方式を検討した。ADC に 2 次 2 ビット 変調を採用し、オーバーサンプリグ周波数 25MHz とした。ADC 直後、あるいは DAC 直前のデシメーション・フィルタ方式においても、十分にノイズ・シェーピングできる。また位相補償回路で低域ゲインを確保した後デシメーション・フィルタを施すことにより、ループ特性によるノイズ低減効果と、フィルタ構成の簡単化を図った。この結果、シミュレーションにより、帯域 50kHz にて -135dB 以下のノイズレベルと、10kHz 以下では -150dB の低ノイズ特性を期待できる制御方式を開発した。

参考文献

- [1] 山崎芳男、“AD/DA 変換器とデジタルフィルタ”, 日本音響学会誌 46 巻 3 号 (1990)
- [2] 瀬川将宣、樋口俊郎、黒澤実、岡宏一、“1 ビットデジタル信号処理を用いた制御システム”, SIC, 109 M-2 (1994)
- [3] 東條啓一郎、黒澤実、岡宏一、樋口俊郎、“1 ビットデジタル信号処理と情報量についてのシミュレーション”, 電学論 D, 118 巻 5 号 (1998)
- [4] 折野裕一郎、黒澤実、片桐崇、“変調による 1 ビットデジタル信号の乗算手法”, 2002 年電子情報通信学会基礎・境界ソサイエティ大会、A-1-2 (2002)
- [5] Yasuyuki Matsuya, Kuniharu Uchumura, Atsushi Iwata, Tsutomu Kobayashi, Masayuki Ishikawa and Takeshi Yoshitome, “A 16-bit Oversampling A-to-D Conversion Technology Using Triple-Integration Noise Shaping” IEEE, ISSCC, vol.SC-22 (1987)



図1 HDDの内部構成

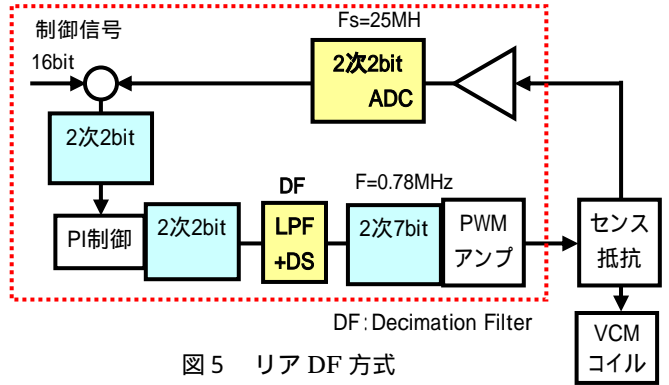


図5 リア DF 方式

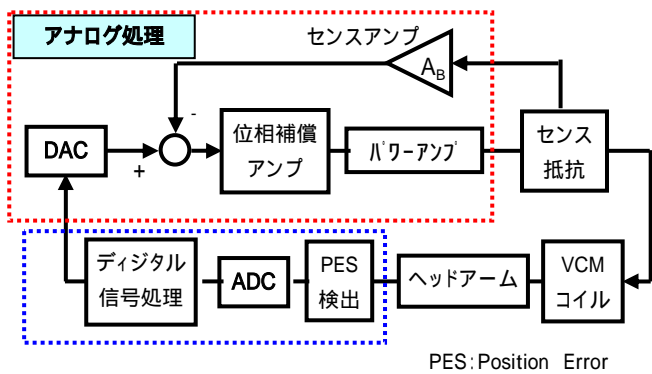


図2 従来のアナログ VCM 制御方式

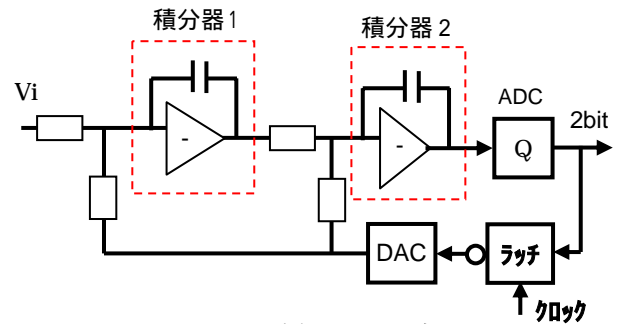


図6 変調 ADC 回路

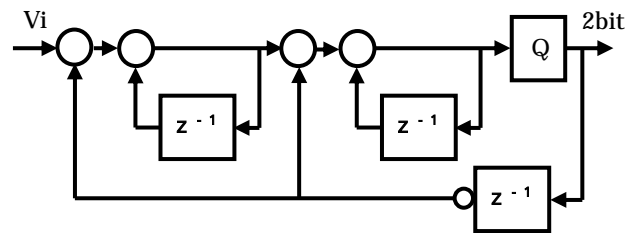


図7 変調 ADC の等価回路

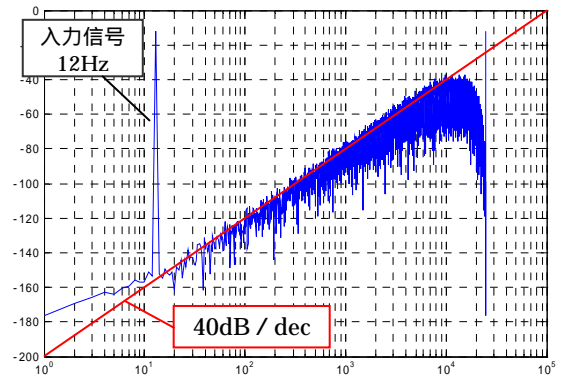


図8 2次2ビット 変調のスペクトラム

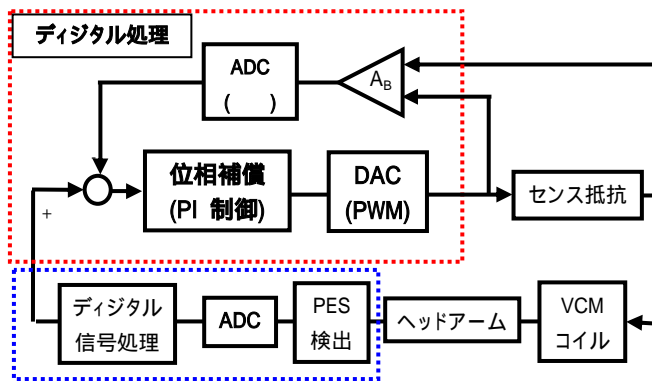


図3 提案回路：デジタル VCM 制御方式

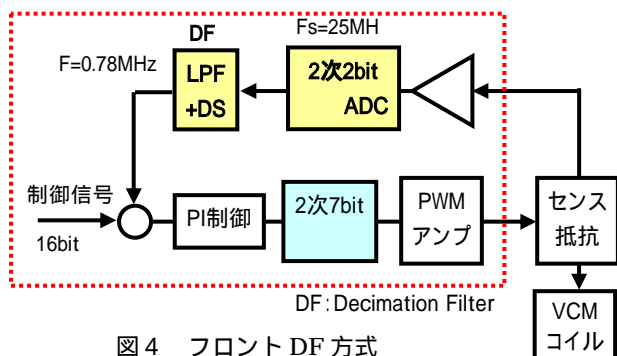


図4 フロント DF 方式

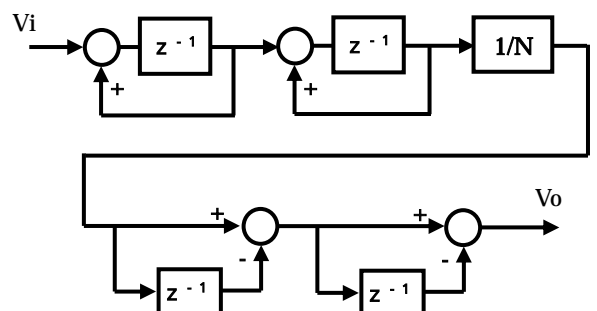


図9 CICフィルタの構成

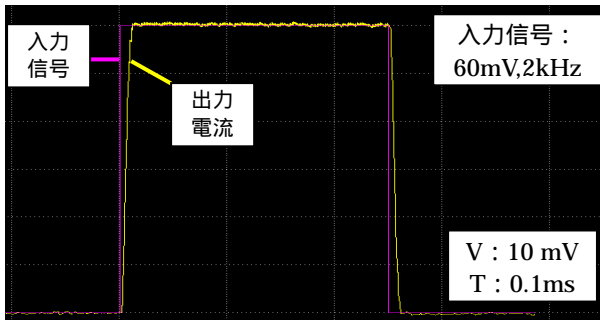


図 10 ステップ応答 (ゲイン調整後)
(制御信号に対するモータ電流)

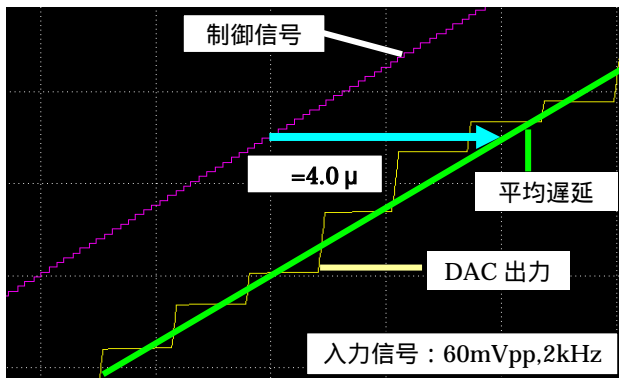


図 11 クローズド・ループ遅延特性

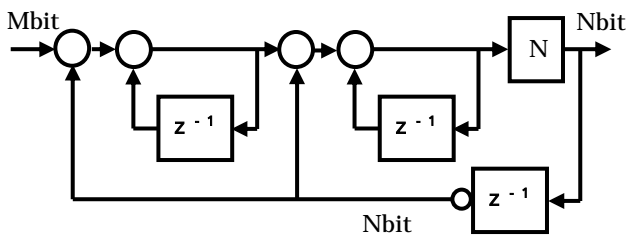
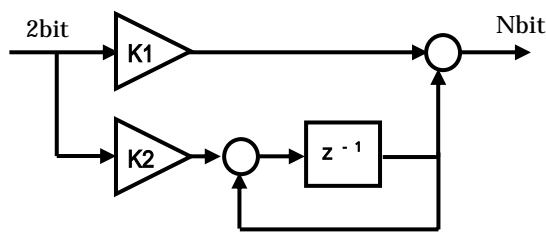
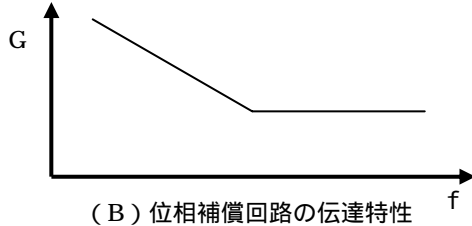


図 12 2次 N ビット変換



(A) 位相補償回路の構成



(B) 位相補償回路の伝達特性

図 13 デジタル位相補償回路

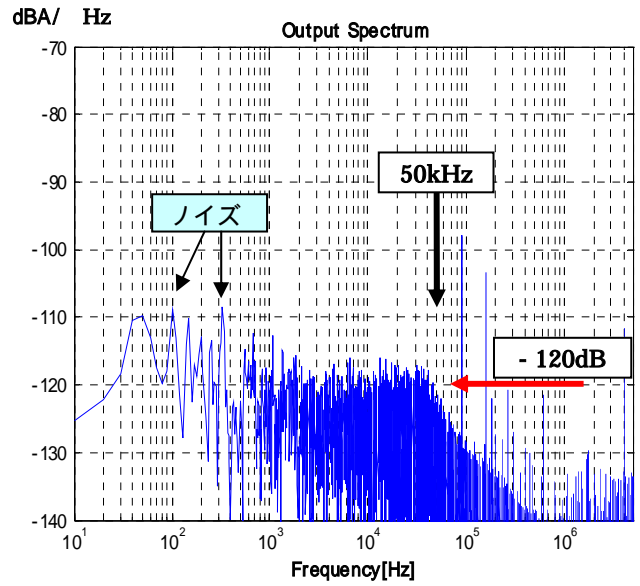


図 14 従来アナログ方式の実測電流ノイズ特性

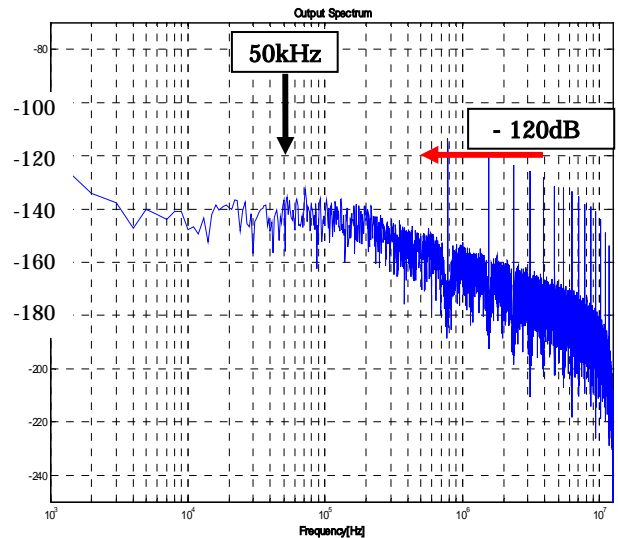


図 15 フロント方式の電流ノイズ (シミュレーション)

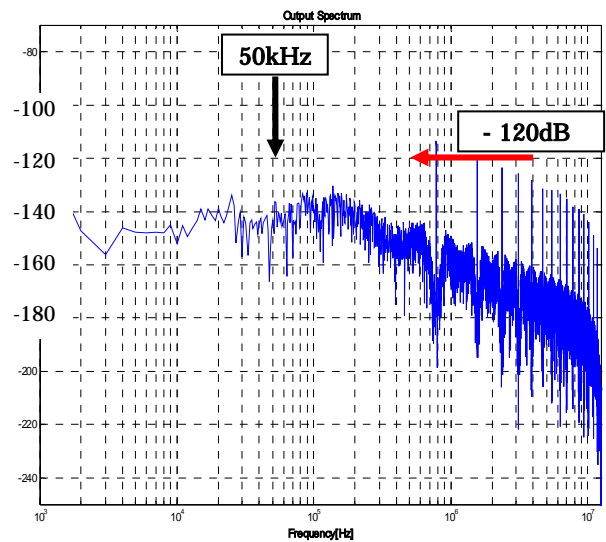


図 16 リア方式の電流ノイズ (シミュレーション)