

# △Σ変調ADCを用いたモータ駆動用 デジタル信号処理方式の検討

群馬大学： 小堀、古谷、山田、佐藤、田浦、森、  
光野、小林(和)、小林(春)

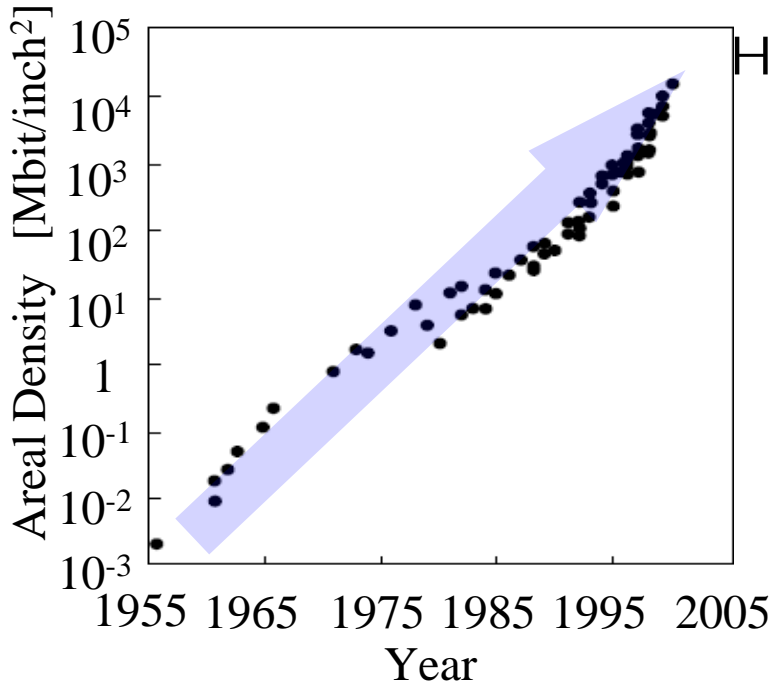
ルネサステクノロジ： 鴻上、黒岩、黒澤

# 背景

---

1. 背景と目的
2. 回路構成と提案方式
3.  $\Delta\Sigma$  変調ADCとデジタル制御方式
4. リア・デシメーションフィルタ方式
5. シミュレーション結果
6. 結論

# 1. 背景と目的



HDDの面記録密度は50年間で約1,000万倍に増加

トラック幅がどんどん狭くなる

VCMの制御の高精度化

VCM駆動回路部

現在：アナログ信号 ⇒ 電源、GND、DAC等で  
ノイズが発生

今後：デジタル信号 ⇒ アナログノイズの一元化  
ループ最終段に集約



VCM : Voice  
Coil Motor



\* 高精度なADCが必要  
\* 低域ノイズの低減

(シークモードは別制御)

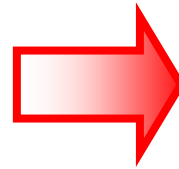
# 目標仕様(トラッキング・モード時)

## 目的

- 低ノイズVC電流駆動回路の開発
- $\Delta\Sigma$  変調ADCとデジタル信号処理方式

## 従来仕様

面記録密度: 65 [Gbit/inch<sup>2</sup>]  
トラック密度: 90 [ktracks/inch]  
オントラック精度:  $\pm 28$  [nm]



## 次期仕様

118 [Gbit/inch<sup>2</sup>]  
113 [ktracks/inch]  
 $\pm 23$  [nm]

## 目標性能:トラッキングモード時

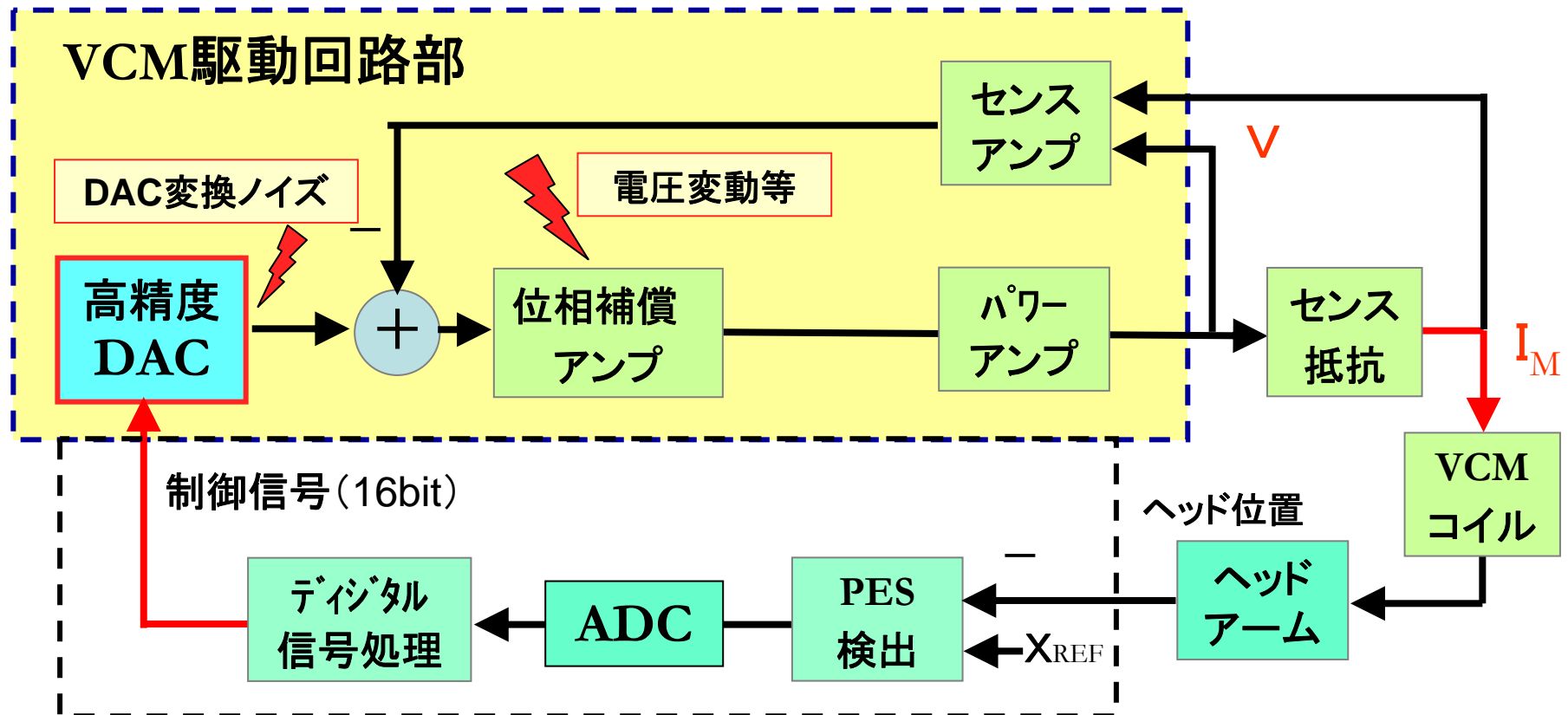
- ノイズレベル:  $N < -120\text{dB}$  ( $< 50\text{kHz}$ ) [DC30mV入力、従来計算法]
- 遅延時間:  $\tau < 7\mu\text{s}$  [sin波、 $\pm 30\text{mV}$ 、2kHz入力]

[条件] ステップ応答: オーバーシュートなし [ステップ30mV入力]  
遅延時間: 電流制御入力に対する モータ駆動電流

## 2. 回路構成と提案方式

### (1) 従来アナログ制御方式の回路構成

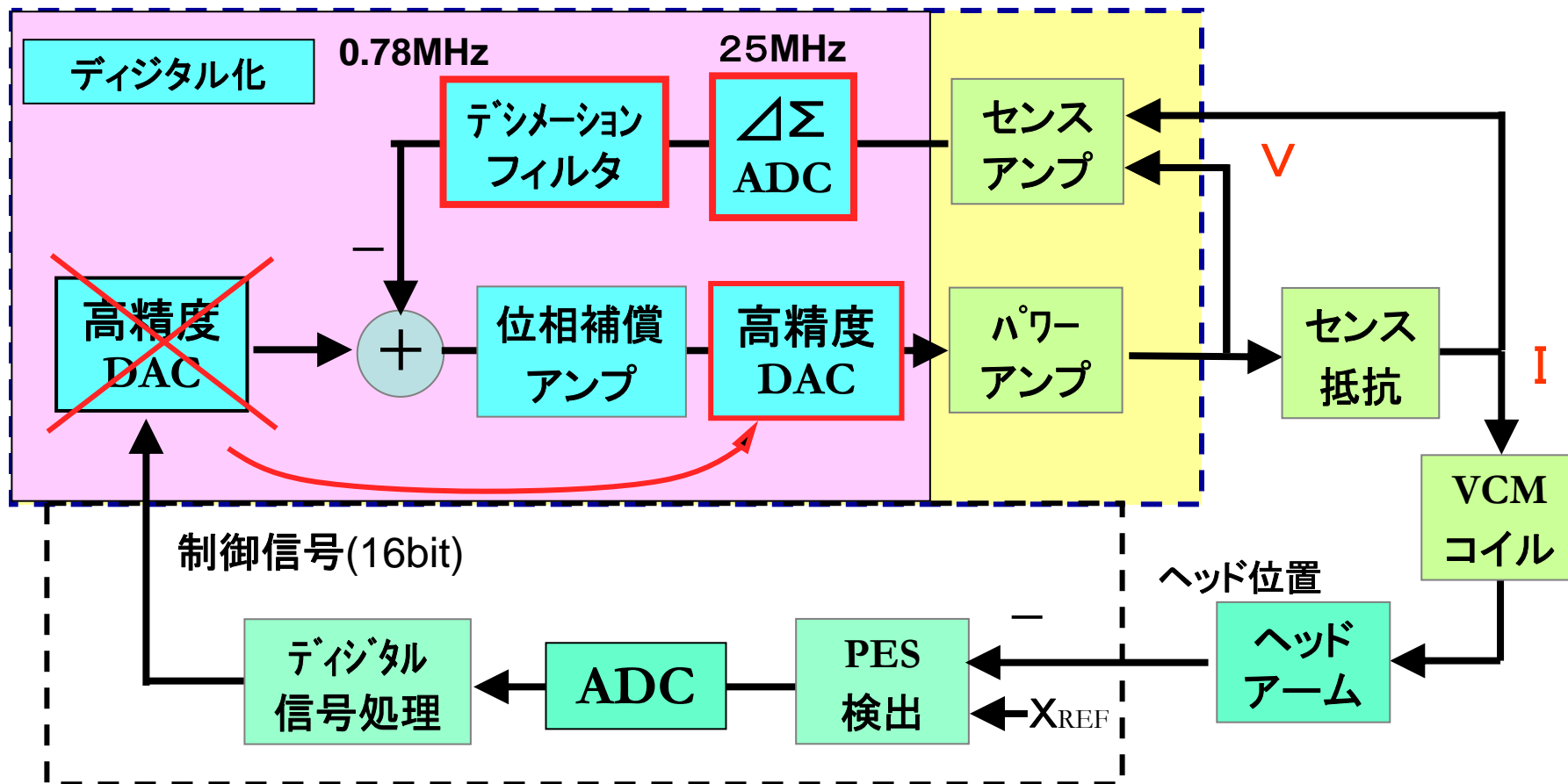
- CPUからの制御信号に 正確にVCM電流  $I_M$  を追従
- モータ電流を検出し、フィードバック制御



PES: Position Error Signal

## (2) デジタル制御方式の回路構成(フロント方式)

- ループ制御回路の多くをデジタル化 ⇒ 初段に高精度ADCが必要
- DACをループ終段に移動し、ノイズ低減(回路の単純化)
- デシメーション・フィルタが必要(LPF+ダウン・サンプリング: (25⇒0.78MHz))

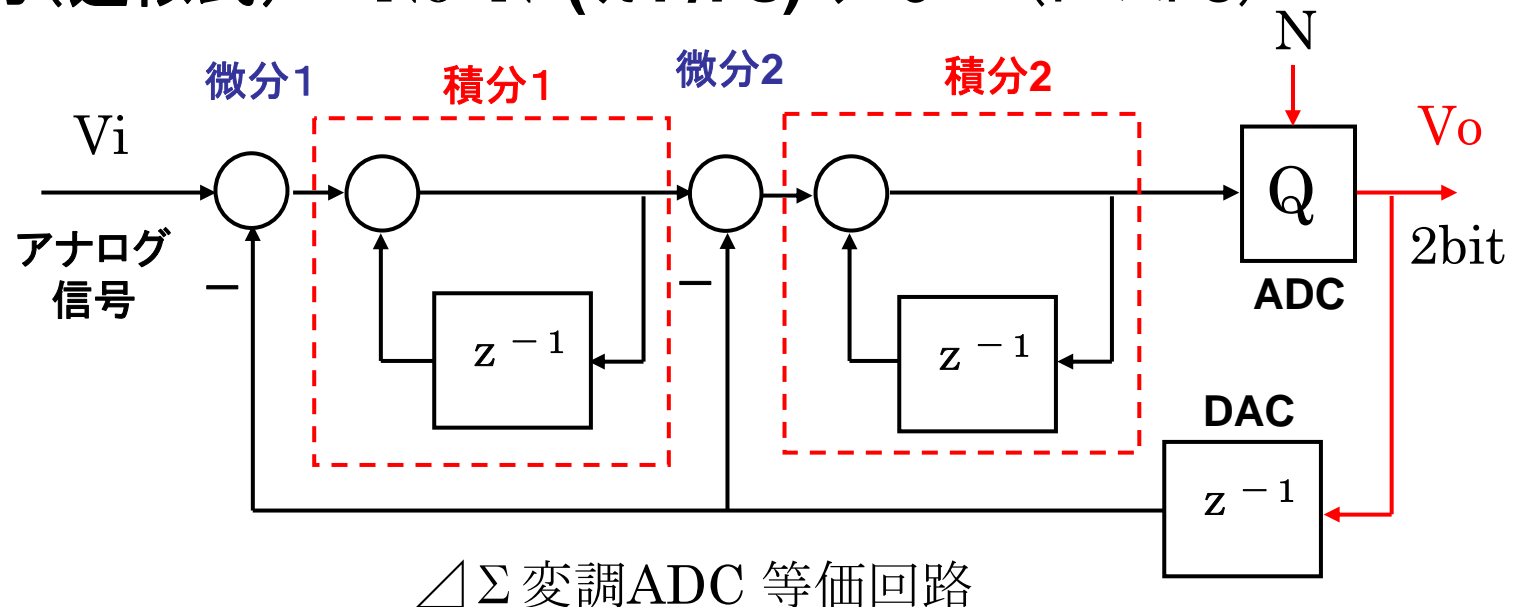


### 3. $\Delta\Sigma$ 変調ADCと出力ノイズ

#### (1) 2次 $\Delta\Sigma$ 変調ADC回路(等価回路)

- 構成: 微分+積分  $\Rightarrow$  量子化、ADC+DACが必要  
低ビット出力で誤差大  $\Rightarrow$  高速サンプリングで帰還補正  
(電圧軸の精度を、時間軸方向に拡散)

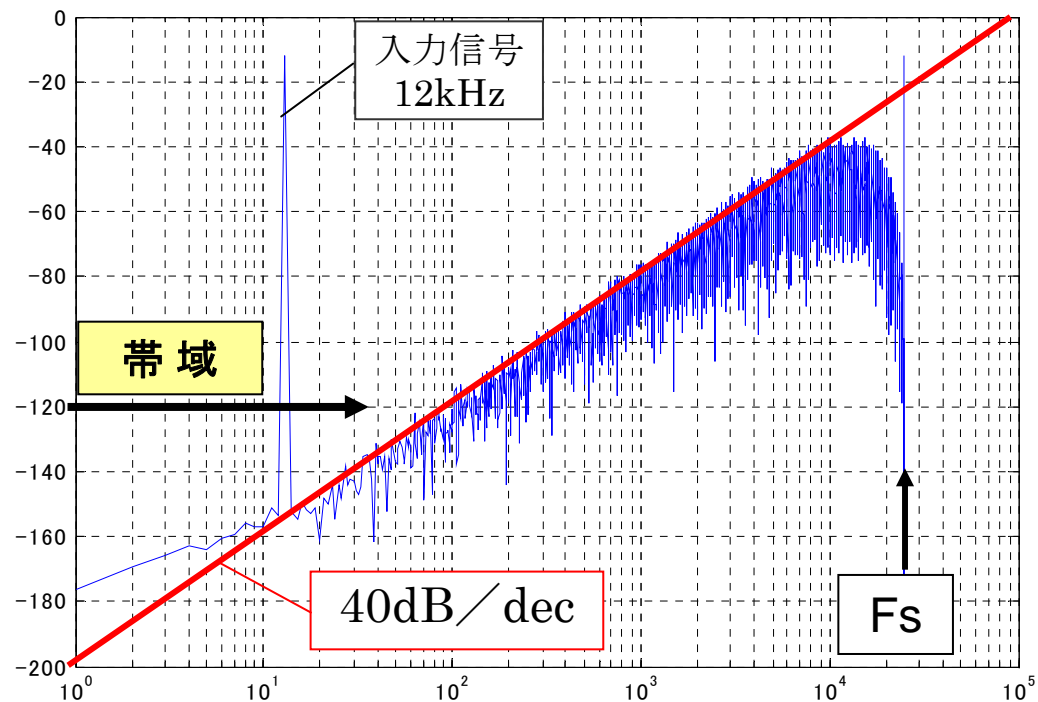
- 伝達関数:  $V_o = V_i + (1 - Z^{-1})N = V_i + \frac{N}{6} \text{SIN}^4(\pi F/F_s)$   
ノイズ出力(近似式)  $N_o = N \cdot (\pi F/F_s)^4 / 6 \quad (F \ll F_s)$



## (2) $\Delta\Sigma$ ADCのノイズ・スペクトラム(シミュレーション)

- 特性: ADCノイズを広域にノイズ・シェーピング  
 $F < F_s / 6$  でノイズ低減効果・・・傾斜部 40dB/dec  
低域レベル: -140dB @25kHz(= $F_s/1000$ )

- モータ帯域:
  - $F_M < 50\text{kHz}$ 、
  - 数kHz以下が重要

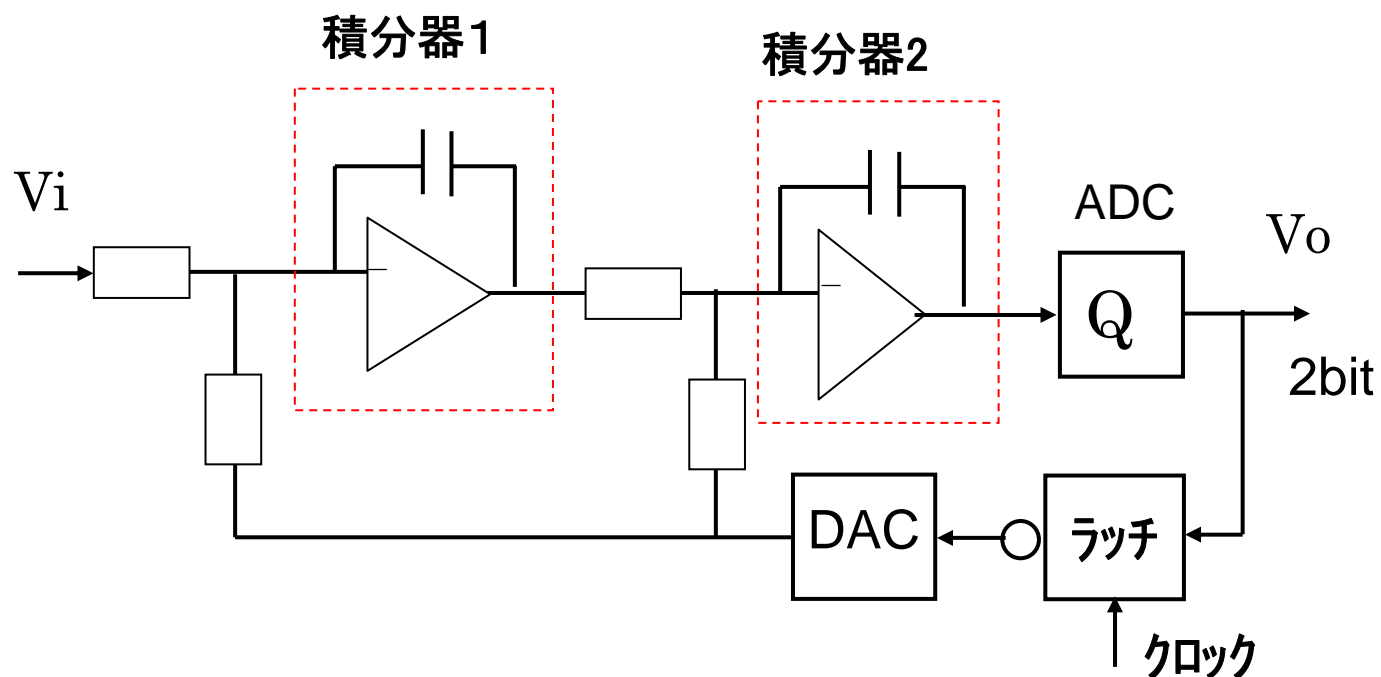


2次2ビット $\Delta\Sigma$ 変調のスペクトラム



### (3) 2次 $\Delta\Sigma$ 変調ADC回路(実際の回路)

- 構成: OPアンプによる(微分回路+積分回路)構成  
加算抵抗は等しく(極性に注意)



$\Delta\Sigma$ 変調ADC 実際回路

## (4) デシメーション・フィルタ

### ● 構成: LPF+ダウンサンプリング

- \* LPF: 折り返し防止用フィルタ・・・高次・低 $F_c$ フィルタ  
ただし 遅延時間の制限あり

### ● CRCフィルタの採用: 加算器、減算器のみの構成

#### \* 2セクション構成

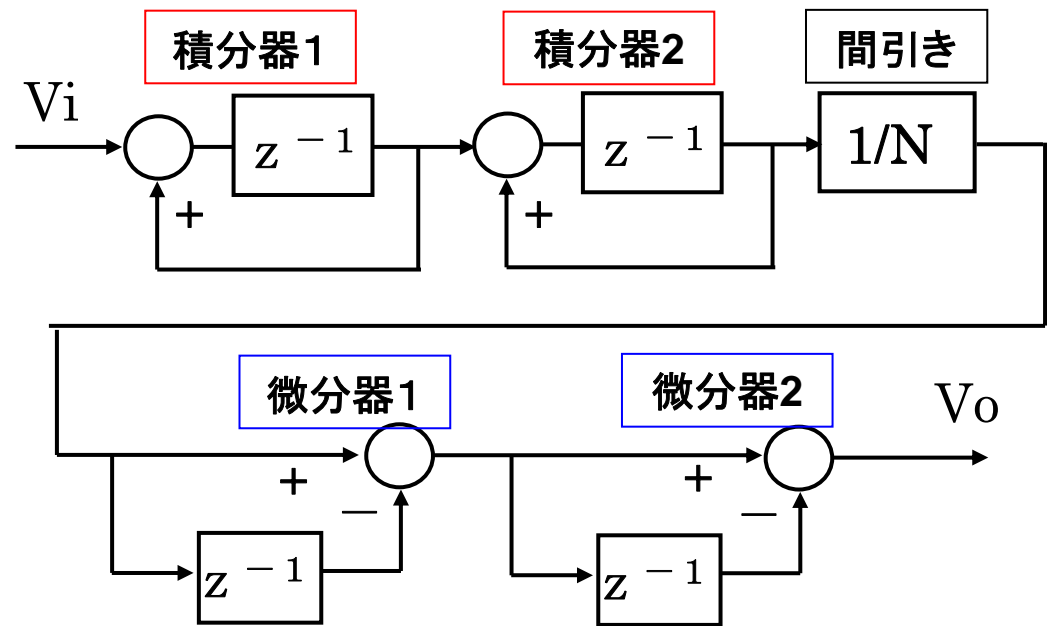
\*  $F_s=25\text{MHz}$

$F_c=250\text{kHz}$

\* 間引き: 32

### ● 特性

\* Sinc フィルタ



C I C フィルタの構成

## (5) 位相補償とDAC

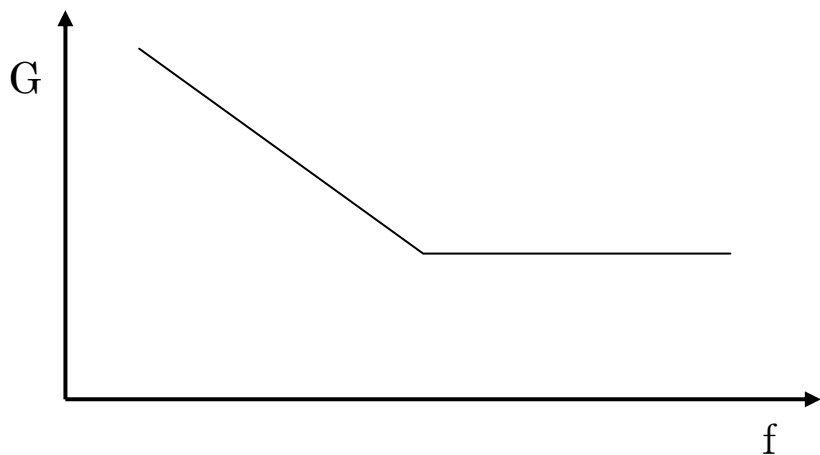
### (A) 位相補償アンプ: モータ特性の補正と PI 制御

●モータのインピーダンス(近似)・・・  $Z(s) = r + sL = r(1 + sT_M)$

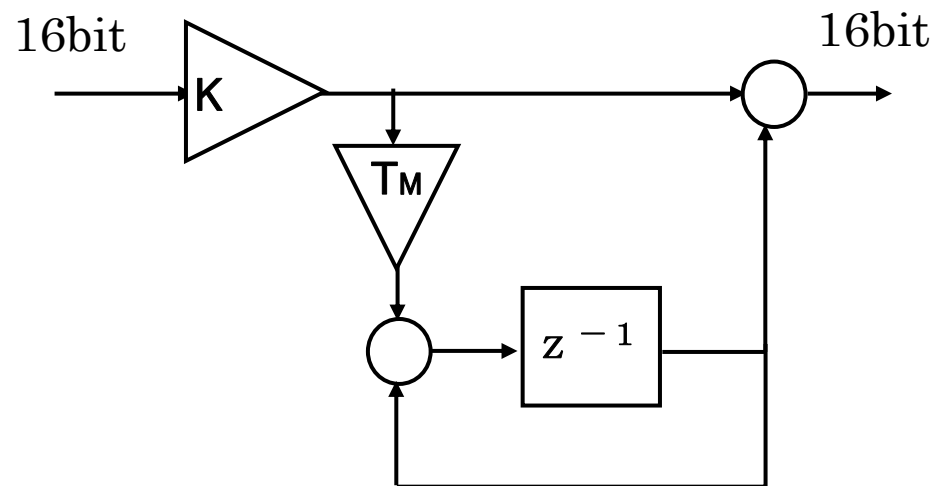
⇒ 周波数的に直線特性にしたい・・・逆補正

●センス抵抗による電流:  $I_M(s) = V(s) / Z(s)$  より

位相補償特性:  $G(s) = K \cdot Z(s) \Rightarrow K \cdot (1 + sT_M)$ ・・・低域ゲインをアップ



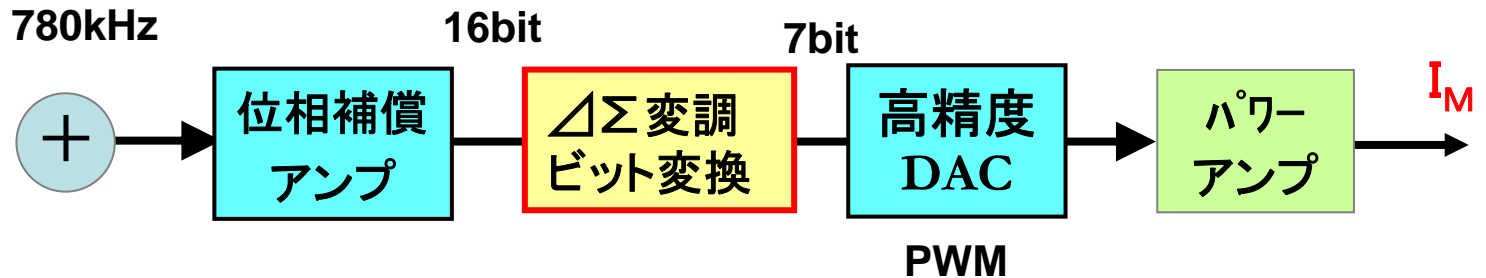
(A) 位相補償回路の伝達特性



(B) 位相補償回路の構成

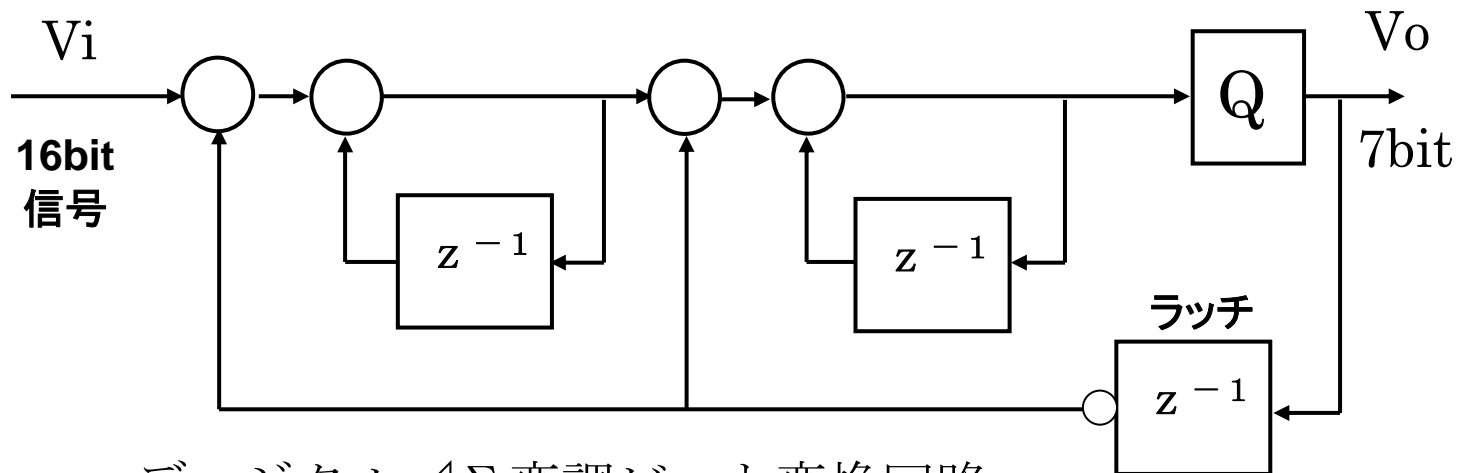
## (B) ビット変換とDAC(PWM回路)

- 2次 $\Delta\Sigma$ 変調ビット変換 : 16 bit  $\Rightarrow$  7 bit : ノイズ・シェーピング



- 特性 : 加算器・積分回路 (ラッチ) のビット数に注意

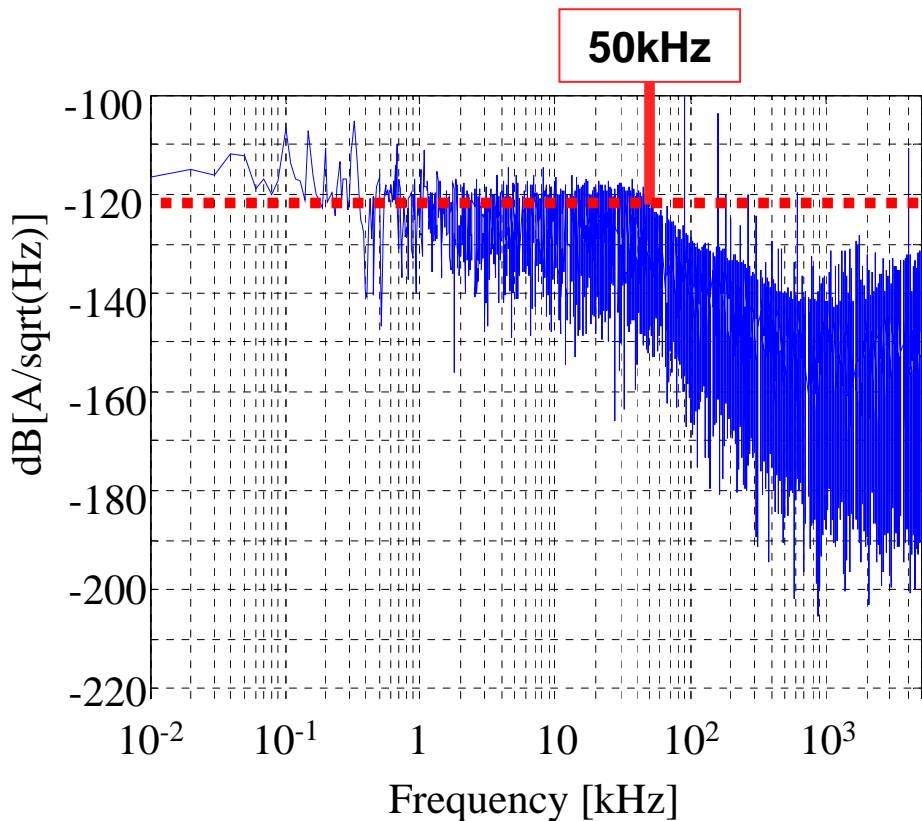
出力ノイズ : 180kHz以下で低減 :  $\Delta N = \Delta N_7 \cdot (F/180k)$



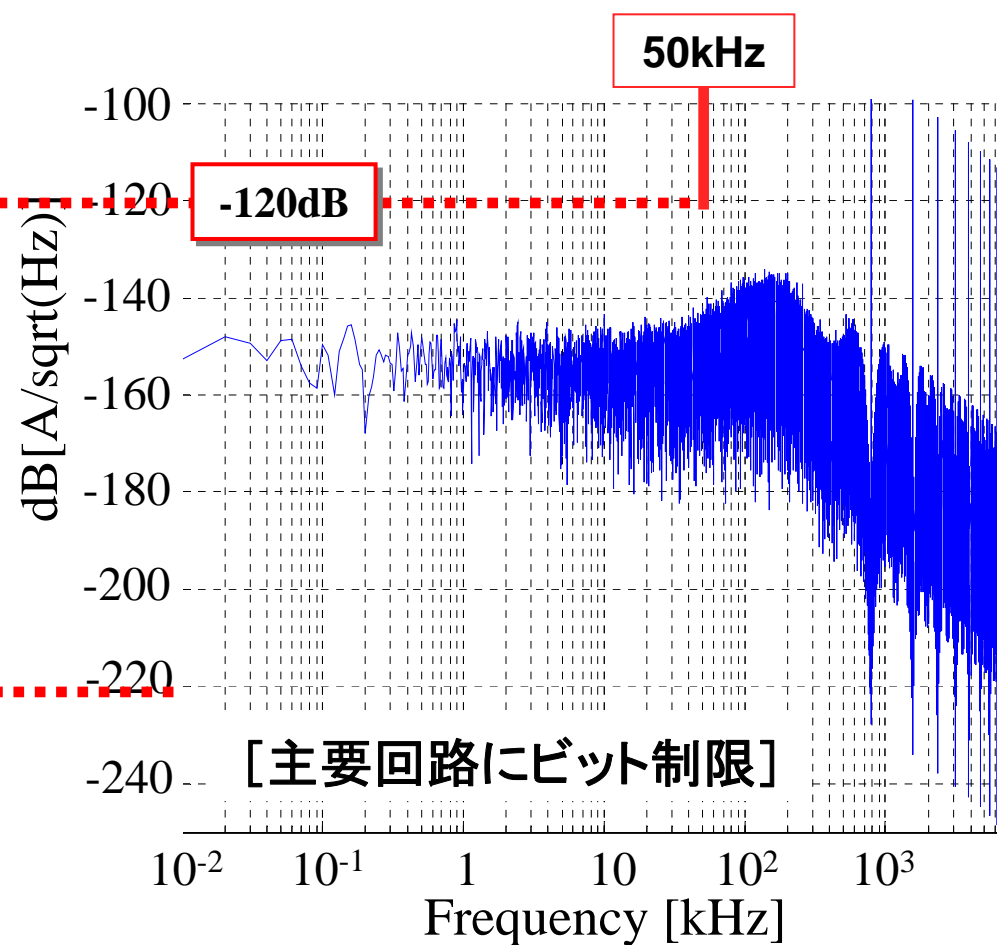
デジタル $\Delta\Sigma$ 変調ビット変換回路

## (6) 出力ノイズ比較 (従来計算法に統一)

- 従来方式ノイズ: スピンドル・モータ成分あり・・・ベースレベル:  $-120\text{dB}$
- デジタル方式: 約 $30\text{dB}$  の改善見込みあり (センサンプ・ノイズ、駆動回路ノイズ 含まず)



従来アナログ制御方式の 実測電流ノイズ



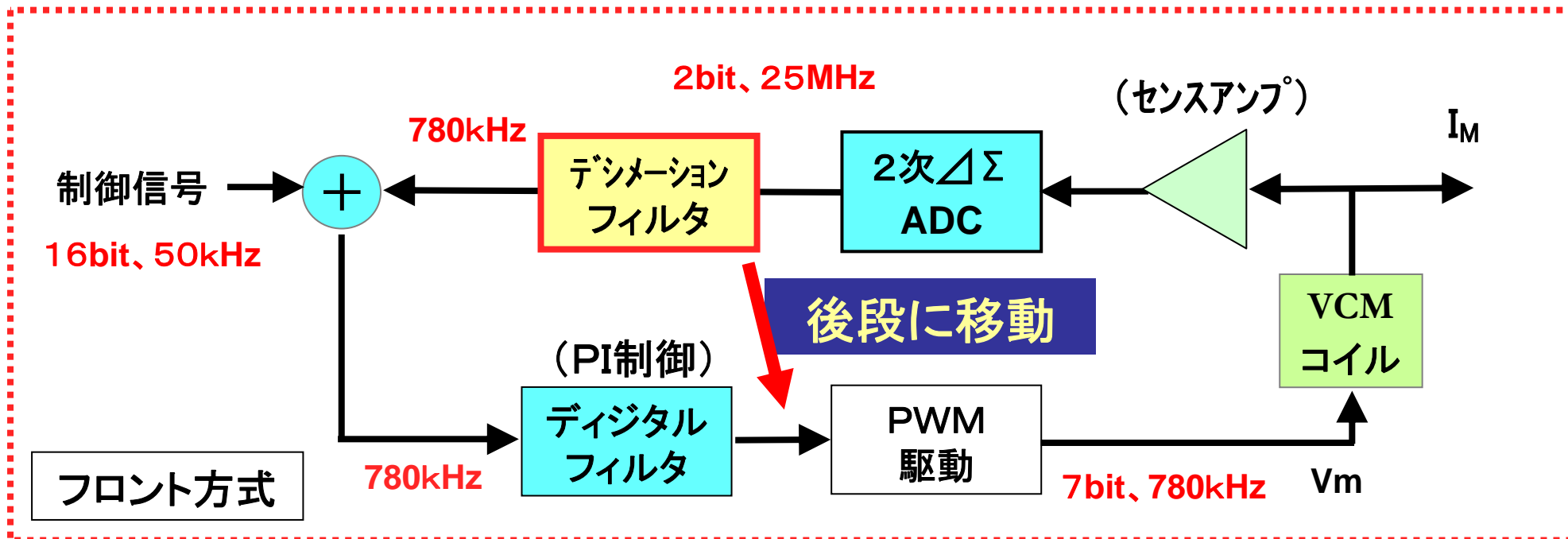
デジタル制御方式のシミュレーション・ノイズ

# 4. リア・デシメーションフィルタ方式

## (1) デシメーション・フィルタの挿入位置検討

### (A) フロント・デシメーションフィルタ制御方式の特徴

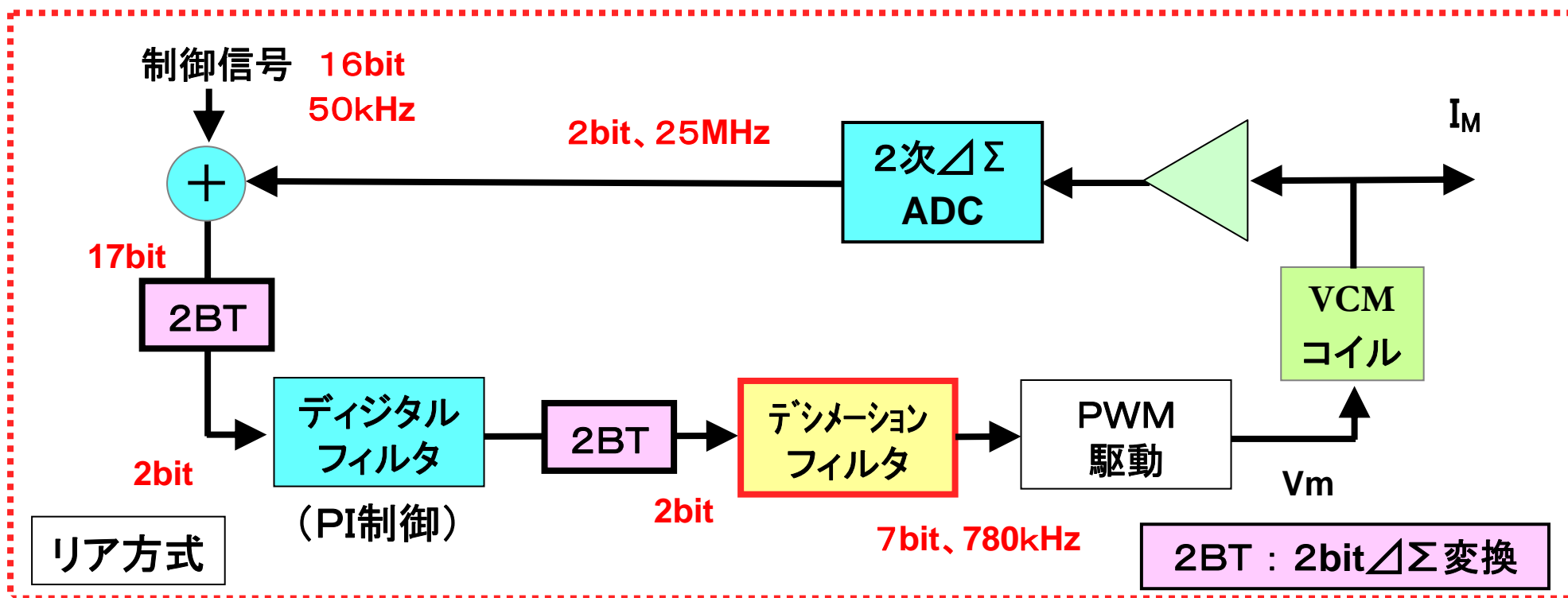
- \* 低周波(780kHz) ⇒ 低消費電力・素子数多(16ビットの演算)
- \* デシメーション・フィルタ ⇒ 高精度・高次数(∴ループ初段) ⇒ 素子数多
- \* 多ビット処理 ⇒ 演算精度の劣化(丸め誤差)



## (B) リア・デシメーション・フィルタ方式・・・PWMの前に移動

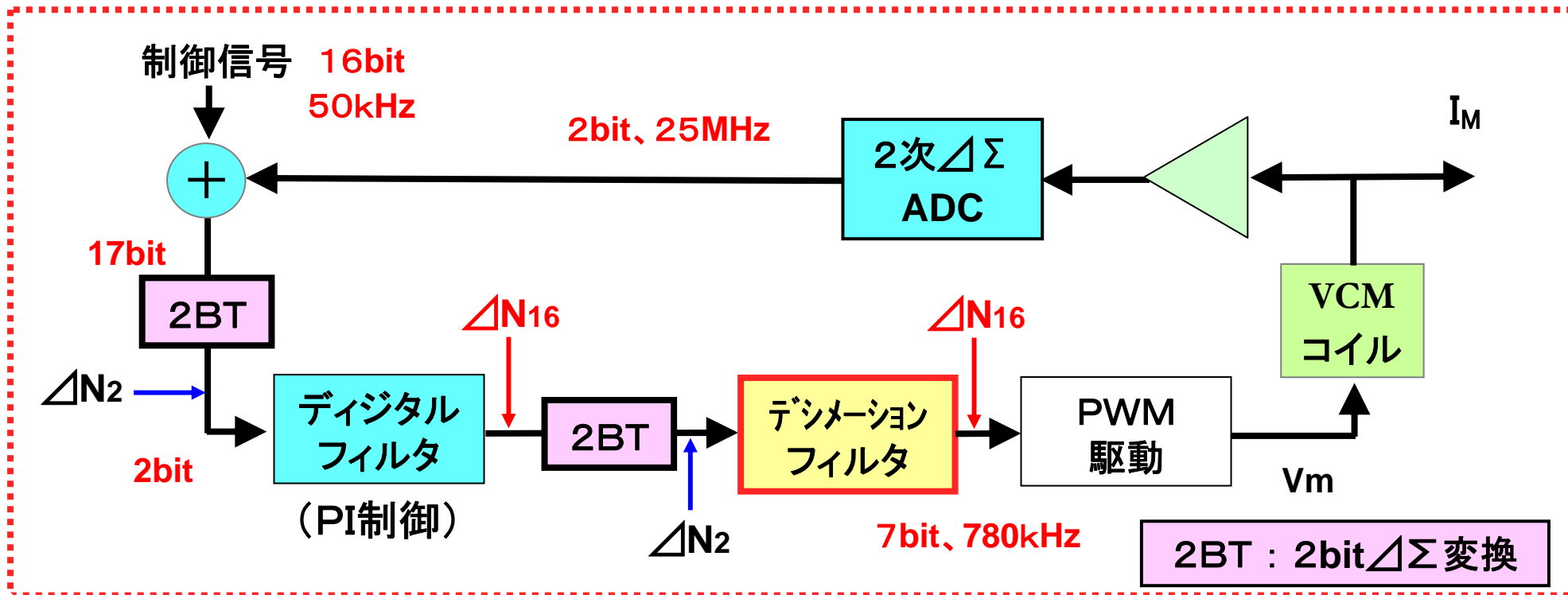
\* デシメーション・フィルタ ⇒ 低精度・低次数 (∴ ループ最終段) ⇒ 素子数少  
ただし 高速演算必要 ⇒ 消費電力 増大

\* 各ブロック出力の 2ビット化 ⇒ 素子数・消費電力の低減



## (C) 2ビット変換の特徴

- \* 2ビット入力 ⇒ 掛算器の簡単化
- \* 丸め誤差・量子化誤差 ⇒  $\Delta\Sigma$ 変調によるノイズ・シェーピング  
(ブロック内のラッチビット数を、2~3ビット上げる)





## (D) 丸め誤差と $\Delta\Sigma$ 変調ノイズの比較

\* 丸め誤差レベル : 16bit  $\Rightarrow \Delta N_{16} = 1/2^{16}$

\*  $\Delta\Sigma$  出力ノイズレベル: 2bit  $\Rightarrow \Delta N_2 = 1/2^2$

両者のレベル差 :  $\Delta N = 2^{14} \dots 84 \text{ dB}$

\*  $\Delta\Sigma$  変調ノイズ:  $F_s/6$  で  $\Delta N_2$  と同等

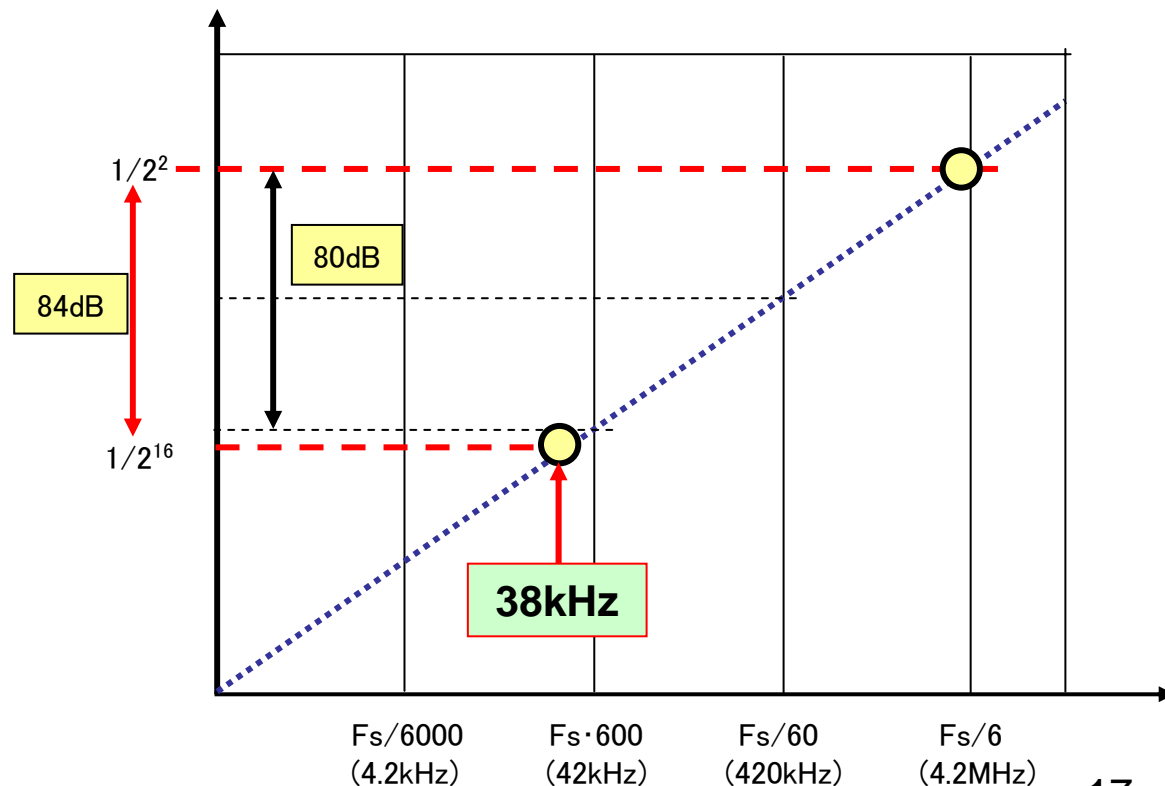
$\Rightarrow$  右図の特性

\* ノイズ・シェーピング出力

38kHz で丸め誤差と同等

ノイズに関して

● 38kHz以下では  
リア方式が有利



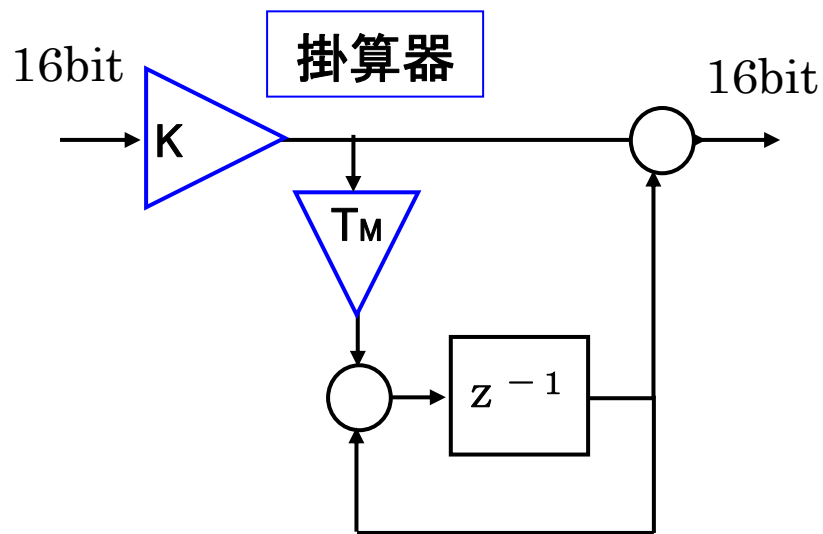
## (2)リア方式における 素子数低減手法

### (A) 位相補償回路・・・ $T_M$ は外部設定係数

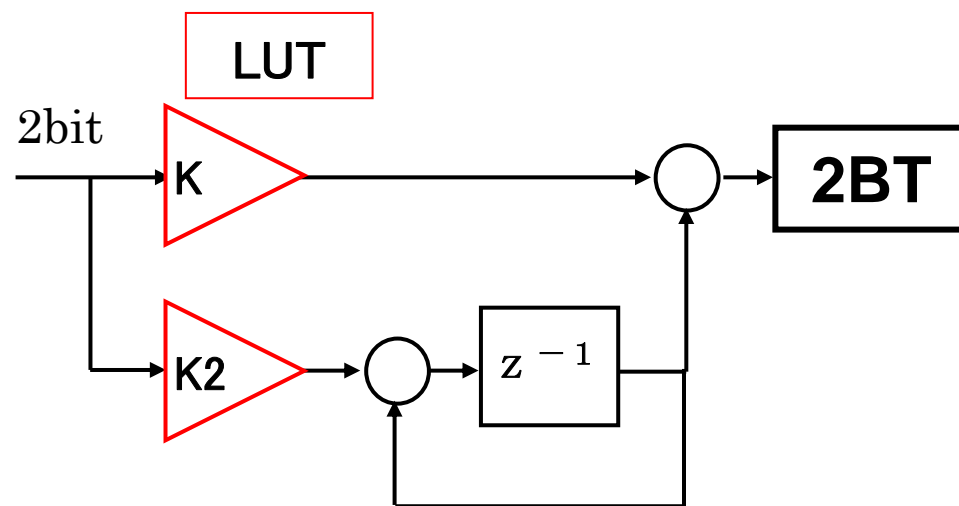
\* (B)図のように変形  $\Rightarrow K_2 = K \cdot T_M$

\* 2ビット入力より  $\Rightarrow K, K_2$  は係数器・・・LUTで可能

\*  $K, T_M$  は外部設定  $\Rightarrow$  低い精度で可能  $\Rightarrow$  低ビット数でOK



(A) フロント方式の補償回路



(B) リア方式の補償回路

## (B) LPF用位相進み補償

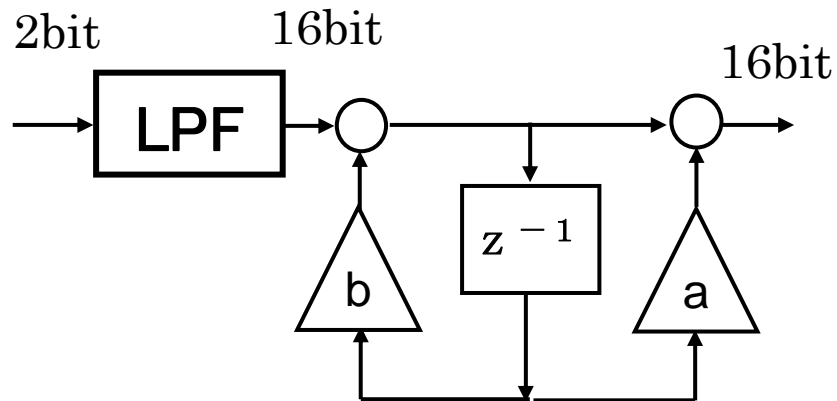
\* デシメーション・フィルタ内のLPFで位相が遅れる。⇒ これを補償

\* 一般には、LPF後に位相進み補償(リードラグ・フィルタ)

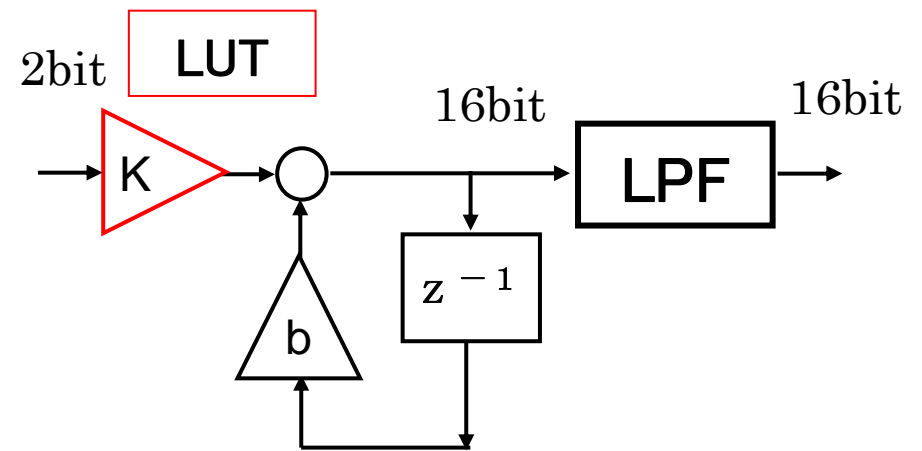
\* 素子数削減手法:ブロック入替えと式の変形

$$F(z) = (1 - a \cdot z^{-1}) / (1 - b \cdot z^{-1}) = (1 - b/a) / (1 - b \cdot z^{-1}) = K / (1 - b \cdot z^{-1})$$

\* 係数器 K : LUT で実現可能



(A) LPF+位相補償



(B) 位相補償+LPF

# 5. シミュレーション結果

## (1) ステップ応答

\* 仕様: オーバーシュートが無い

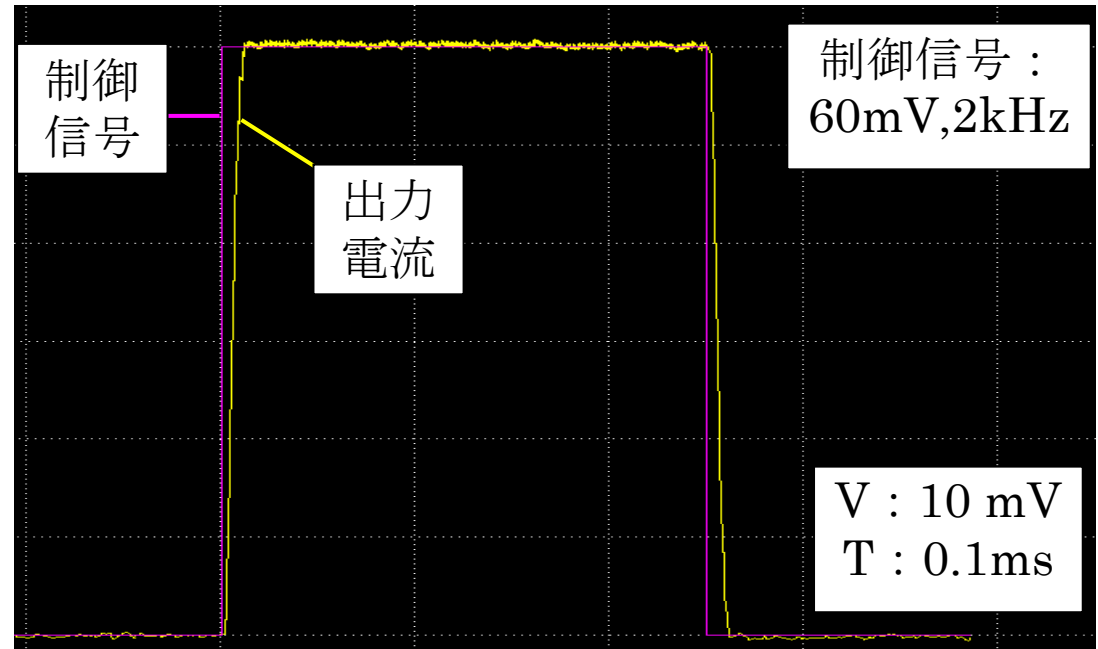
\* 結果: 立上り傾斜

$$di/dt = 60\text{m}/0.02\text{ms}$$

$$= 3\text{A/ms} = 3\text{mA}/\mu\text{s}$$

●測定条件: 制御信号⇒モータ駆動電流

制御信号: 矩形波、2kHz、60mV



ステップ応答 (ゲイン調整後)

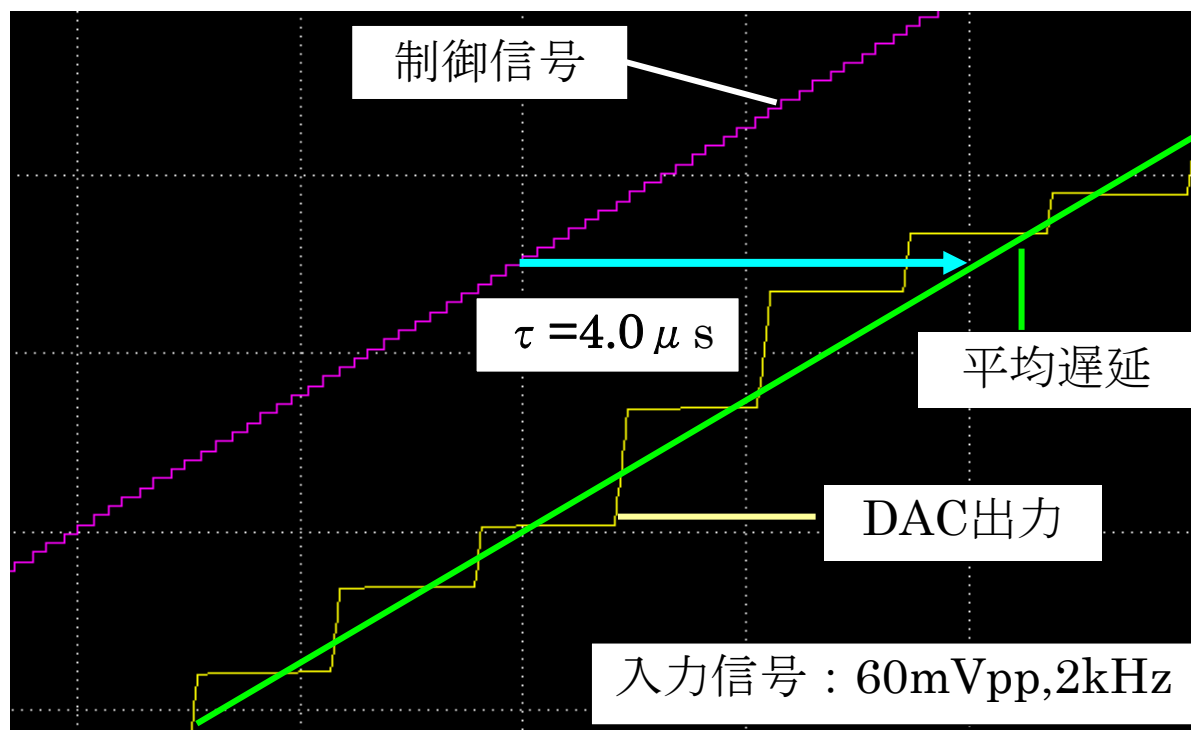
## (2) 遅延特性

\* 仕様:  $< 7 \mu\text{s}$

\*  $\tau = 4.0 \mu\text{s}$

● 測定条件: 制御信号  $\Rightarrow$  モータ駆動電流

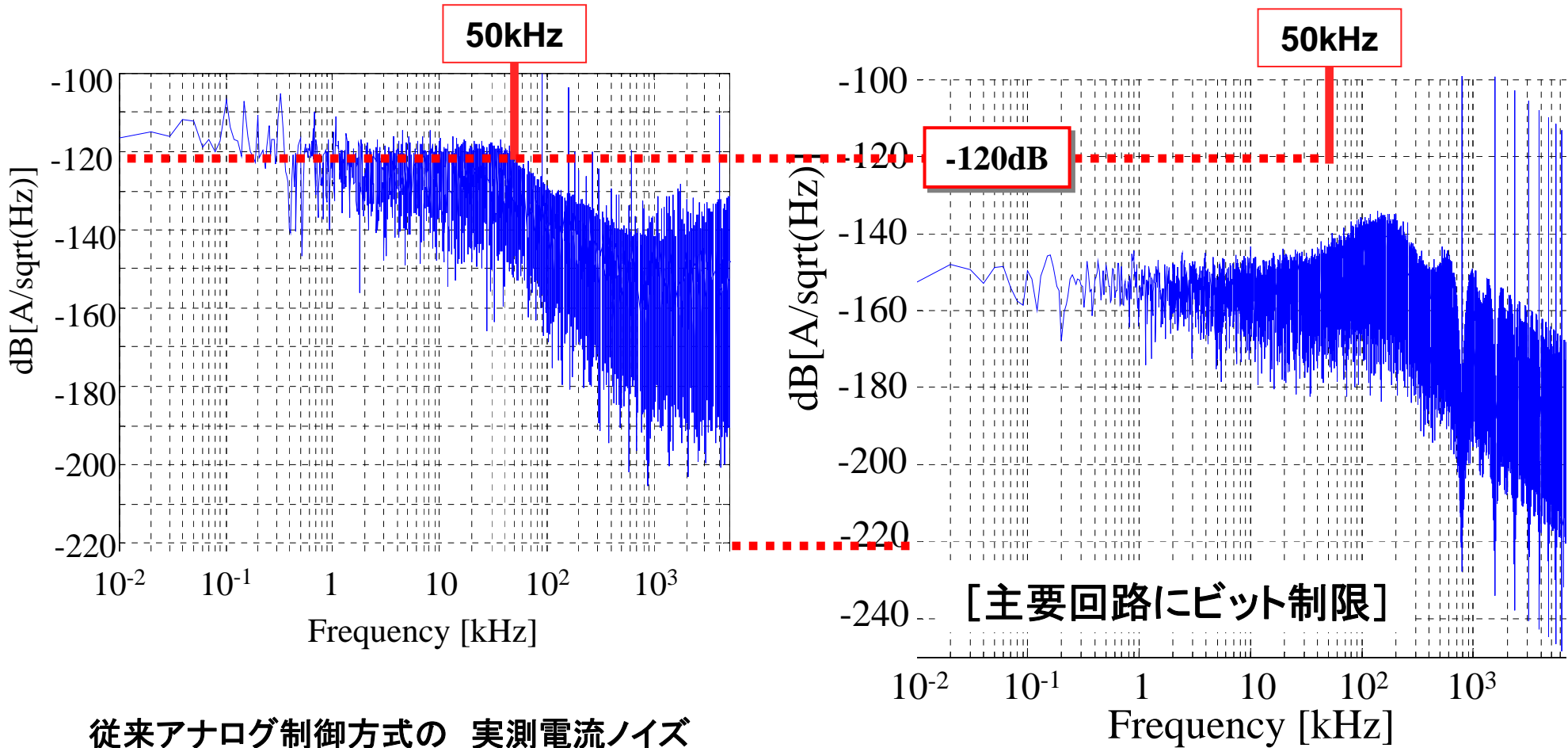
制御信号: SIN波、2kHz、60mVpp



クローズド・ループ遅延特性

### (3) 従来方式とのノイズ比較 (従来計算法に統一)

- 従来方式ノイズ: スピンドル・モータ成分あり・・・ベースレベル:  $-120\text{dB}$
- デジタル方式: **約 $30\text{dB}$**  の改善見込みあり (センサンプ・ノイズ、駆動回路ノイズ 含まず)

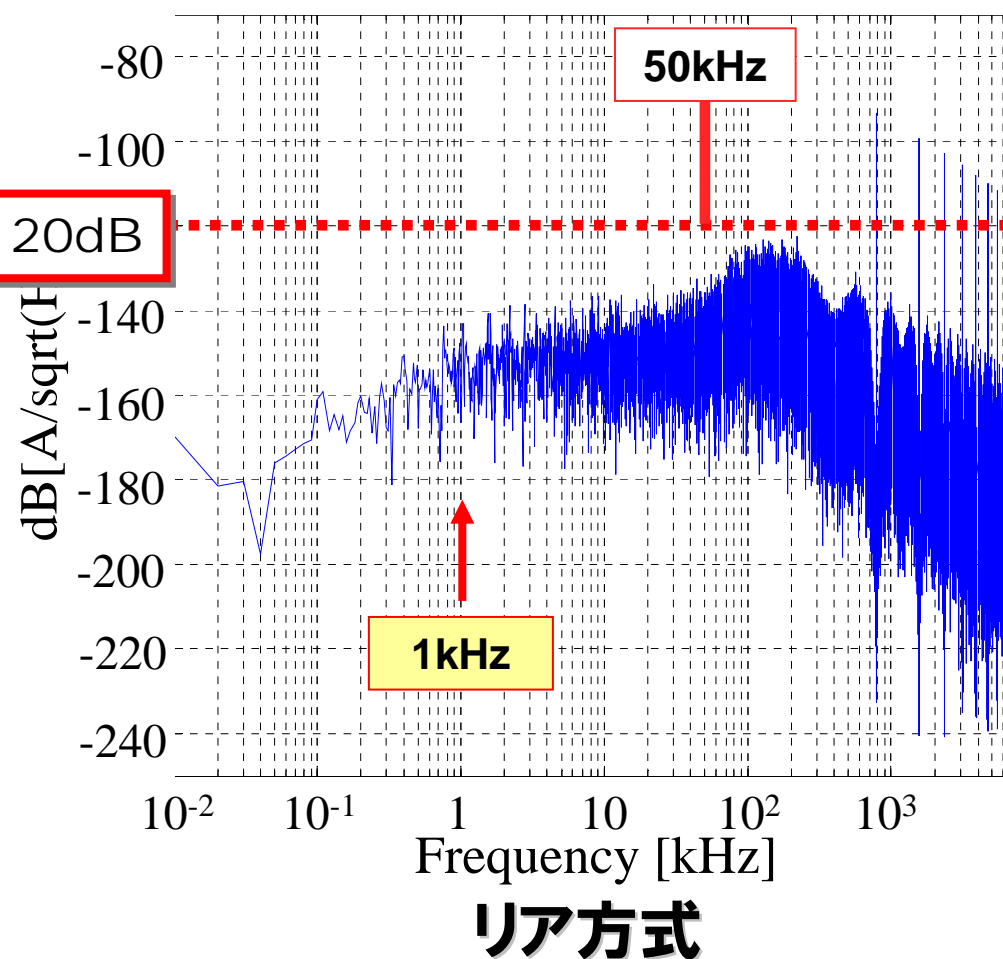
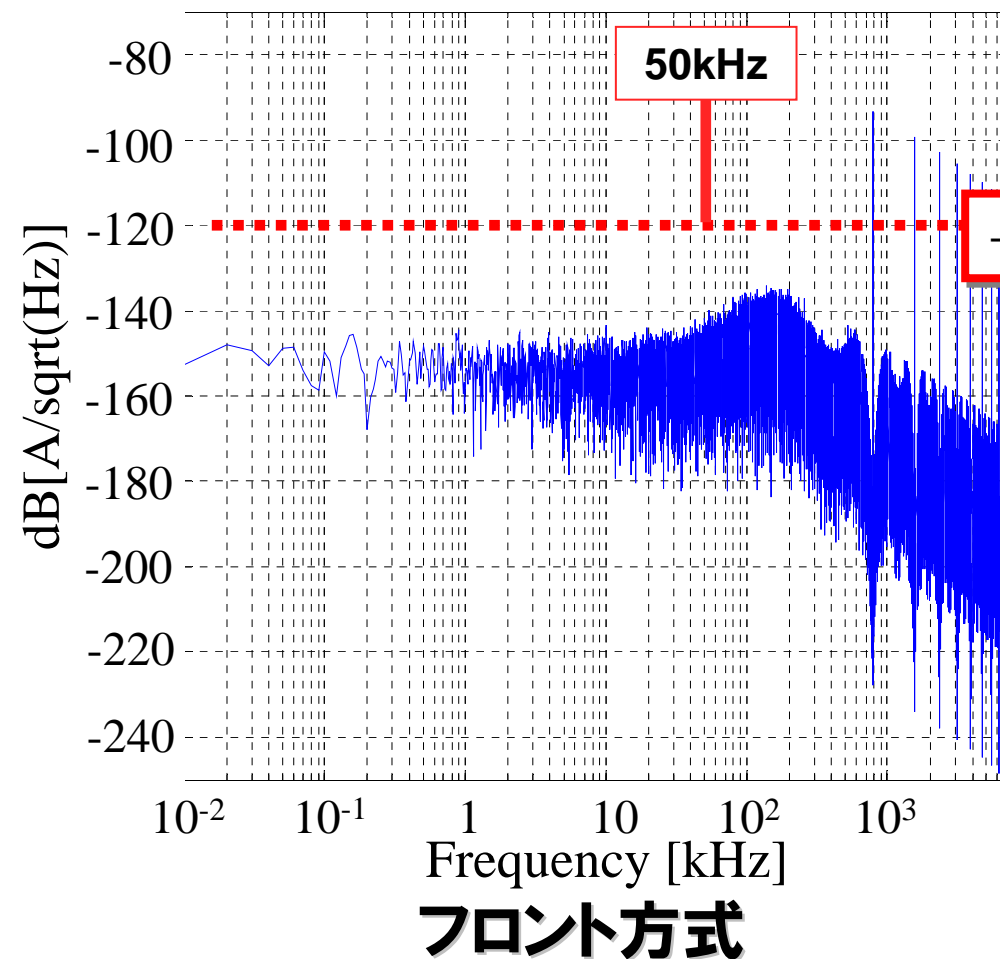


従来アナログ制御方式の 実測電流ノイズ

フロント制御方式のシミュレーション・ノイズ

## (4) フロント方式とリア方式の比較

- フロント方式:  $> 1\text{kHz}$  で有利、リア方式:  $< 1\text{kHz}$  で有利



# 結 果

HDD用VCMの高精度電流制御駆動方式として

1. 2次 $\Delta\Sigma$ 変調ADCを用いたデジタル制御方式を提案  
DAC、位相補償回路等のノイズを削除
2. 従来アナログ制御方式(実測)に比較して、シミュレーションで  
電流ノイズレベルを 30dB 低減  $\Rightarrow$   $-150\text{dB}$
3. デシメーション・フィルタを後段に設置したリア方式で  
丸め誤差と減素子数の低減
4. リア方式では、さらに 低域ノイズ( $<1\text{kHz}$ )を低減
5. 遅延時間:  $\tau = 4.0 \mu\text{s}$