

PI-12



2007年9月13日/ 11:30~12:00

携帯機器用高性能電源回路

群馬大学大学院 工学研究科 電気電子工学専攻
教授 小林春夫

発表内容

- 研究背景
- スイッチング電源のEMI低減化
- スイッチング電源の高速応答・低リップル化
- デジタル電源用AD変換器とDPWM回路
- 高効率チャージポンプ電源回路
- まとめ

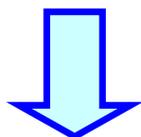
発表内容

- 研究背景
- スイッチング電源のEMI低減化
- スイッチング電源の高速応答・低リップル化
- デジタル電源用AD変換器とDPWM回路
- 高効率チャージポンプ電源回路
- まとめ

携帯機器と電源回路

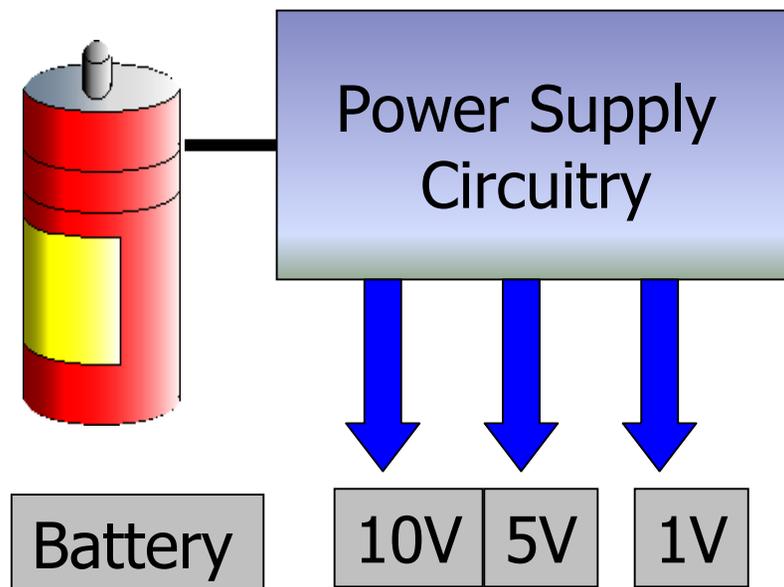
研究背景

- 現在、携帯機器は至るところに普及している。
- 携帯電話、デジタルスチルカメラ、PDA



- 小型化、高効率化
- 高電圧、低電圧の複式供給

電源回路への技術要求 大
市場規模 大



スイッチングレギュレータ



- メリット
 - 高効率
 - 出力電圧連続可変
 - 大電流出力
- デメリット
 - コイルが必要 ➡ コスト大、実装上の厚さ
 - スwitchingノイズ大

チャージポンプ

- メリット
 - コイル不要
 - 低ノイズ
- デメリット
 - 低効率
 - 出力に小電流しか流せない(数十 μA)
 - 出力電圧 = $2V_{\text{dd}}$, $3V_{\text{dd}}$, $4V_{\text{dd}}$, ...

携帯機器と電源回路

研究目的

携帯機器用のさまざまな電源回路の高性能化を回路技術によって実現する。

- スイッチング電源の高性能化
EMI低減化
高速応答・低リップル化
- デジタル電源のキーコンポーネント開発
AD変換器
デジタルPWM回路
- チャージポンプ電源回路の高効率化

発表内容

- 研究背景
- **スイッチング電源のEMI低減化**
- スwitchング電源の高速応答・低リップル化
- デジタル電源用AD変換器とDPWM回路
- 高効率チャージポンプ電源回路
- まとめ

EMCとは

EMC : Electro Magnetic Compatibility



$$\text{EMC} = \text{EMS} + \text{EMI}$$

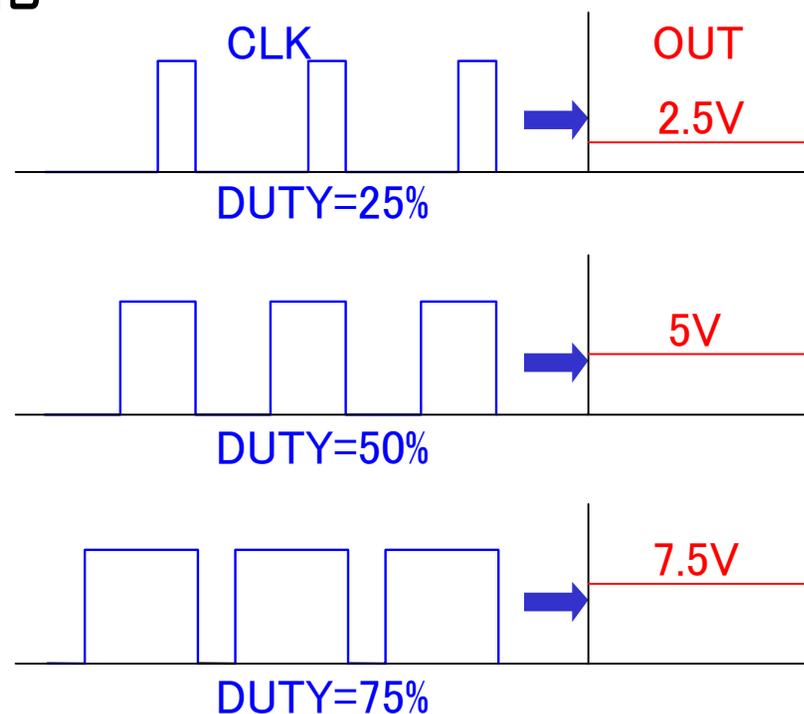
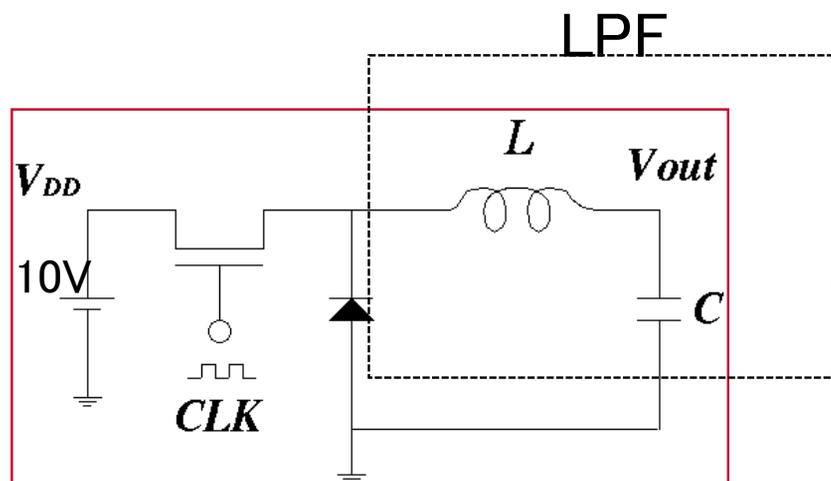
電磁環境両立性

EMCが問題になる場合

- ・ **EMS(電磁波感受性):**
微小信号を扱っている電子機器
(携帯電話、テレビ、オーディオ など)
- ・ **EMI(電磁波妨害):**
高調波ノイズや電磁波を発生しやすい電子機器
(スイッチング電源、マイクロプロセッサ など)

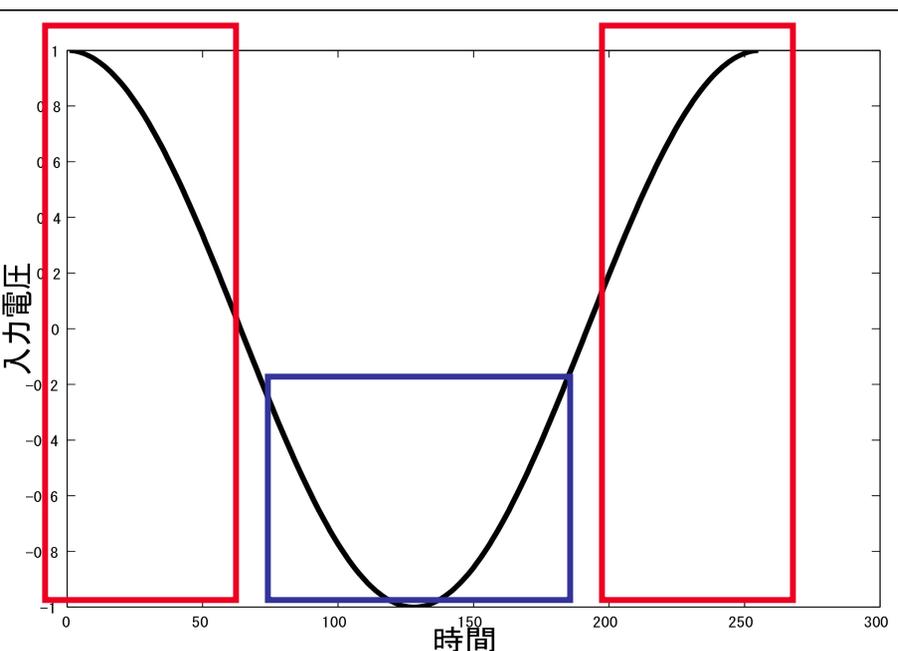
DC-DC変換回路の原理と特徴

- ・入力電源電圧 V_{DD}
- ・CLKでスイッチング
- ・LCローパス・フィルタ(LPF)で平滑化
- ・出力電源電圧 V_{out}

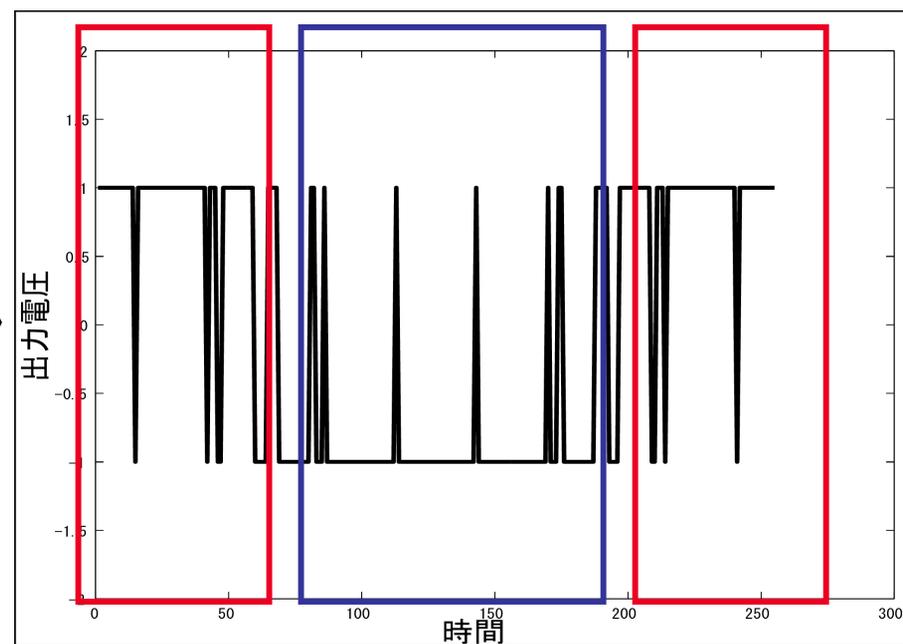


PWM(パルス幅変調)制御方式

DC-DC電源回路の
駆動クロックデューティ(比率)を変調

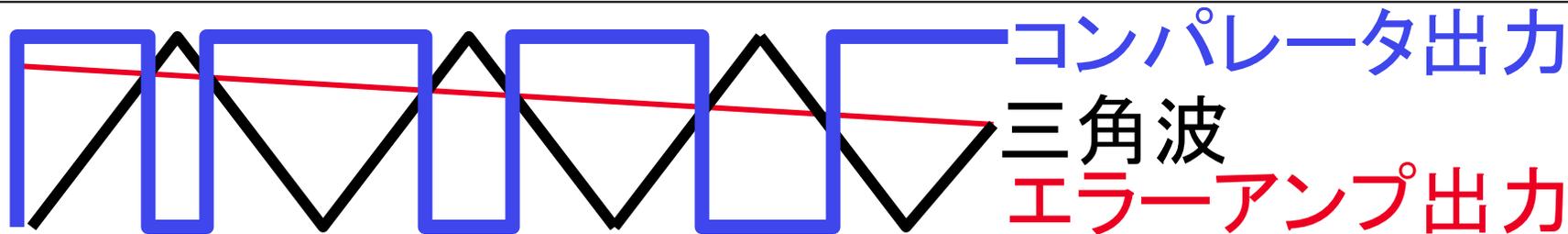
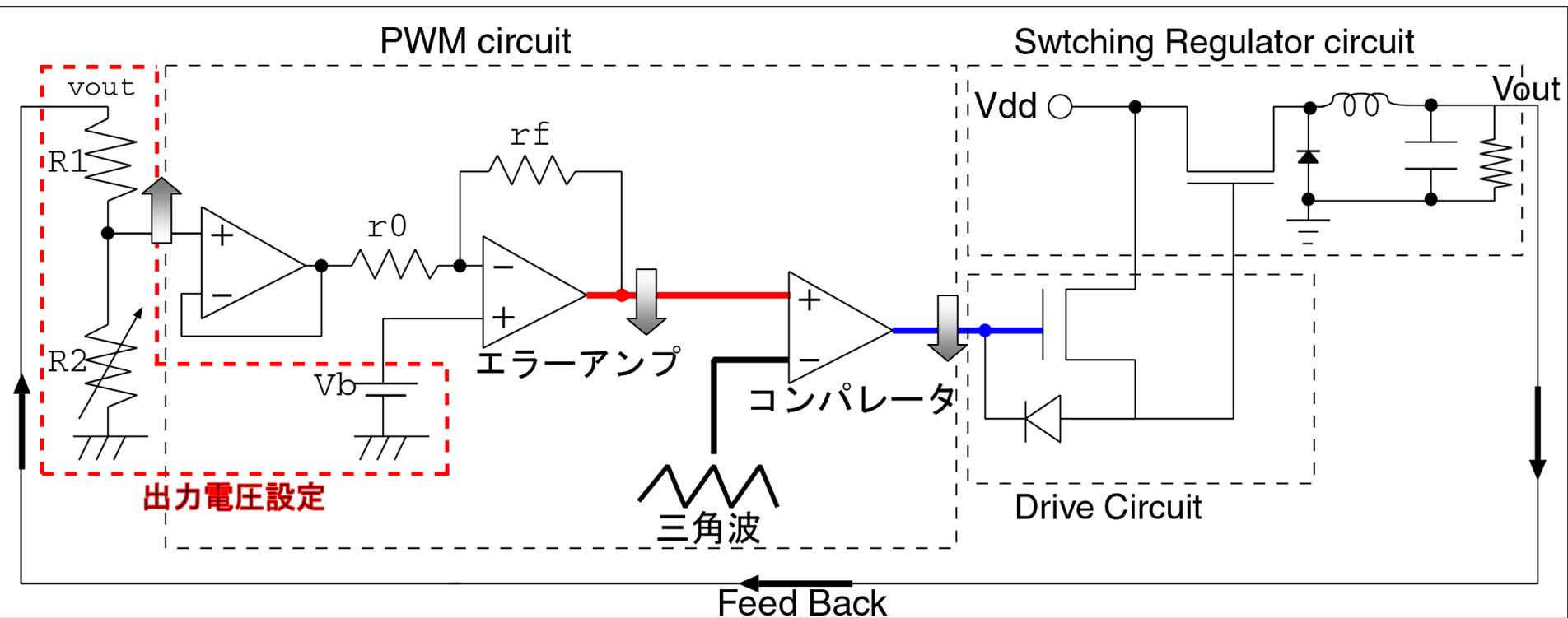


PWM入力信号

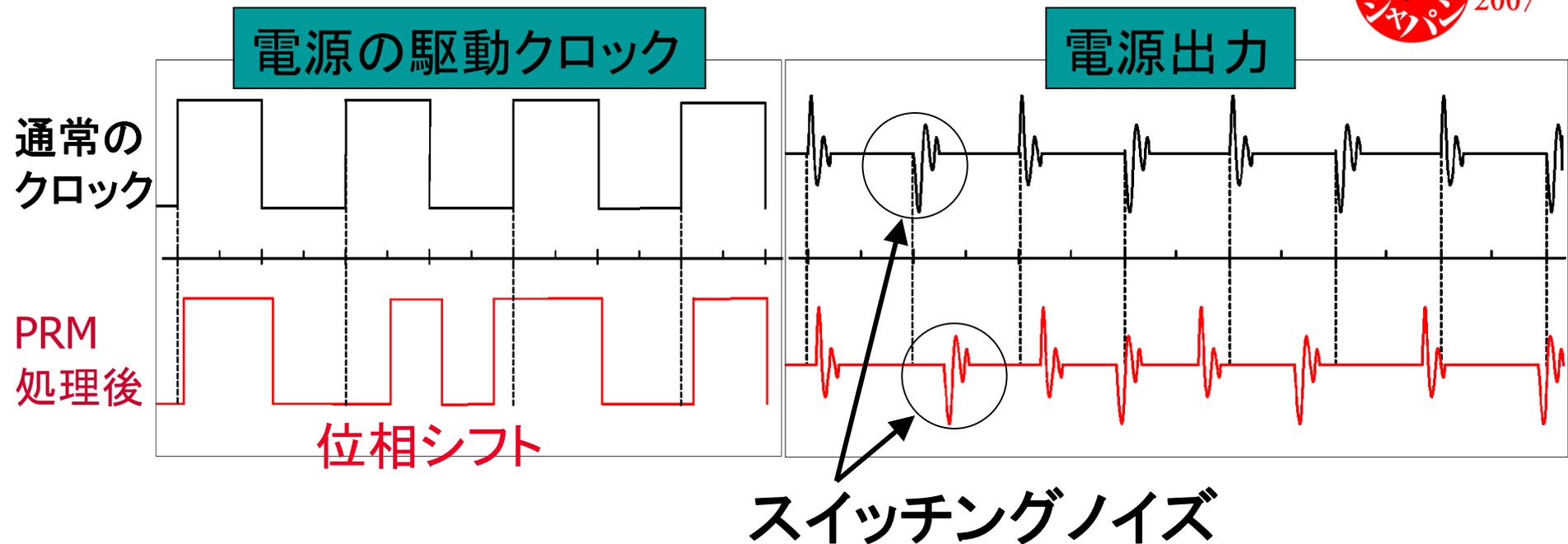


PWM出力信号

PWM制御方式を用いたDC-DC変換回路

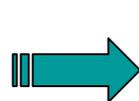


提案する疑似ランダム変調の原理



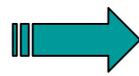
DC-DC変換回路

•電流微分 $V = L \frac{di}{dt}$ の影響



スイッチングノイズ大

•矩形波を用いたスイッチング制御



高調波ノイズ大



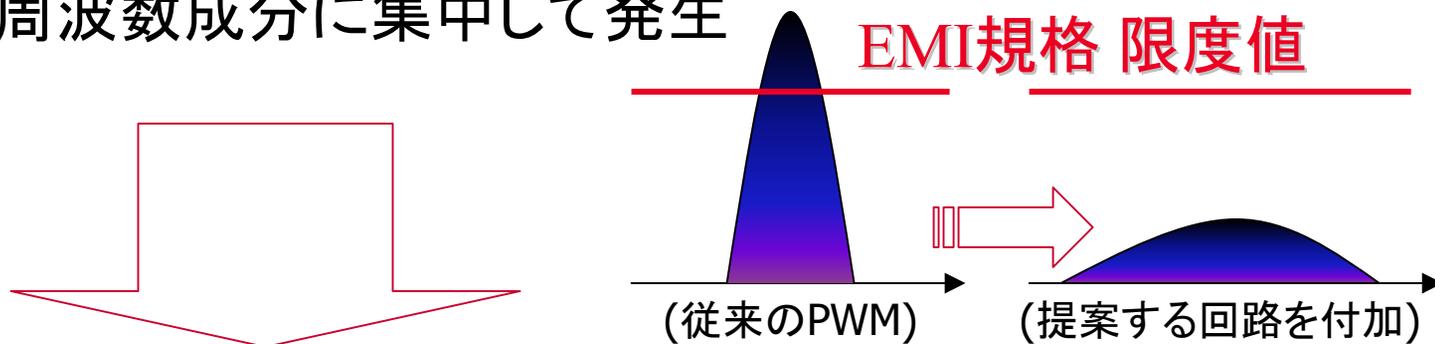
ノイズパワーを疑似ランダム拡散

スイッチング電源の高性能化

スペクトラム拡散クロック技術を用いたEMI低減化

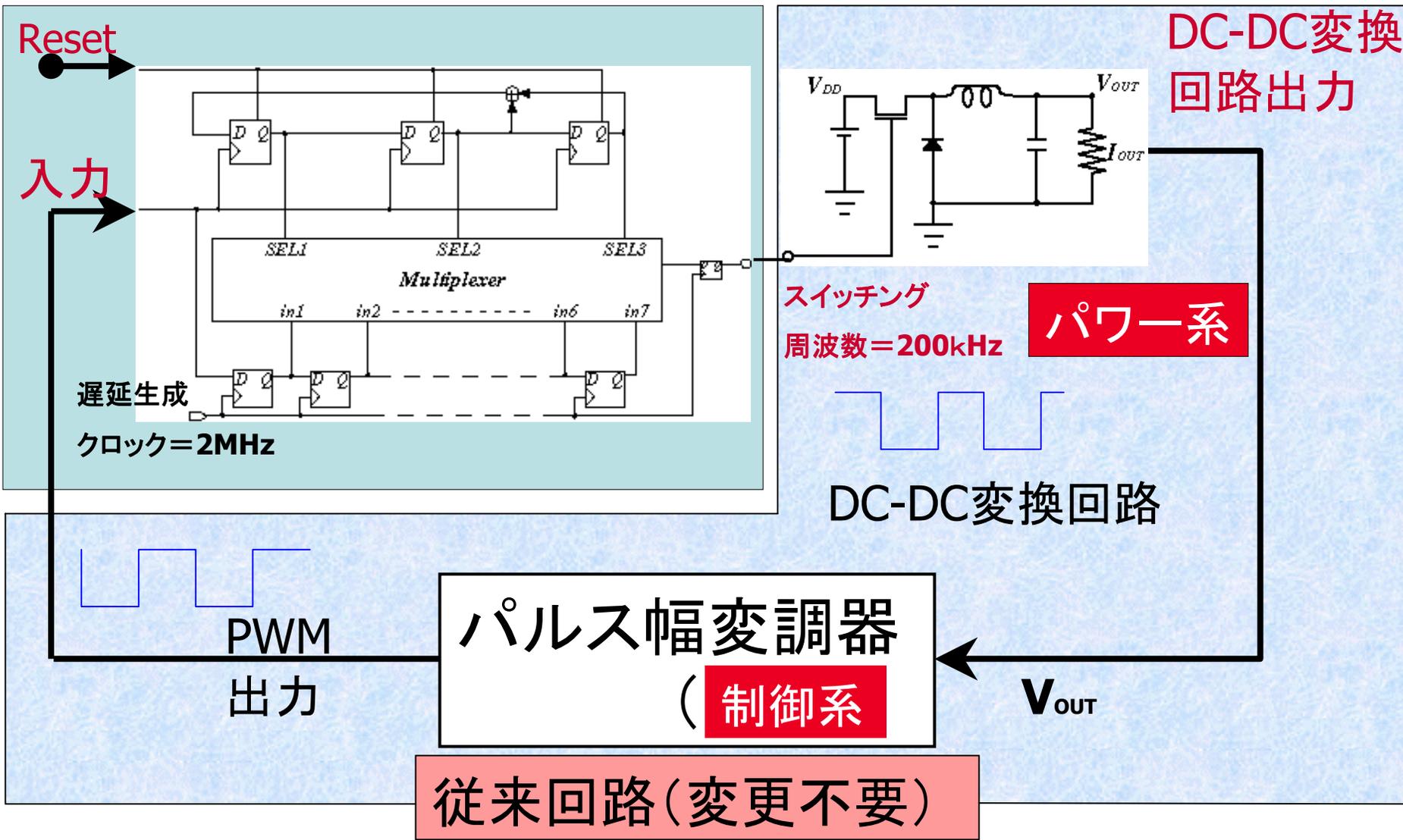
従来DC-DC変換回路 + デジタル制御回路の付加

スイッチングノイズパワー・高調波ノイズパワーが
特定周波数成分に集中して発生



高調波ノイズパワーとスイッチングノイズパワーの
周波数成分を拡散しEMIの低減を実現

提案方式実現回路



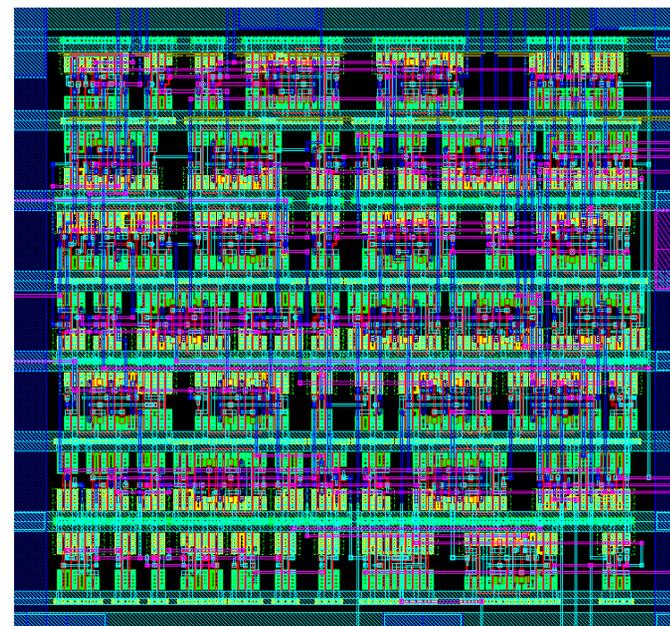
提案するPRMの試作

FPGA設計



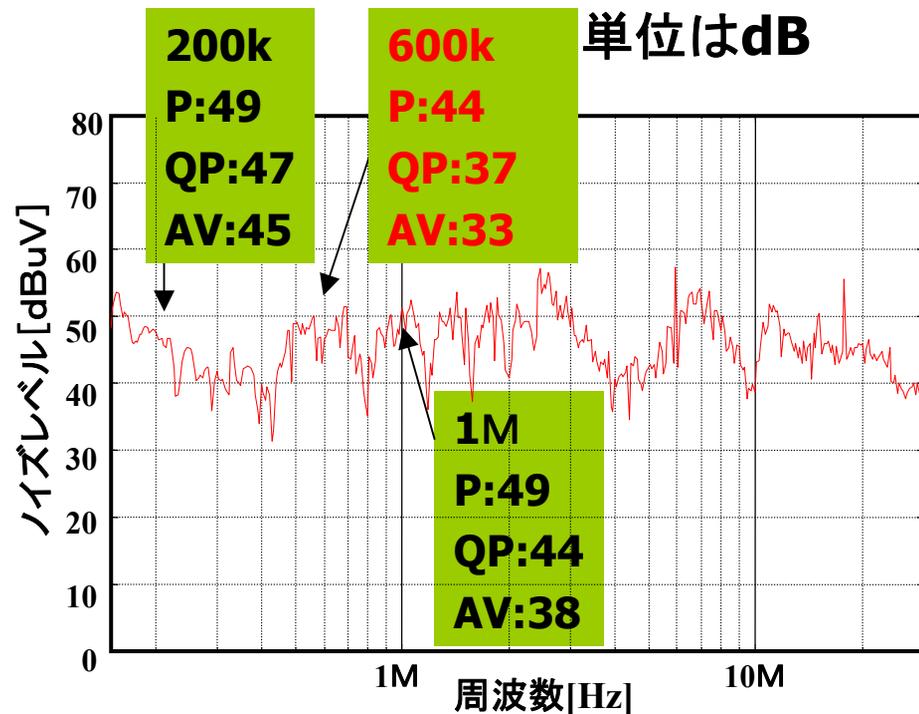
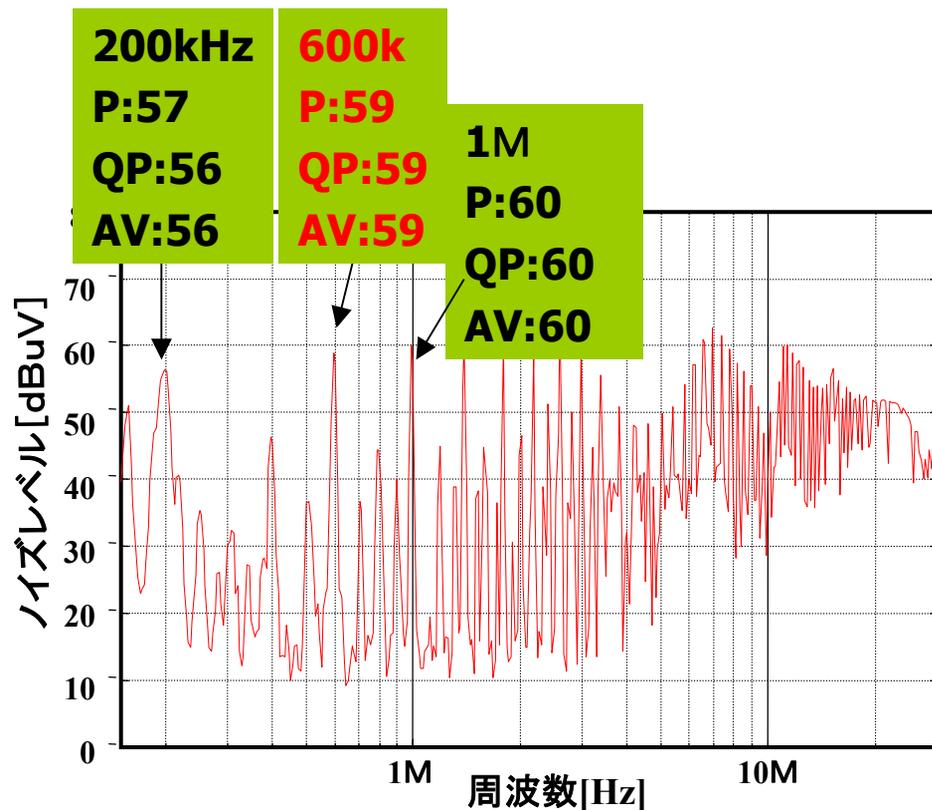
- ALTERAツールで設計
- FPGA評価ボードによる計測

セミカスタム設計



二つの手法で設計

測定スペクトラム



ノイズ拡散方式を設けない場合

ノイズ拡散方式を設けた場合

提案手法によるEMI低減効果 20~25dB

まとめ

- **DC-DC変換回路のノイズパワー・スペクトラム拡散技術を提案**
 - 簡単なデジタル回路付加でEMI低減を実現
 - 低コスト、低消費電力
 - 温度変化、経時変化の影響なし
 - 従来回路の設計変更不要
 - 昇圧型スイッチング電源にも適用可

FPGAで試作し
実測上で動作確認をした

最大ピーク	12.3dBm減
基本波	5.7dBm 減
2次高調波	15.6dBm 減
3次高調波	12.8dBm 減

発表内容

- 研究背景
- スイッチング電源のEMI低減化
- **スイッチング電源の高速応答・低リップル化**
- デジタル電源用AD変換器とDPWM回路
- 高効率チャージポンプ電源回路
- まとめ

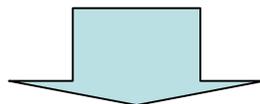
スイッチング電源の高性能化

可変インダクタによる高速応答・低リップル化

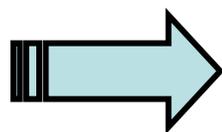
研究背景と目的

- ・マイクロプロセッサ、携帯機器の性能向上
- ・厳しい電源回路への要求

{ 負荷電流大 低リップルの要求 (L値大)
 負荷電流変動大 高速応答の要求 (L値小)



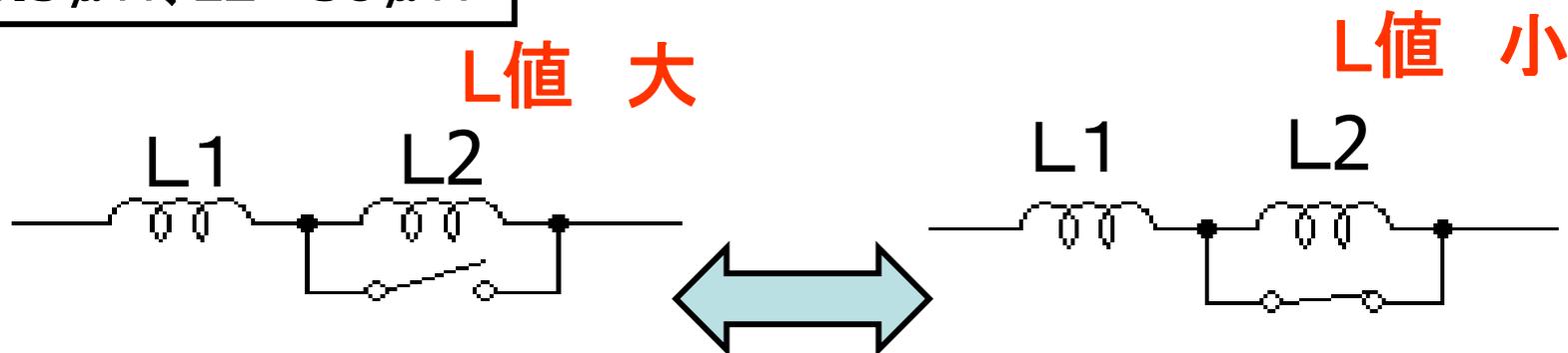
低リップル・高速応答→制御の相反する技術課題



インダクタ L を切り替えることで
解決する方式を提案

提案する可変インダクタの原理

$$L1 = 0.5 \mu\text{H}, L2 = 30 \mu\text{H}$$



$$0.5 \mu\text{H} + 29.5 \mu\text{H} = 30 \mu\text{H}$$

- ・ 負荷電流一定時
スイッチOFF⇒
L値は $30 \mu\text{H}$ →低リップル

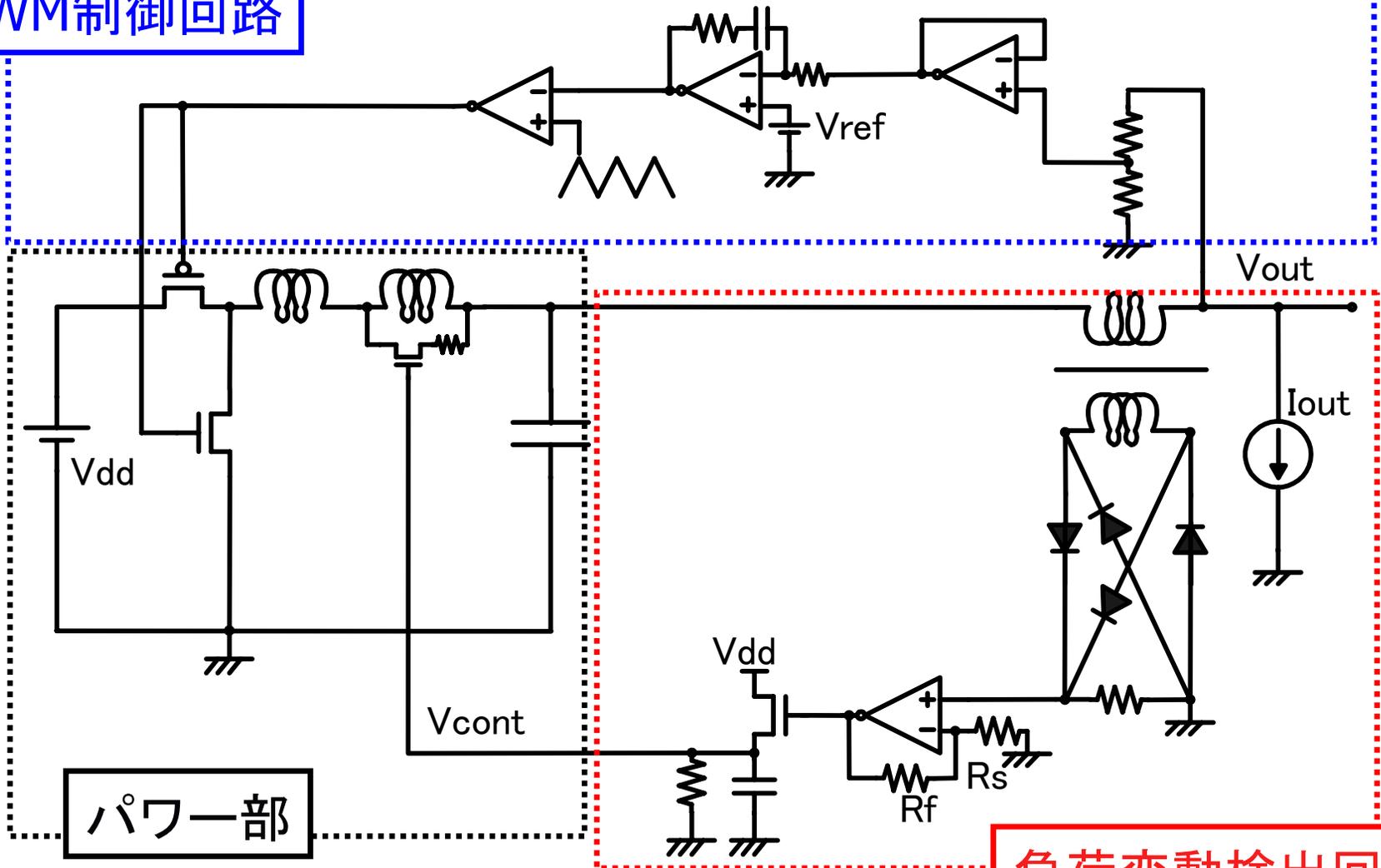
$$0.5 \mu\text{H} + 0 = 0.5 \mu\text{H}$$

- ・ 負荷電流変動時
スイッチON⇒
L値は $0.5 \mu\text{H}$ →高速応答

スイッチのON/OFFで、インダクタの値を変化
→高速応答かつ低リップルを実現

提案回路

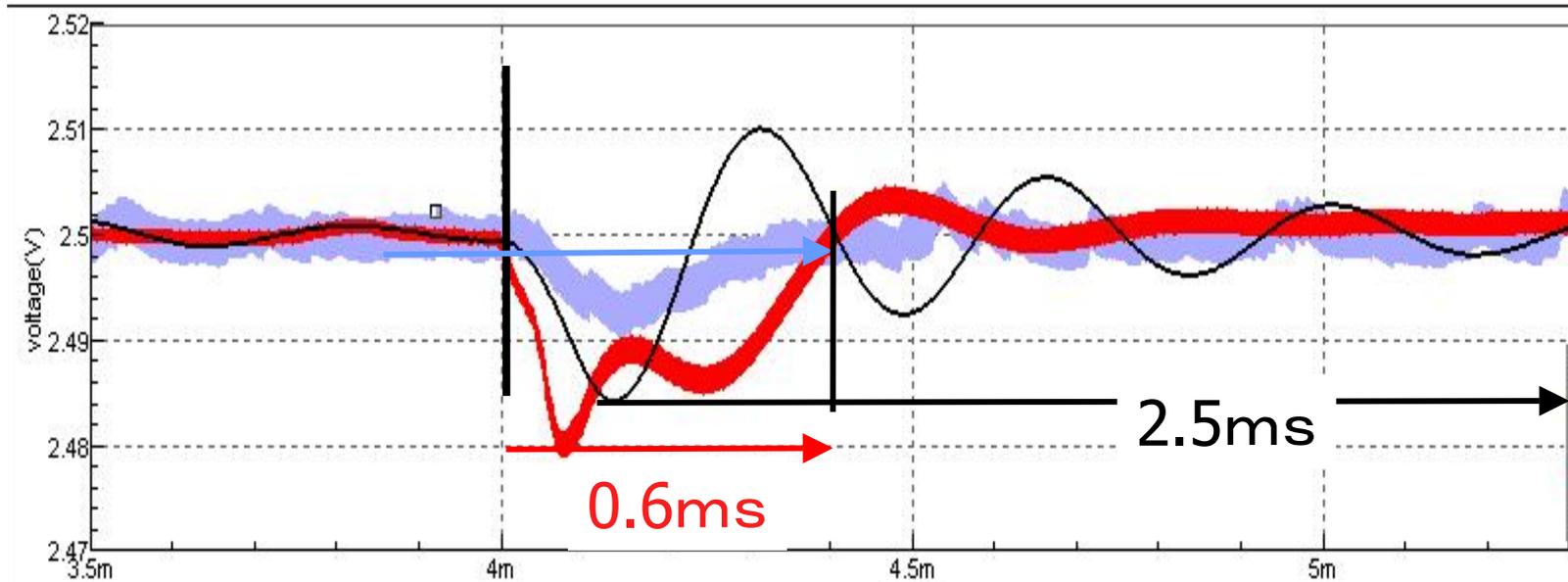
PWM制御回路



パワー部

負荷変動検出回路

シミュレーション結果



出力電圧Vout -従来回路L=0.5 μ H
-従来回路L=30 μ H
-提案回路

	応答時間	リップル電圧
		安定時
従来回路 L=0.5 μ H	0.6ms	7.0mV
従来回路 L=30 μ H	2.5ms	1.8mV

提案手法により
高速応答・低リップル化
を確認

発表内容

- 研究背景
- スイッチング電源のEMI低減化
- スイッチング電源の高速応答・低リップル化
- **デジタル電源用AD変換器とDPWM回路**
- 高効率チャージポンプ電源回路
- まとめ

デジタル電源

研究背景と目的

■電源回路への要求大

■近年、LSIの超大規模化・微細化、マイクロプロセッサ性能向上

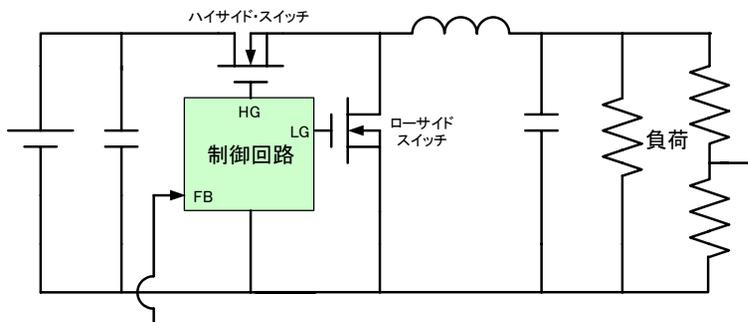
- ・スイッチング時間高速化(数十psec)
- ・電源電圧の動作マージン減少(LSIの低電力化)
- ・電圧変動量の増加(半導体微細化)

■デジタル制御電源に関心

- 電源とデジタル回路の1チップシステムLSI化
- 高度な制御理論や新トポロジーの導入

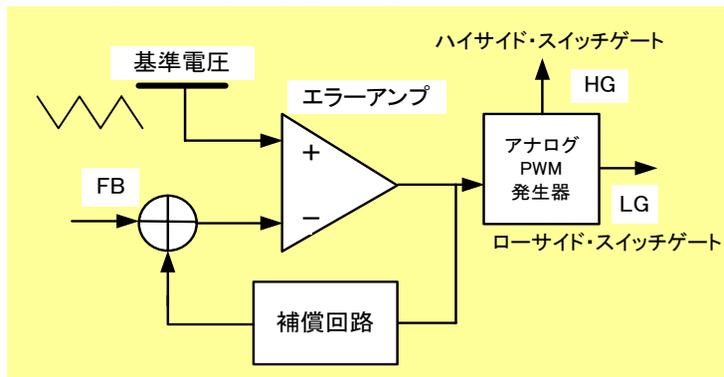
デジタル制御電源とは

■ スイッチング電源回路図

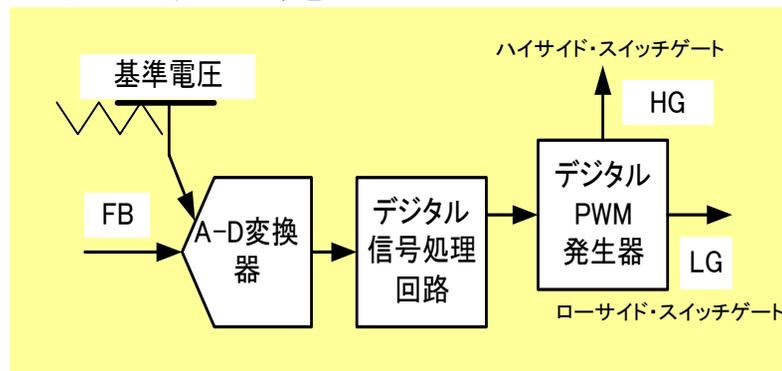


■ 制御回路部

■ アナログ方式



■ デジタル方式



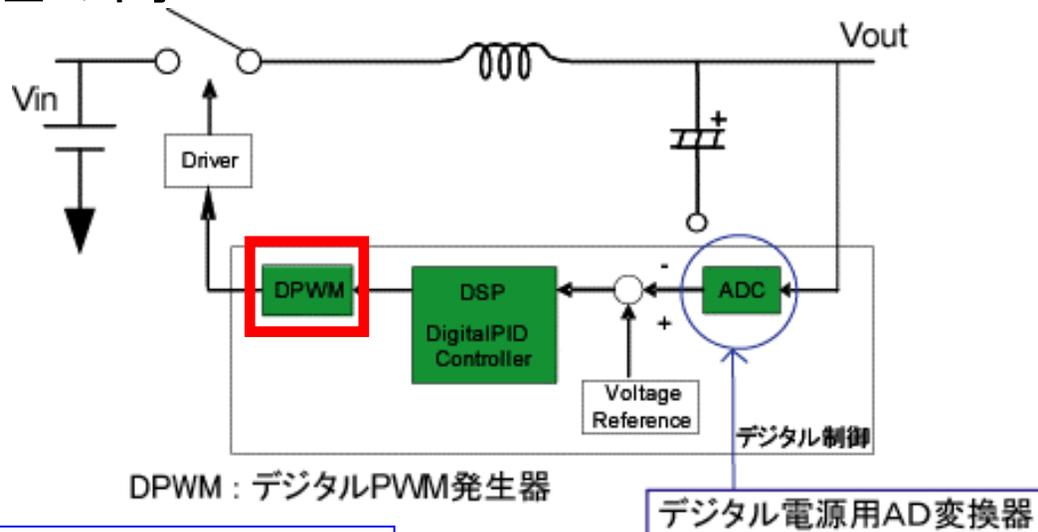
デジタル制御電源の特徴

■ メリット

- ・ 効率・応答・ノイズ性能向上
- ・ 回路変更・追加のカスタム対応力の向上
- ・ 設計スピードの向上
- ・ 小型化・低コスト化・信頼性の向上

■ デメリット

- ・ 消費電力: 大
- ・ 高コスト



アナログのデジタルのインターフェース回路
がキーコンポーネント

デジタル電源用AD変換器の低レーテンシー化

例) 12bit分解能のとき

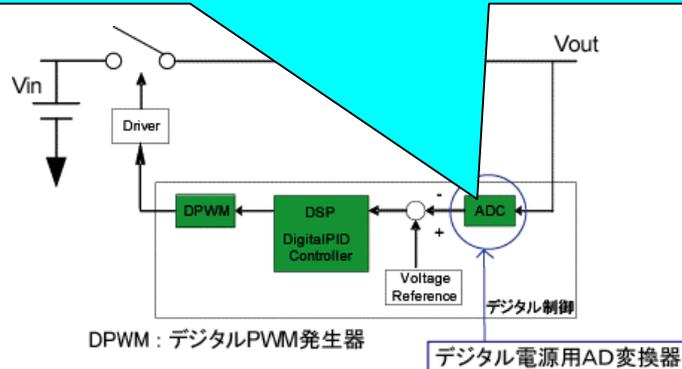
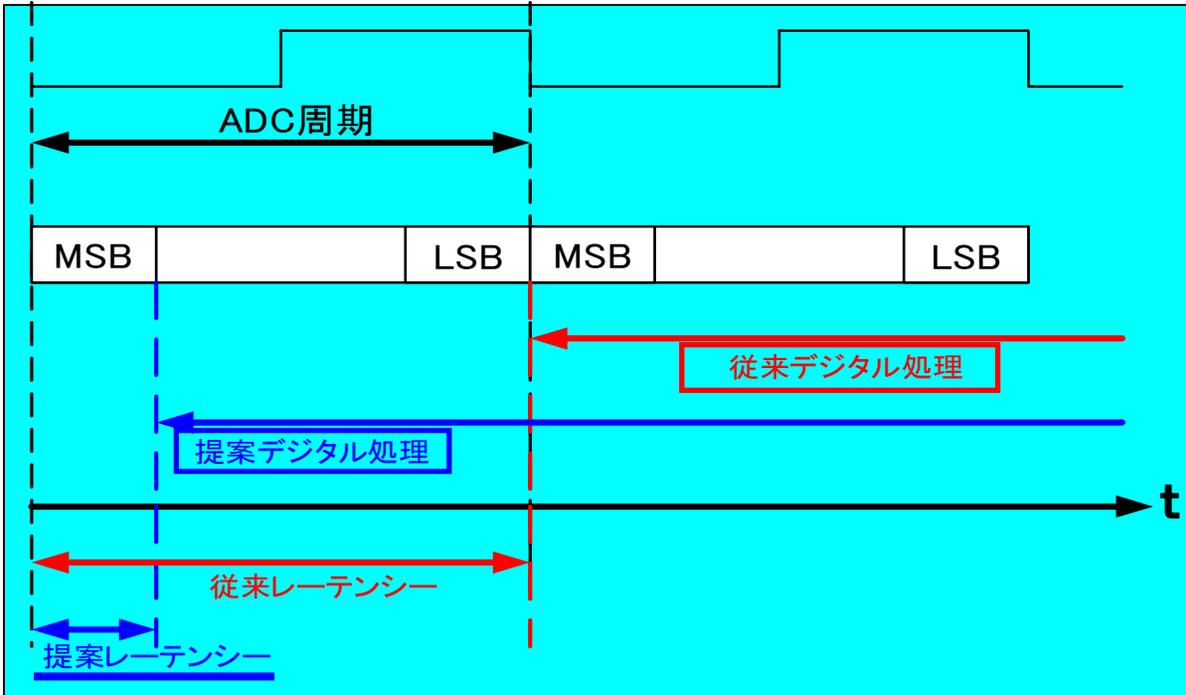
デジタル演算開始

従来 : 12bit全て出力後

提案 : 最初のビット(MSB)出力後

効果

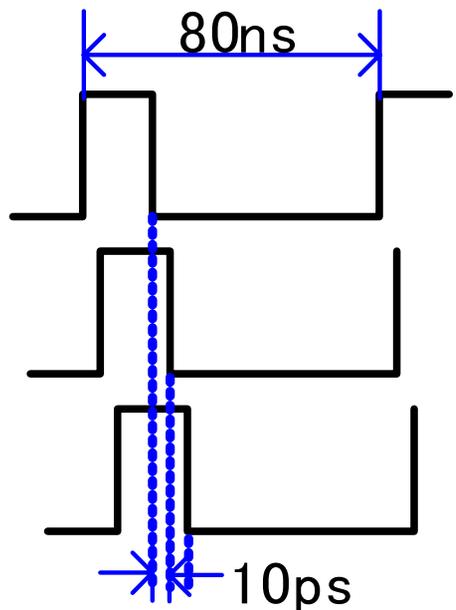
・フィードバックループでの
レーテンシー(遅れ)が小



デジタルPWM発生回路

■ 目標仕様

- 1周期80ns
(ADCサンプリング周波数=12.5MHz)
- 使用可能クロック: 100MHz, 12.5MHz
- 1LSB(時間分解能): 10ps
- DPWM分解能: 13bit



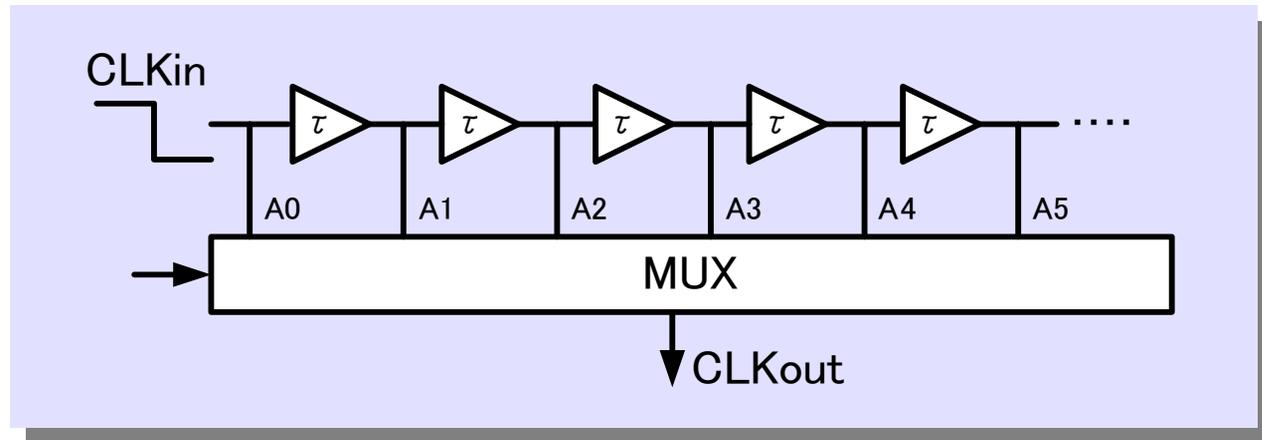
- ・デジタルPWM: 十分な制御性能・・・12bit以上
→ 分解能: 13bit

$$\frac{80ns}{2^{13}} = \frac{80ns}{8192} = 10ps$$

(従来例: 米TI社電源デジタル制御IC(2005)
時間分解能→150ps)

従来DPWMの構成と問題点

■構成



■問題点

- バッファ数: 大 (10bit設計→1023個)
- 最小時間分解能
 - ・バッファのゲート遅延: $\tau = 10\text{ps}$
 - ・半導体のプロセス性能に依存 (ゲート遅延によって高時間分解能を得る)

消費電力 × ゲート遅延 = 一定

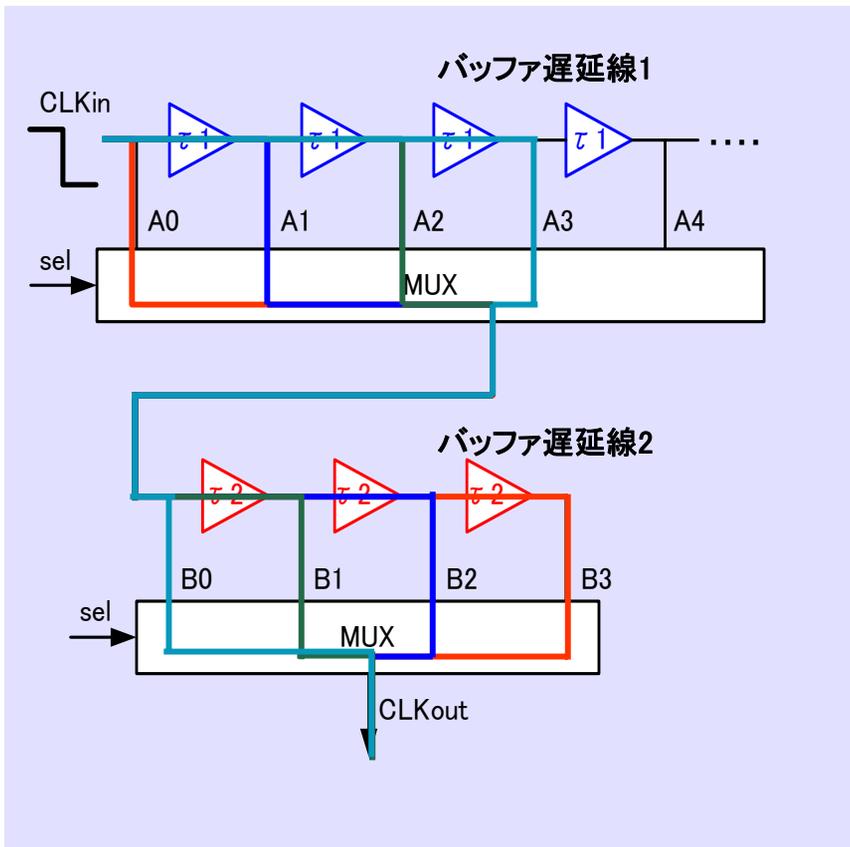
回路規模: 大、一つあたりの遅延量: 小

↳ 消費電力: とても大きい

提案2段バッファ構成DPWMの動作



■動作



(A0, B3)・・・基準

(A1, B2)・・・ $\tau_1 - \tau_2 = \Delta \tau$

(A2, B1)・・・ $2\tau_1 - 2\tau_2 = 2\Delta \tau$

(A3, B0) $3\tau_1 - 3\tau_2 = 3\Delta \tau$

(A1, B3) $\tau_1 = 4\Delta \tau$

(A2, B2) $2\tau_1 - \tau_2 = \tau_1 + \Delta \tau$

(A3, B1) $3\tau_1 - 2\tau_2 = \tau_1 + 2\Delta \tau$

(A4, B0) $4\tau_1 - 3\tau_2 = \tau_1 + 3\Delta \tau$

(A2, B3) $2\tau_1$ ($\tau_1 = 4\Delta \tau$)

(A3, B2) $3\tau_1 - \tau_2 = 2\tau_1 + \Delta \tau$

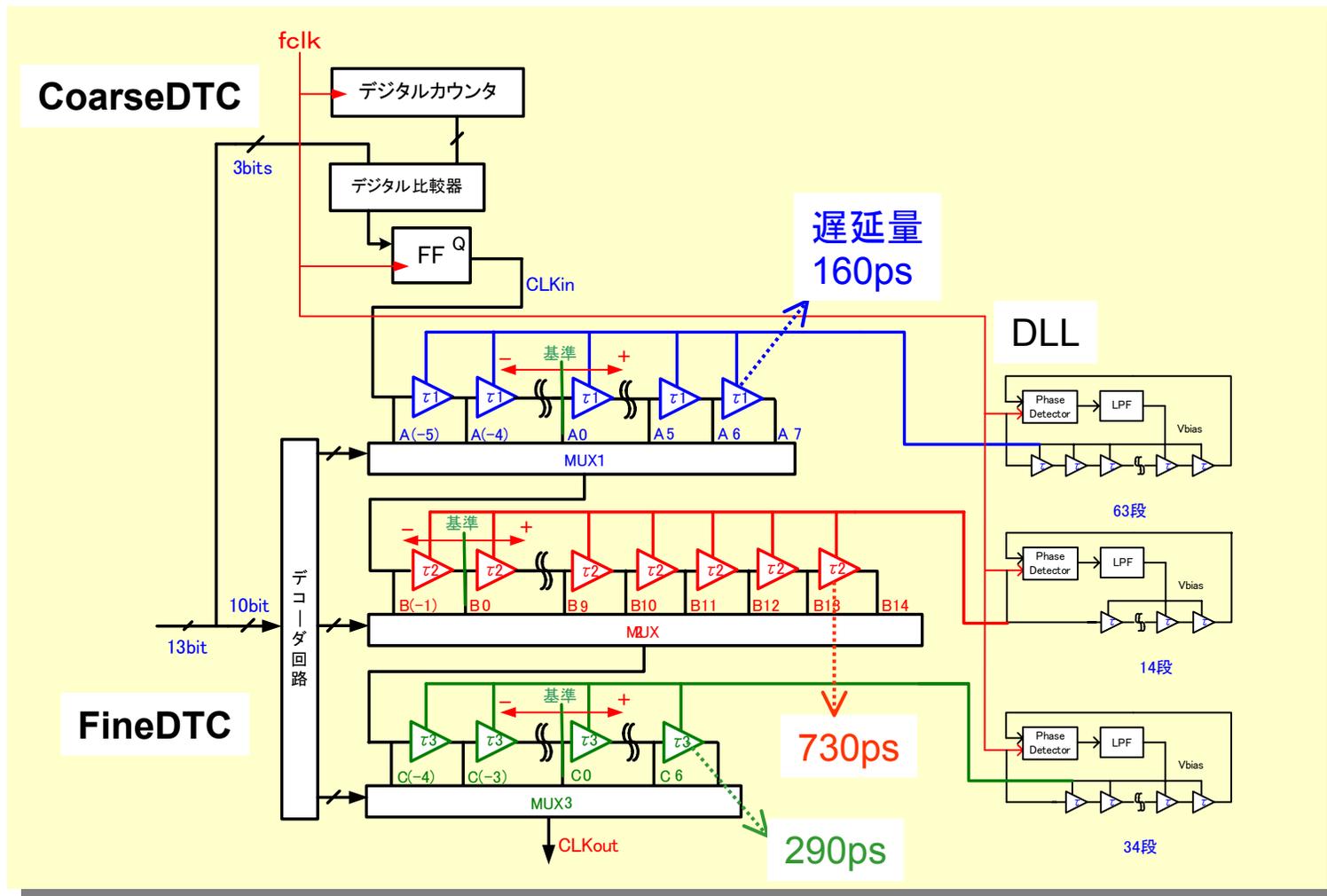
(A4, B1) $4\tau_1 - 2\tau_2 = 2\tau_1 + 2\Delta \tau$

(A5, B0) $5\tau_1 - 3\tau_2 = 2\tau_1 + 3\Delta \tau$



13bitデジタルPWM発生回路

■提案全体回路構成



デジタル電源のまとめと今後の課題



- デジタル電源でのAD変換器の低レーテンシー化
- DPWM発生回路の新アーキテクチャ

- 時間分解能: 10ps , 13bit
- バッファ数: 37個 (従来 1023個)
- ゲート遅延量:
160ps (上段), 730ps (中段), 290ps (下段) (従来10ps)
- 消費電力: 従来 of 1/25
- システムチック設計アルゴリズム

今後の課題

- FPGA等によるハードウェア実現

発表内容

- 研究背景
- スイッチング電源のEMI低減化
- スイッチング電源の高速応答・低リップル化
- デジタル電源用AD変換器とDPWM回路
- **高効率チャージポンプ電源回路**
- まとめ

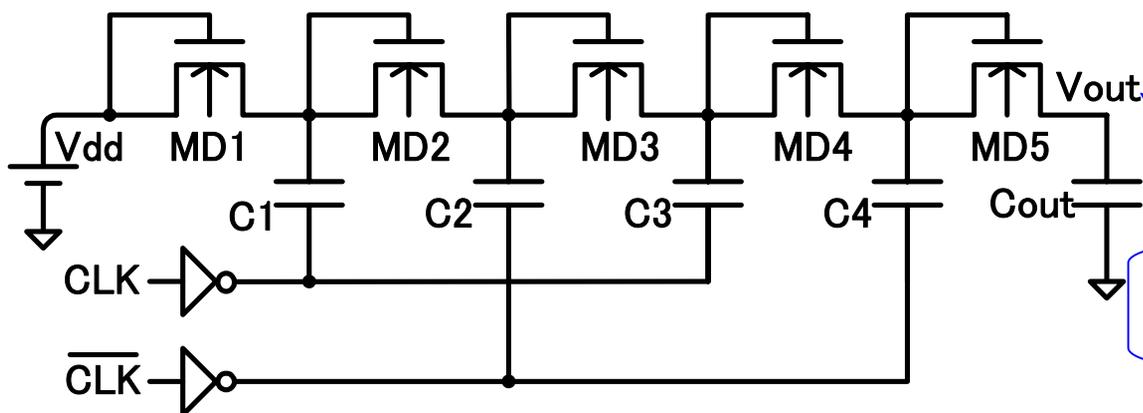
スイッチング電源とチャージポンプ電源

	スイッチングレギュレータ	チャージポンプ
効率	高い	低い
出力電流	大きい	小さい
ノイズ	大きい	小さい
オンチップ化	インダクタLが必要なため 困難	容量Cのみなので 比較的容易



Design Target

Dicksonチャージポンプの問題点



$$V_{out} = 5(V_{dd} - V_{th}(k))$$

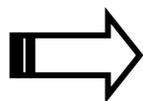
● $V_{th}(k)$ による電圧降下

- $V_{th}(k)$: 基板効果による影響
- チャージポンプの動作可能条件

$$V_{dd} > V_{th}(k)$$

● MOSスイッチのオン抵抗: 高い

- \Rightarrow 出力電流: 小さい

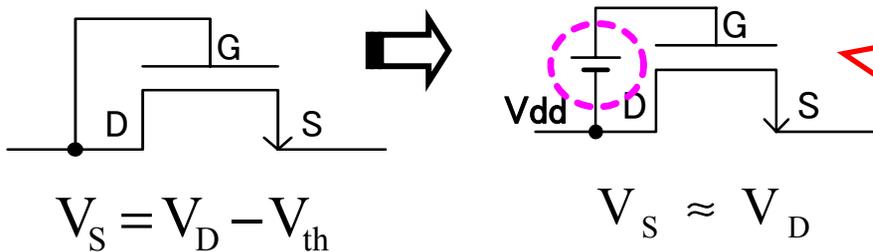


効率:

$$\eta = \frac{V_{out} \cdot I_{out}}{V_{dd} \cdot I_{in}}$$

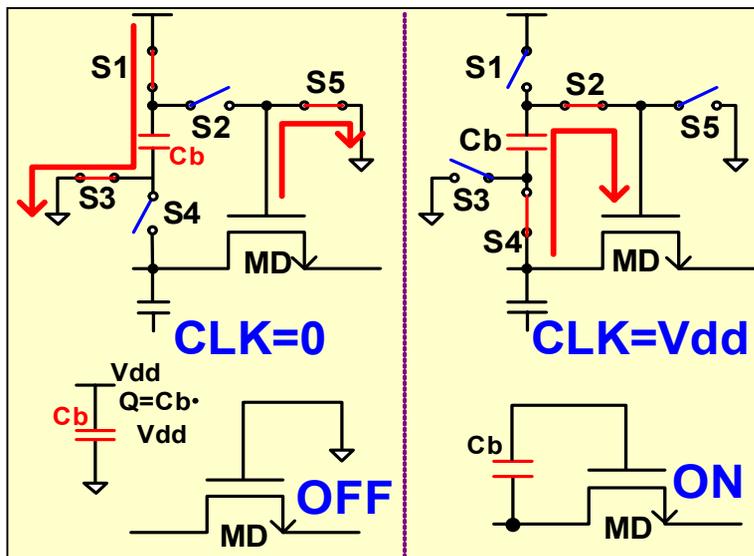
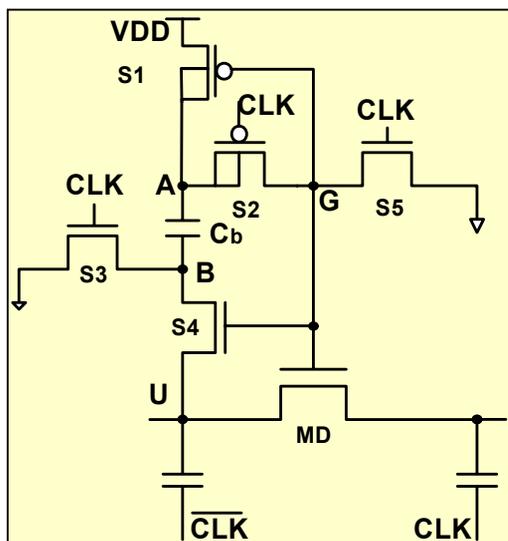


MOSによるブートストラップ転送スイッチの実現



スイッチがONのとき:

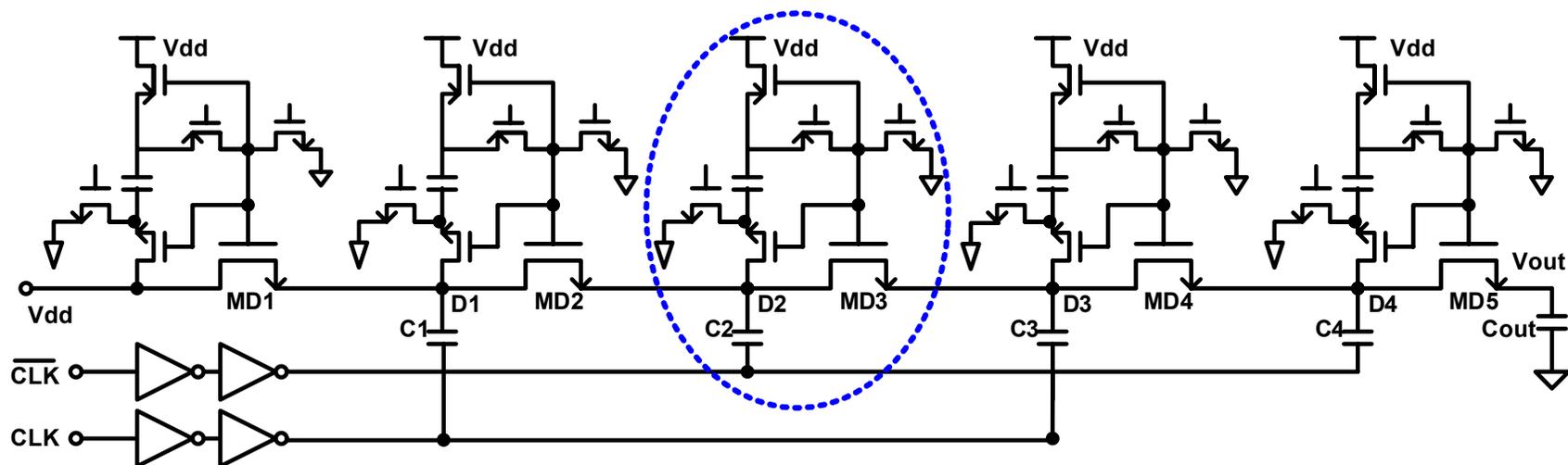
- 電圧降下がない ⇒ 高効率
- オン抵抗が小さい ⇒ 大電流の提供
- 動作条件: $V_{dd} > V_{th}$ ⇒ 低入力電圧動作



内部ノード電圧はVddより高いので、回路設計工夫が必要
S1, S2はPMOS、S3, S4, S5はNMOSで実現する

提案回路

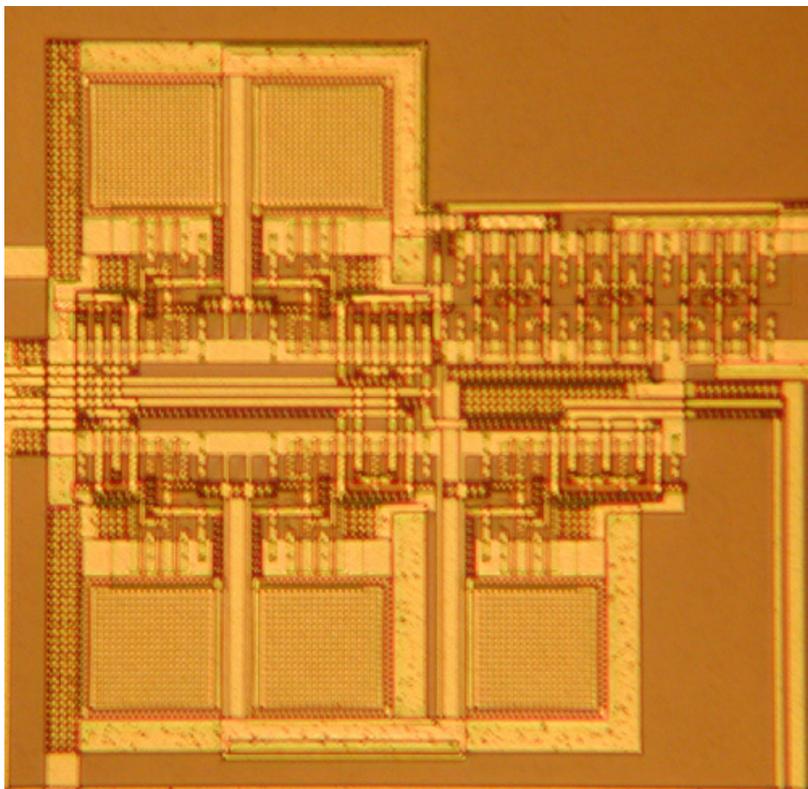
ブートストラップ転送スイッチ用いた4段チャージポンプ電源回路



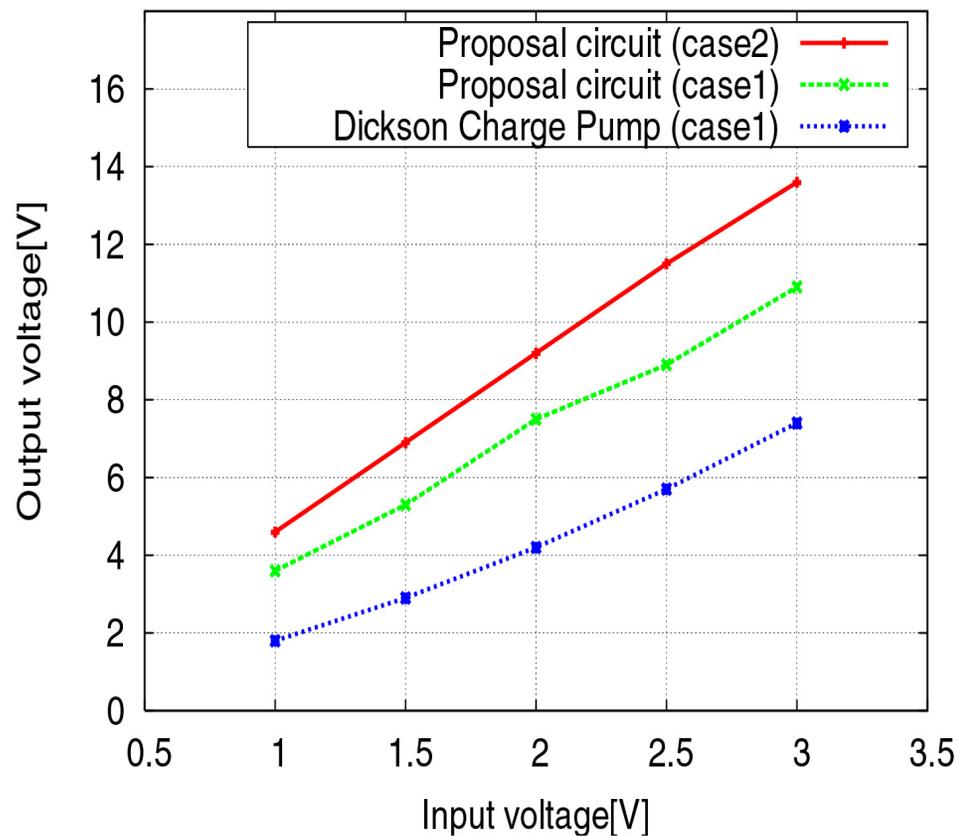
・1.2um CMOSプロセスを用いて試作

同じ入力電圧条件下で、従来式回路に比べ提案回路の出力電圧が高く、昇圧効率が大きく向上したことを確認。

測定結果



1.2um CMOSプロセスで試作したチップ写真



Case1 : $C1 \sim C4 = 100\text{pF}$, $C_{out} = 220\text{pF}$

Case2 : $C1 \sim C4 = 330\text{pF}$, $C_{out} = 680\text{pF}$

出力電圧の測定結果

発表内容

- 研究背景
- 高効率チャージポンプ電源回路
- スイッチング電源のEMI低減化
- スイッチング電源の高速応答・低リップル化
- デジタル電源用AD変換器とDPWM回路
- **まとめ**

まとめ

- 携帯機器用 電源回路
 - 一 市場規模 大
 - 一 技術革新への要求大
- 高性能化のために開発した要素技術を紹介。
 - 一 回路を工夫することでの実現
 - 設備投資最小
 - 従来技術と整合性あり

本技術に関する知的財産権



- 発明の名称 : スイッチング電源回路
 - 出願番号 : 特願:PCT/JP2006/3080467号
 - 出願人 : 群馬大学
 - 発明者 : 光野正志、張挺、劉愛燕、木村圭吾、小林春夫、小堀康功
-
- 発明の名称 : クロック遅延回路
 - 出願番号 : 特願:2007-82062号
 - 出願人 : 群馬大学
 - 発明者 : 木村圭吾、森偉文樹、山田桂央、小堀康功
-
- 発明の名称 : 可変インダクタ
 - 出願番号 : 特願:2005-121593号
 - 出願人 : 群馬大学
 - 発明者 : 光野正志、木村圭吾、小林春夫

お問い合わせ先

群馬大学

〒376-8515 群馬県桐生市天神町1丁目5番1号

群馬大学大学院 工学研究科 電気電子工学専攻
小林春夫研究室

電話 0277 (30) 1788

FAX: 0277 (30)1707

e-mail: k_haruo@el.gunma-u.ac.jp