

リング発振器を用いたデジタルPWM発生回路

清水 一也, 安藤 和正†, 森 偉文樹, 宮島 広行, 小林 春夫, 傘 昊,
高井 伸和, 堀口 将史, 村山 知支人†, 西田 幸弘†, 吉田 博史†
群馬大学大学院 工学系研究科 電気電子工学専攻 〒 376-8515 群馬県桐生市天神町 1-5-1
Phone: 0277-30-1788 Fax: 0277-30-1707 e-mail: k_haruo@el.gunma-u.ac.jp

† 東芝 LSI システムサポート (株)

〒 212-0013 神奈川県川崎市幸区堀川町 580 番地ソリッドスクエアビル西館 13F

Digital PWM Generator Using Ring Oscillator Circuit

Kazuya SHIMIZU, Kazumasa ANDO†, Ibuki MORI, Hiroyuki MIYAJIMA,
Haruo KOBAYASHI, Hao SAN, Nobukatu TAKAI, Masashi HORIGUCHI,
Chieto MURAYAMA†, Yukihiro NISHIDA†, Hiroshi YOSHIDA†

Electronic Engineering Department, Graduate School of Engineering, Gunma University
1-5-1 Tenjin-cho Kiryu Gunma 376-8515 Japan

† TOSHIBA LSI System Support Co.,LTD. Solid Square West Tower 13F 580 Horikawa-Cho, Saiwai-ku,
Kawasaki, Kanagawa 212-0013, Japan

要約 - This paper describes digital PWM (DPWM) generator with small circuit using a buffer delay line, a ring oscillator, multiplexers and a counter circuit. The linearity of the DPWM generator can be improved by controlling the multiplexers and then reducing the delay mismatches among buffers in the delay line statistically; dynamic matching among delay buffers is performed. The counter can operate very fast because it does not need carry propagation.

キーワード : デジタル PWM, デジタル制御電源, リングオシレータ, カウンタ, ダイナミックマッチング

Keywords: Digital PWM, Digitally Controlled Power Supply, Ring Oscillator, Counter, Dynamic Matching

1 はじめに

近年、スイッチング電源のデジタル制御化が注目されている。電源をデジタル制御にすることにより、アナログ制御では難しい高度な制御理論の導入や、パラメータ機能の変更、監視回路等の周辺回路の吸収、故障診断や寿命推定、システムの監視・管理、また周辺装置との通信の実現の可能性が生じる。効率・応答・ノイズの性能向上、回路変更や部品追加不要といったカスタム対応力の向上、設計開発期間の短縮、小型化・低コスト化、経済性・設計自由度を実現することが期待される [1][2]。しかし現状では、アナログ制御の同等品に比べて (ADC, DSP, DPWM 回路のため) コスト高である。近い将来制御 IC の低価格化やデジタル制御でできない機能によってコスト増を許容できれば、高コストという壁も乗り越えることができる。今回、デジタル制御電源のキーコンポーネントの一つであるデジタル

PWM(DPWM) 発生器 [2] ~ [11] に着目し、リング発振器を用いることで、小規模回路化、低消費電力化、小チップ面積を図る。またダイナミックマッチングにより (時間平均) 線形性を向上させる回路を記述する。

2 デジタル電源と DPWM 発生器

デジタル制御電源の構成を図 1 に示す。電源スイッチング制御部を (アナログ制御方式ではなく) ADC, DSP とデジタル PWM のデジタル信号処理システムで構成する。その動作は出力電圧 (または出力電流) を AD 変換してフィードバックし、目標電圧値と比較してその差を打ち消すようにデジタル信号処理回路で制御アルゴリズムを実行し、PWM 信号を出力してスイッチをオンオフ制御する。アナログ電源ではコンパレータと鋸歯状波を用いてアナログ的に PWM を発生させ

ているが、デジタル制御電源ではデジタル的に PWM 信号を生成する。このデジタル PWM 信号発生器はデジタル入力 D_{in} に比例したデューティ比の PWM 信号を発生する回路である (図 2)。

3 様々な DPWM 回路の検討

バッファ遅延 τ を時間分解能とするセグメント型 DPWM 回路を図 3,4 に示す。単調増加性は確保できるが、回路規模が大きくなってしまふ。図 4 の構成はダイナミックマッチングによりバッファ遅延ばらつきによる非線形性の影響が緩和できる。

バイナリ型構成を図 6 に示す。デコーダ回路不要で回路規模が小さくなるが単調性が保証されない。

高時間分解能 DPWM 回路を実現するために、バッファ遅延の差 $\tau_1 - \tau_2$ を時間分解能とする DPWM 回路を図 6,7 に示す [2]。文献 [6] ~ [11] には様々な DPWM 発生回路、及び双対の TDC 回路が示されている。図 7 はダイナミックマッチングを実現しやすい。これらを組み合わせたものも考えられる。

4 提案するリング発振器を用いた DPWM 発生回路の構成と動作

リング発振器を用いることで、小規模回路化、低消費電力化、小チップ面積、低コスト化を図る DPWM 回路を示す。これはダイナミックマッチングによるバッファ遅延ばらつきを時間平均化し、それによる非線形性を改善できる。

4.1 提案 DPWM 発生回路の構成

図 8 に提案するリング発振器を用いたデジタル PWM 発生器の全体回路構成を示す。リング発振回路部、デコーダ回路部、ダイナミックマッチング回路 (DEM 回路) デマルチプレクサ、カウンター、二つのマルチプレクサ、論理演算回路にて構成する。 CLK_{in} が基準タイミングを与え、 CLK_{out} がデジタル入力「Digital Input」にパルス幅が比例した DPWM 信号である。 \overline{SET} は動作開始前の初期状態をつくる (図 9)。

4.2 提案 DPWM 発生回路の動作

\overline{SET} 信号が Low になると「リング発振回路」部の接続と信号レベルは図 10 のようになる。次に \overline{SET} を High にして図 11 のようなループを形成する。

DEM 部で、例えば $a_1=0, a_0=1$ で、DEMUX 出力で A_1 が選択され、 $A_1=CLK_{in}$ となるとする。 CLK_{in} が High になると、 $A_1=1$ となり、図 12 のようにリング発振回路が発振する。この発振の回数 (High, Low の回数) をカウンタ回路 (Counter) で計測する。カウンタ回路は図 13 ~ 15 のようにキャリーの伝播がないので高速動作する。

また、MUX1 で例えば、 A_3 が選択されれば「 A_1 から A_{3out} までの 4 個のインバータ遅延」+「カウンタ値 \times 7 個のインバータ遅延」のパルス幅の出力が CLK_{out} として得られる。デジタル入力 D_{in} が、「4+カウンタ値 \times 7」の場合である。

- ダイナミックエレメントマッチング回路 (DEM):
同じデジタル入力 (Digital Input) でも、DEM 回路によりあるタイミングにより、例えば「 A_1 と A_{3out} 」、「 A_2 と A_{0out} 」、「 A_0 と A_{2out} 」と発振開始及びカウンタクロックの選択位置をダイナミックに変更することでインバータ遅延のバラツキを時間平均する。
- デマルチプレクサ (DEMUX):
DEM 回路からの a_0, a_1 のデジタル出力信号を受けて、 CLK_{in} の出力先 ($A_0 \sim A_2$) を決定して出力する。(図 17)
- マルチプレクサ回路 1 (MUX1):
リング発振器出力 ($A_{0out} \sim A_{3out}$) から選択し、カウンタへのクロック信号を MUX1out として出力する。
- カウンタ (Counter):
MUX1 部からの出力信号 (MUX1out) の High, Low の回数をカウントする。
- マルチプレクサ回路 2 (MUX2):
デジタル入力信号 (上位ビット) で与えられた値に達するまでカウンタを動作させてその間に High の CLK_{out} 信号 (DPWM 信号) を発生する。

5 提案回路のレイアウト設計

図18に提案 DPWM 回路コア部分の、TSMC 0.18 μ m CMOS でのレイアウト図を示す。今後チップのファブリケーション、評価を行っていきたい。

6 まとめ

この論文では、リング発振回路を使用することにより直列接続段数を削減し、バッファ遅延ばらつきの時間平均化による改善を実現する DPWM 回路の構成と動作を記述した。

参考文献

- [1] 森 偉文樹、山田 佳央、Santhos Ario Wibowo、光野 正志、小林 春夫、高井 伸和、藤村 征弘、杉山 寿男、松田 順一、深井 功、大西 教久、竹田 一郎、「デジタル電源でのスペクトラム拡散クロックによる EMI 低減化」、電子情報通信学会、第 21 回 回路とシステム(軽井沢)ワークショップ(2008 年 4 月)。
- [2] 光野正志、木村 圭吾、森 偉文樹、山田 佳央、小林 春夫、小堀 康功、清水 一也、傘 吳「デジタル制御電源用 高時間分解能 DPWM 回路」、電子情報通信学会誌 和文誌 C (採択)
- [3] 小室 貴紀、ヨッヘン・リヴォアル、清水 一也、光野 正志、小林 春夫、「タイムデジタイザを用いた AD 変換器アーキテクチャ」、電子情報通信学会誌 和文誌 C vol. J90-C, no.2, pp.125-133 (2007 年 2 月)。
- [4] 小室貴紀、清水一也、真鍋巨、小林 春夫、「タイムデジタイザを用いた A/D 変換器の展開と高性能化」、電気学会 電子回路研究会 豊橋(2008 年 3 月)。
- [5] 清水一也、金田雅人、小林春夫、高井伸和、堀田正生「少量ハードウェア タイムデジタイザ回路」、電気学会 電子回路研究会 豊橋(2008 年 3 月)。
- [6] M.H.Perrott, "Digital Phase-Locked Loops", *IEEE International Solid-State Circuits Conference Tutorial*, (2008).
- [7] H.Chang, et.al., "A Fractional Spur-Free ADPLL with Loop-Gain Calibration and Phase-Noise Cancellation for GSM/GPRS/EDGE", *IEEE International Solid-State Circuits Conference*, pp.200-201, (2008).
- [8] C.Hsu, et.al., "A Low-Noise, Wide-BW 3.6GHz Digital Fractional-N Frequency Synthesizer with a Noise-Shaping Time-to-Digital Converter and Quantization Noise Cancellation", *IEEE International Solid-State Circuits Conference*, pp.340-341, (2008).

- [9] K. Wang, et.al, "All Digital DPWM/DPFM Controller for Low Power DC-DC Converters," *IEEE Applied Power Electronics Conference and Exposition (APEC)*, Dallas, TX (Mar. 2006).
- [10] J. Chen, et.al., "DPWM Time Resolution Requirements for Digitally Controlled DC-DC Converters," *IEEE APEC*, Dallas, TX (Mar. 2006).
- [11] K. Leung, et.al., "Design and Implementation of a Practical Digital PWM Controller," *IEEE APEC*, Dallas, TX (Mar. 2006).

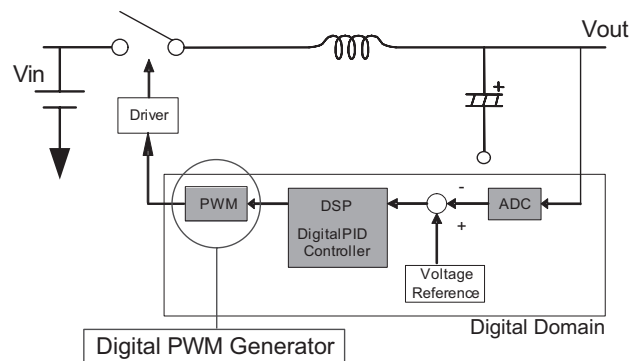


図 1: デジタル制御電源と DPWM 回路。

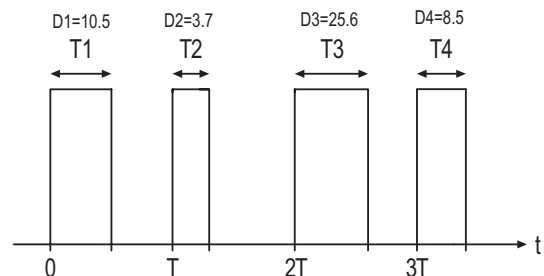


図 2: デジタル PWM 信号。この発生回路のデジタル入力と出力 PWM 信号デューティ比は比例関係にある。

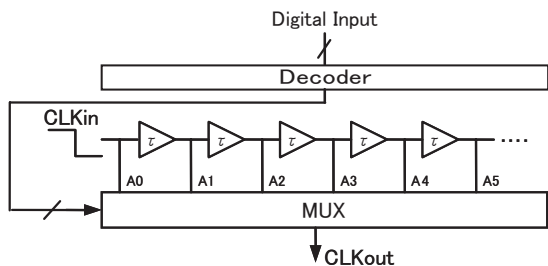


図 3: セグメント型構成 DPWM 発生回路 (タイプ 1).

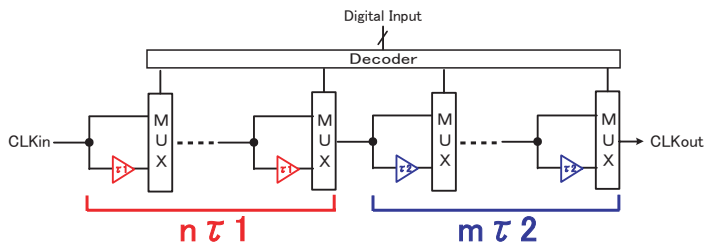


図 7: バッファ遅延の差 ($\tau_1 - \tau_2$) を最小分解能とする DPWM 発生回路の構成 (タイプ 2).

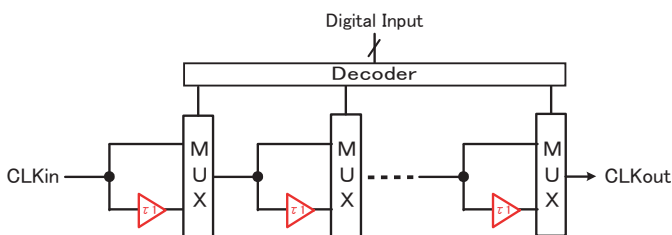


図 4: セグメント型構成 DPWM 発生回路 (タイプ 2).

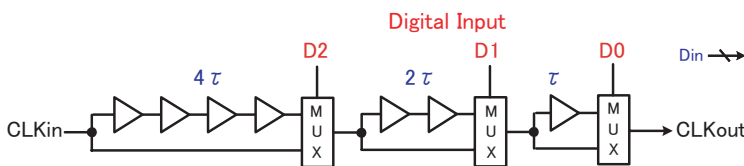


図 5: バイナリ型構成 DPWM 発生回路.

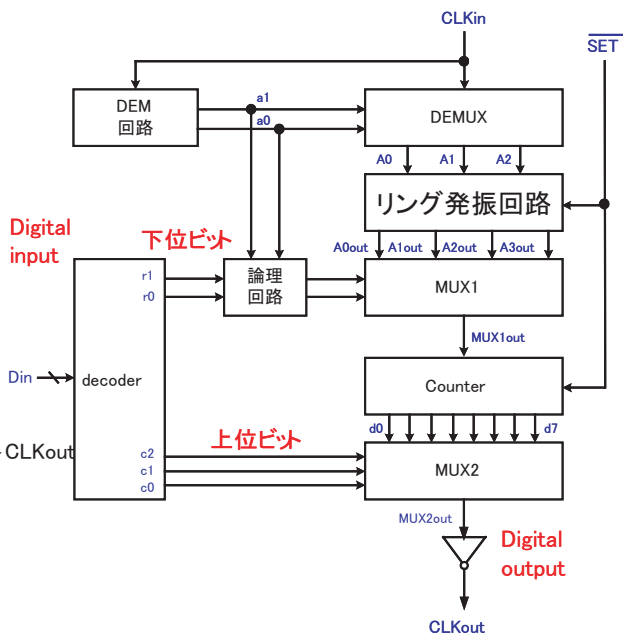


図 8: リング発振器を用いたデジタル PWM 発生器全体回路構成.

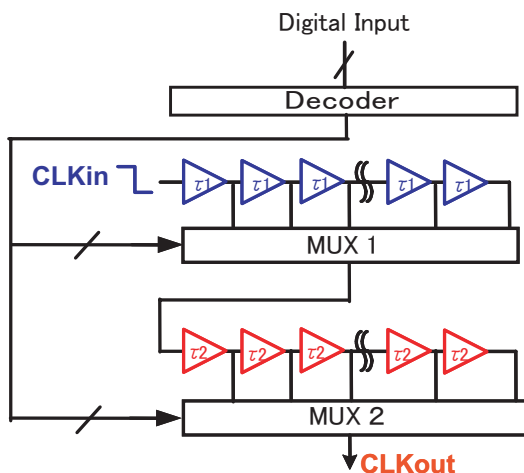


図 6: バッファ遅延の差 ($\tau_1 - \tau_2$) を最小分解能とする DPWM 発生回路の構成 (タイプ 1).

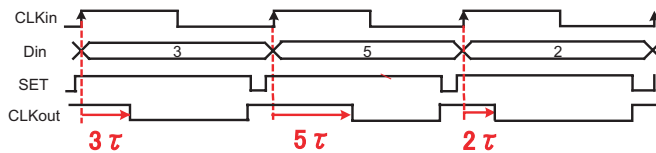


図 9: 提案 DPWM 回路のタイミングチャート.

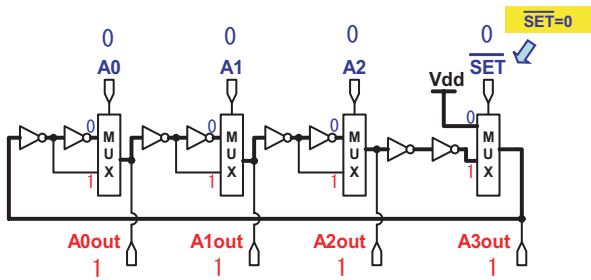


図 10: リング発振回路構成 (初期設定).

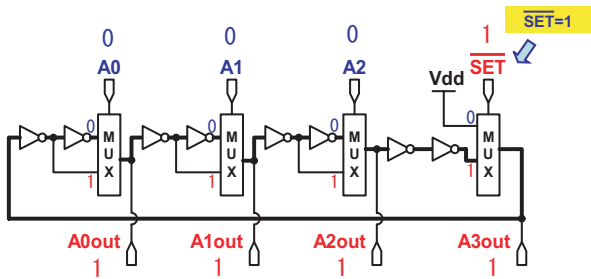


図 11: リング発振回路動作 1 (ループ形成).

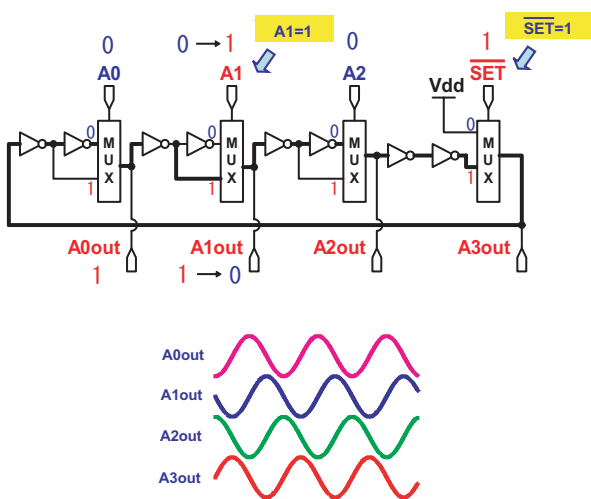


図 12: リング発振回路動作 2 (発振).

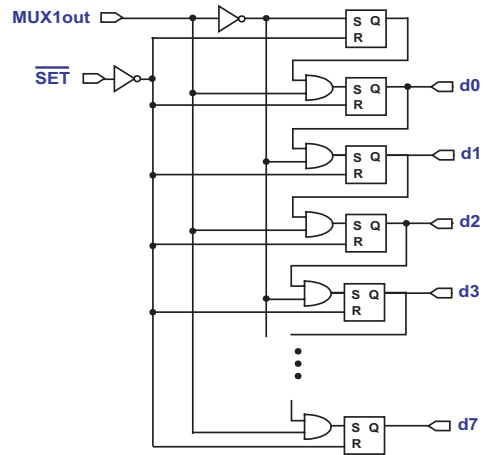


図 13: カウンタの構成.

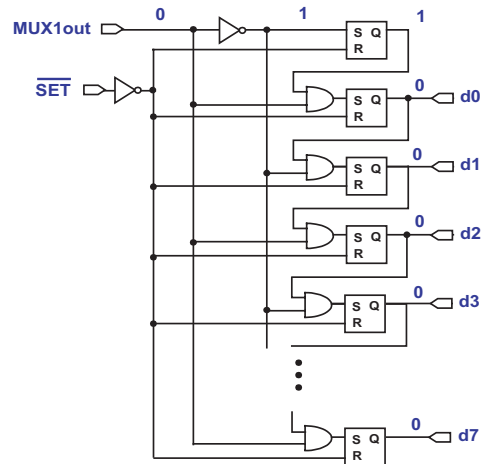


図 14: カウンタの動作 1.

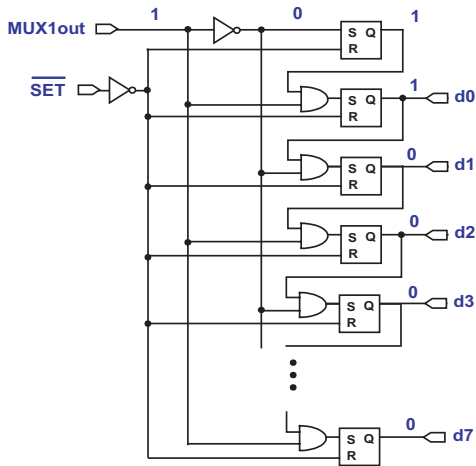


図 15: カウンタの動作 2.

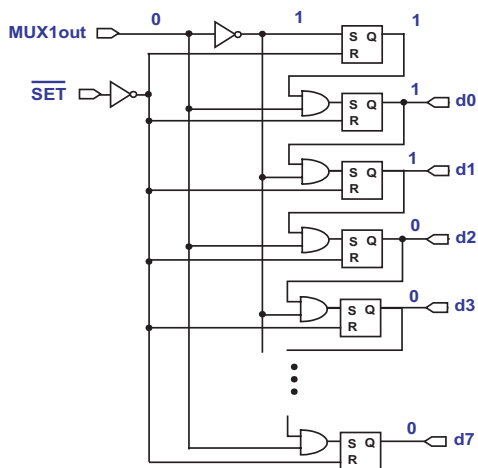


図 16: カウンタの動作 3.

DEMUX

a1	a0	A2'	A1'	A0'
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	0

図 17: DEMUX の真理値表.

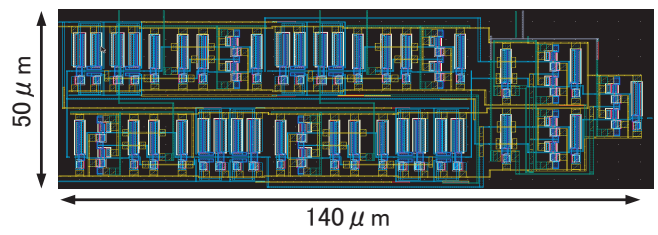


図 18: 提案 DPWM 回路のコア部分のレイアウト (TSMC 0.18um CMOS) .