

ECT-08-23

# リング発振器を用いた デジタルPWM発生回路

2008.03.26

清水一也(群馬大学), 安藤和正(東芝LSIシステムサポート),  
森偉文樹, ○宮島広行, 小林春夫,  
傘昊, 高井伸和, 堀口将史(群馬大学),  
村山知支人, 西田幸弘, 吉田博史(東芝LSIシステムサポート)

# 発表内容

- 研究背景・目的
- デジタル制御電源とDPWM発生回路
- 様々なタイプのDPWM発生回路の検討
- バッファ遅延のばらつきとダイナミックマッチング
- 提案するリング発振器を用いたDPWM発生回路
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題

# 発表内容

- 研究背景・目的
- デジタル制御電源とDPWM発生回路
- 様々なタイプのDPWM発生回路の検討
- バッファ遅延のばらつきとダイナミックマッチング
- 提案するリング発振器を用いたDPWM発生回路
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題

# 研究背景

## ■電源回路への要求大

- 近年、LSIの超大規模化・微細化、マイクロプロセッサ性能向上
  - ・スイッチング時間高速化(数十psec)
  - ・電源電圧の動作マージン減少(LSIの低電力化)
  - ・電圧変動量の増加(半導体微細化)

## ■デジタル制御電源に関心

- 電源とデジタル回路の1チップシステムLSI化
- 高度な制御理論や新トポロジーの導入

# 研究目的

## DPWM発生回路に着目

デジタル制御電源のキーコンポーネントの一つ



リング発振器の利用



- 小規模回路化
- 低消費電力化
- 小チップ面積
- 低コスト化

ダイナミックマッチングの利用



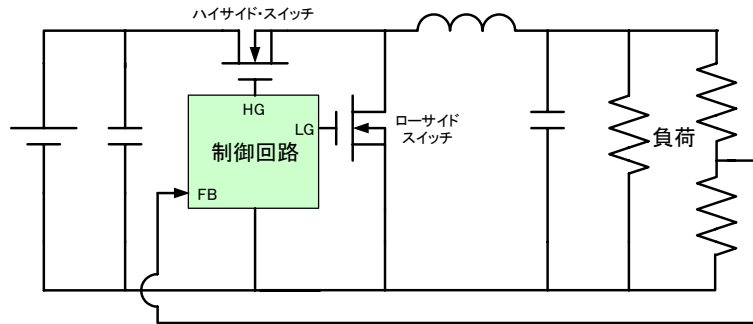
時間平均化による線形性の向上

# 発表内容

- 研究背景・目的
- **デジタル制御電源とDPWM発生回路**
- 様々なタイプのDPWM発生回路の検討
- バッファ遅延のばらつきとダイナミックマッチング
- 提案するリング発振器を用いたDPWM発生回路
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題

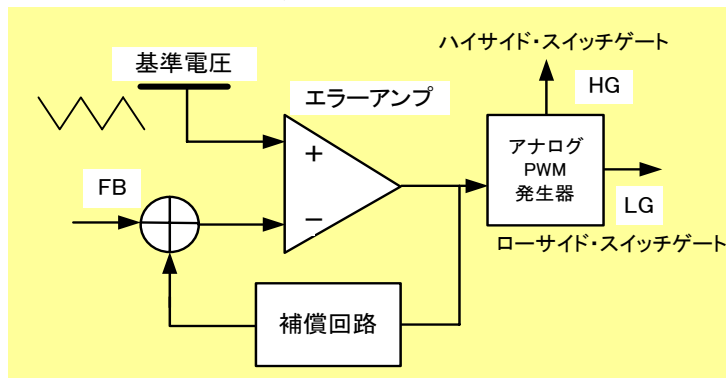
# デジタル制御電源とは

## ■ スイッチング電源回路図

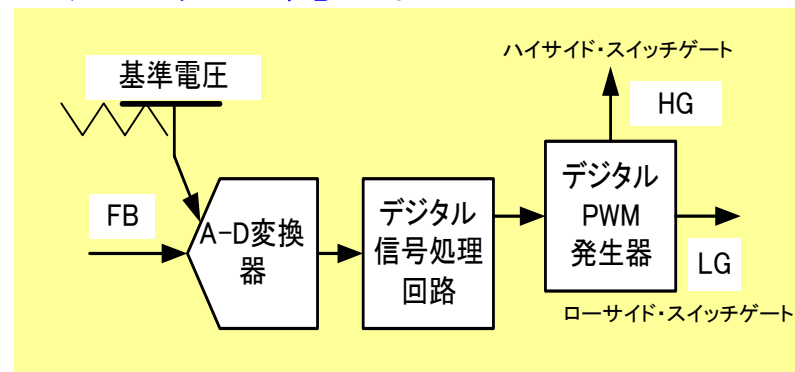


## ■ 制御回路部

### ■ アナログ方式



### ■ デジタル方式



# デジタル制御電源の特徴

## ■ メリット

- 効率・応答・ノイズ性能向上
- 回路変更・追加のカスタム対応力の向上
- 設計スピードの向上
- 小型化・低コスト化・信頼性の向上

## ■ デメリット

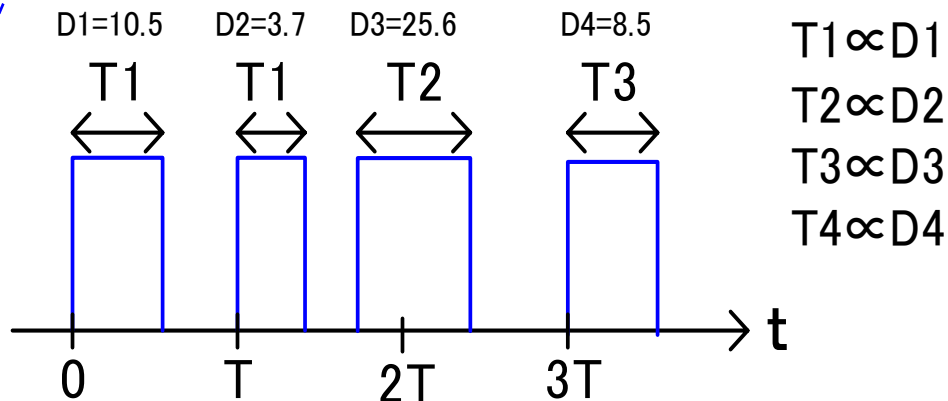
- 消費電力:大
- 高コスト
- 高分解能PWM回路が必要



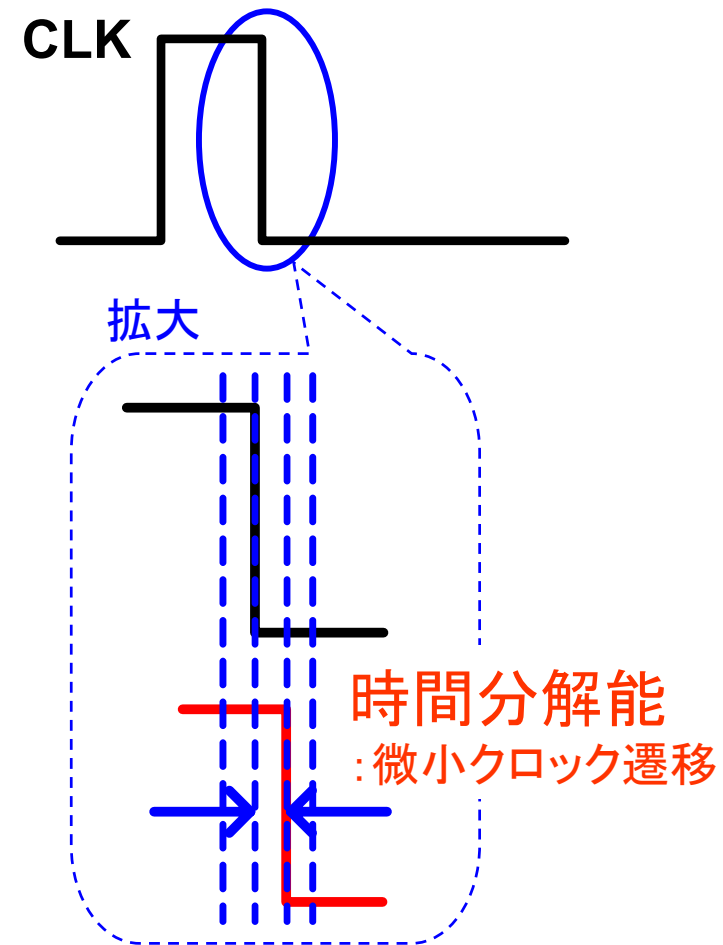
# DPWM発生回路とは

## ■ デジタルPWM (DPWM)

デジタル入力 → 時間出力 : 変換回路

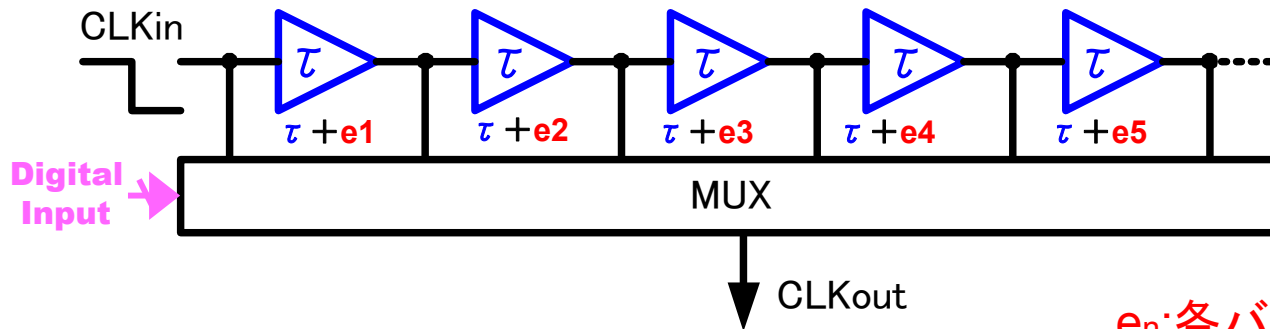


- デジタル入力と PWM デューティ比は比例関係.
- PWM...パルス幅変調 (振幅からスイッチのON時間の長さで波形を生成)



# DPWM発生回路の問題点

バッファ遅延:  $\tau$   $\Rightarrow$  時間分解能



$e_n$ : 各バッファの遅延ばらつき

- × デジタル入力: 大  $\Rightarrow$  MUXの入力数: 大  $\Rightarrow$  バッファ数の増加  $\Rightarrow$  回路規模: 大
- × 特定のバッファ遅延ばらつきが蓄積 消費電力: 大



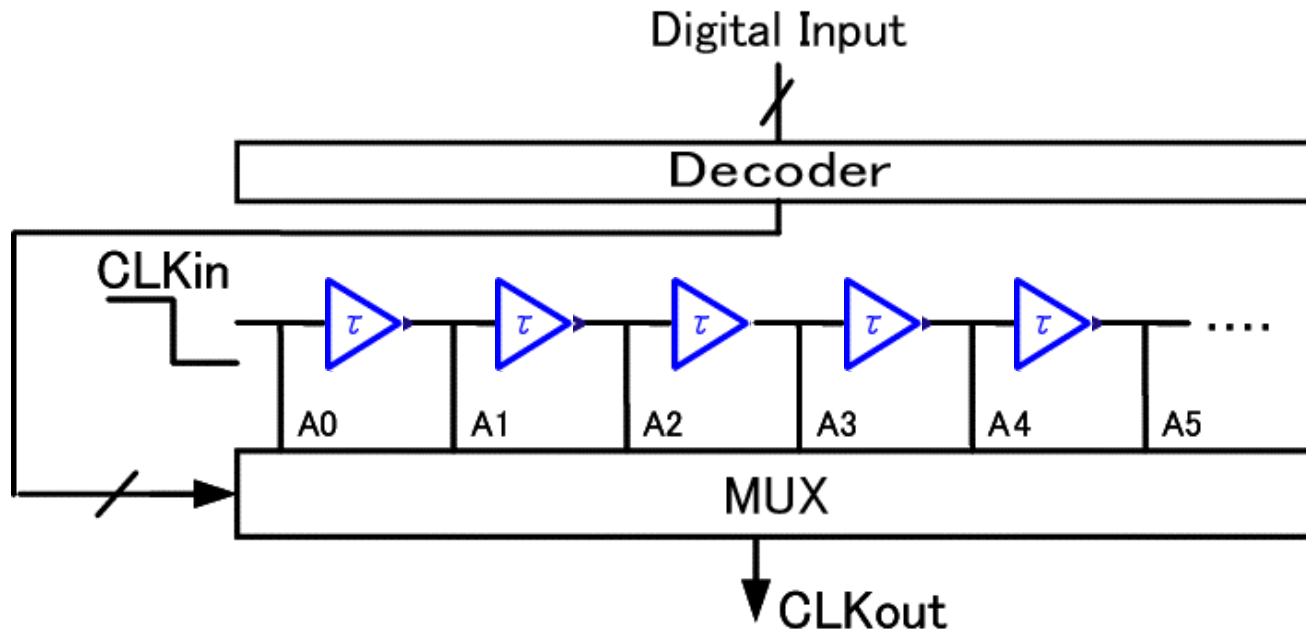
バッファ数を減らしたい (回路規模を小さくしたい)  
 バッファ遅延ばらつきの影響を小さくしたい

# 発表内容

- 研究背景・目的
- デジタル制御電源とDPWM発生回路
- **様々なタイプのDPWM発生回路の検討**
- バッファ遅延のばらつきとダイナミックマッチング
- 提案するリング発振器を用いたDPWM発生回路
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題

# セグメント型回路構成 (Type1)

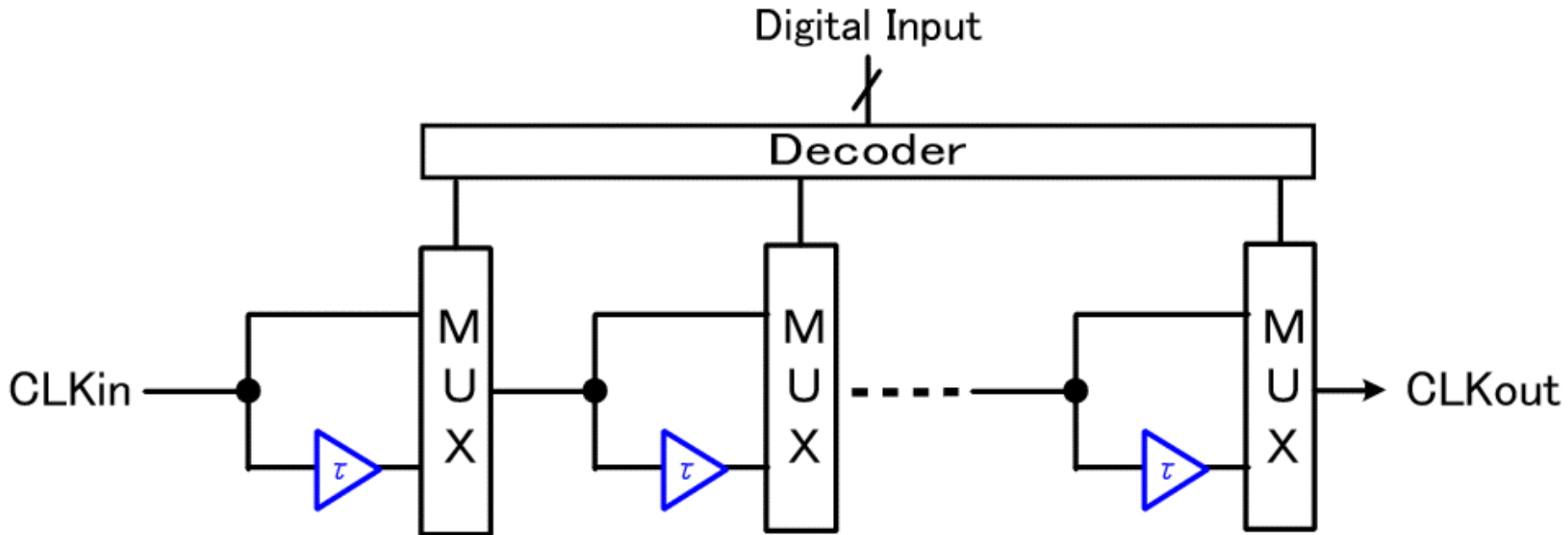
バッファ遅延:  $\tau$   $\Rightarrow$  時間分解能



- 単調増加性が保証される
- × バッファ数: 多  $\Rightarrow$  回路規模: 大
- × バッファ遅延ばらつきの影響: 大

# セグメント型回路構成 (Type2)

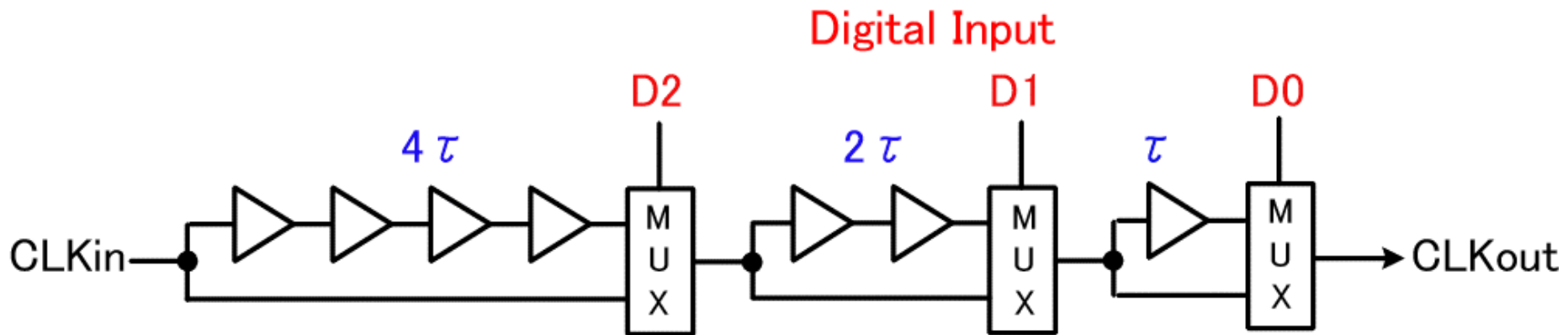
バッファ遅延:  $\tau$   $\Rightarrow$  時間分解能



- × 単調増加性が保証されない
- × バッファ数: 多  $\Rightarrow$  回路規模: 大
- バッファ遅延ばらつきの影響: 小 (ダイナミック・マッチングによる)

# バイナリ型回路構成

バッファ遅延:  $\tau$   $\Rightarrow$  時間分解能



- × 単調増加性が保証されない
- × バッファ数: 多  $\Rightarrow$  回路規模: 大
- × バッファ遅延ばらつきの影響: 大
- デコーダ回路不要

# バッファ遅延の差 ( $\tau_1 - \tau_2$ ) を最小分解能とする場合の回路構成 (Type1)

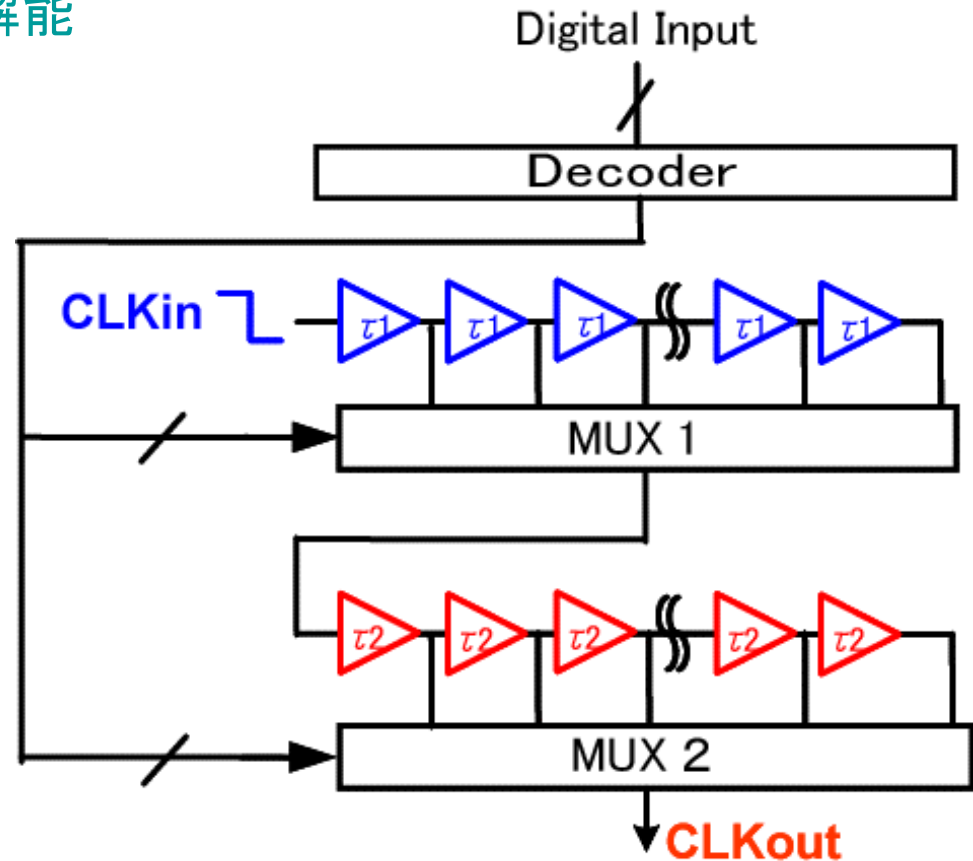
バッファ遅延:  $\tau_1$ 、 $\tau_2 \Rightarrow$  時間分解能

- 高時間分解能 ( $\tau_1 - \tau_2$ )
- × 単調増加性が保証されない
- バッファ数: 少  $\Rightarrow$  回路規模: 小
- × バッファ遅延ばらつきの影響: 大

Ex)  $\tau_1 = 30\text{ps}$ ,  $\tau_2 = 20\text{ps}$

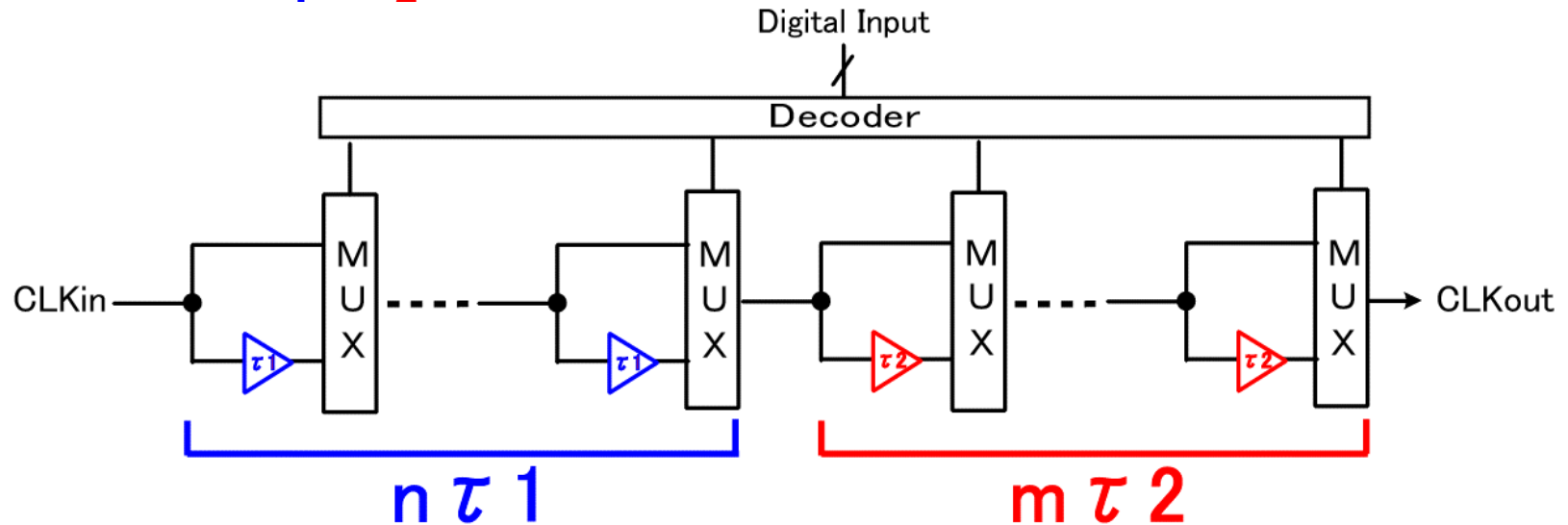
$\Downarrow$

$\tau_1 - \tau_2 = 10\text{ps}$



# バッファ遅延の差 ( $\tau_1 - \tau_2$ ) を最小分解能とする場合の回路構成 (Type2)

バッファ遅延:  $\tau_1$ 、 $\tau_2 \Rightarrow$  時間分解能



Ex)  $\tau_1 = 30\text{ps}$ ,  $\tau_2 = 20\text{ps}$   
 $n = 7$ ,  $m = 10$



$$n \tau_1 - m \tau_2 = 10\text{ps}$$

- 高時間分解能 ( $\tau_1 - \tau_2$ )
- × 単調増加性が保証されない
- バッファ数: 少  $\Rightarrow$  回路規模: 小
- バッファ遅延ばらつきの影響: 小 (ダイナミックマッチングによる)

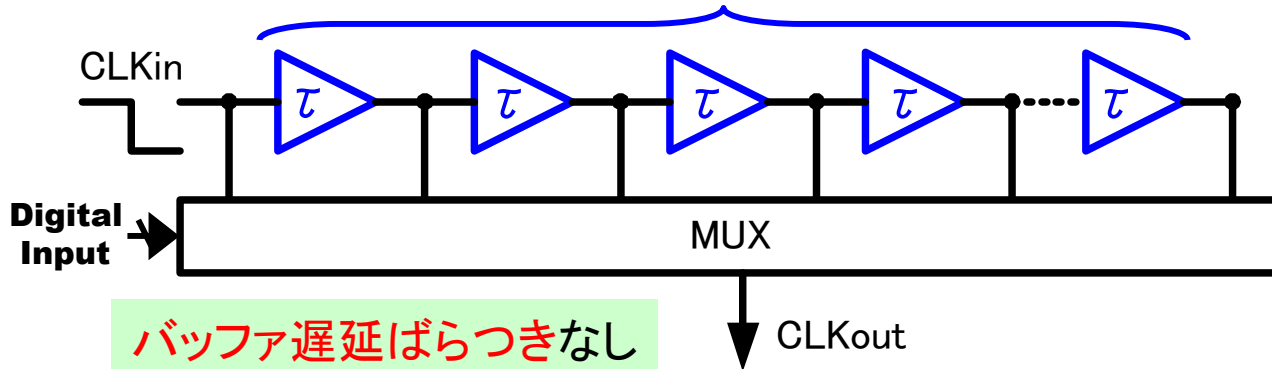


# 発表内容

- 研究背景・目的
- デジタル制御電源とDPWM発生回路
- 様々なタイプのDPWM発生回路の検討
- **バッファ遅延のばらつきとダイナミックマッチング**
- 提案するリング発振器を用いたDPWM発生回路
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題

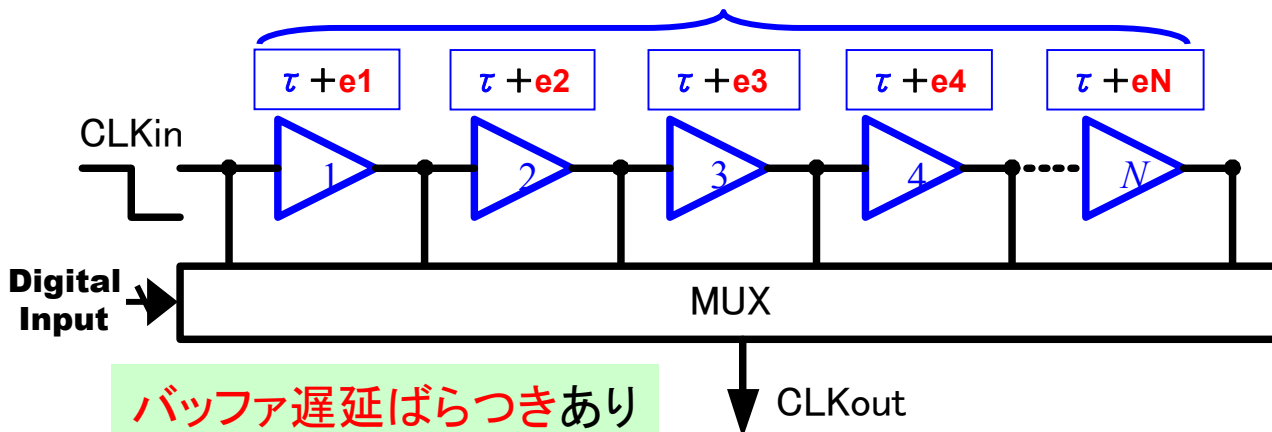
# バッファ遅延ばらつきモデル化

バッファ遅延の数:  $N$



$$\begin{aligned} \tau_1 &= \tau + e_1 \\ \tau_2 &= \tau + e_2 \\ &\vdots \\ \tau_N &= \tau + e_N \end{aligned}$$

バッファ遅延の数:  $N$

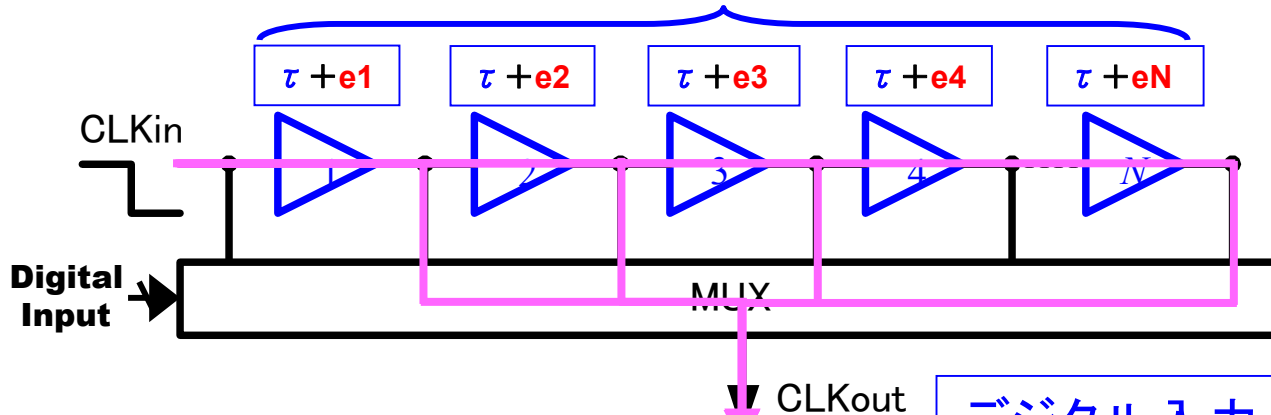


$$\equiv \frac{1 + 2 + \dots + N}{N}$$

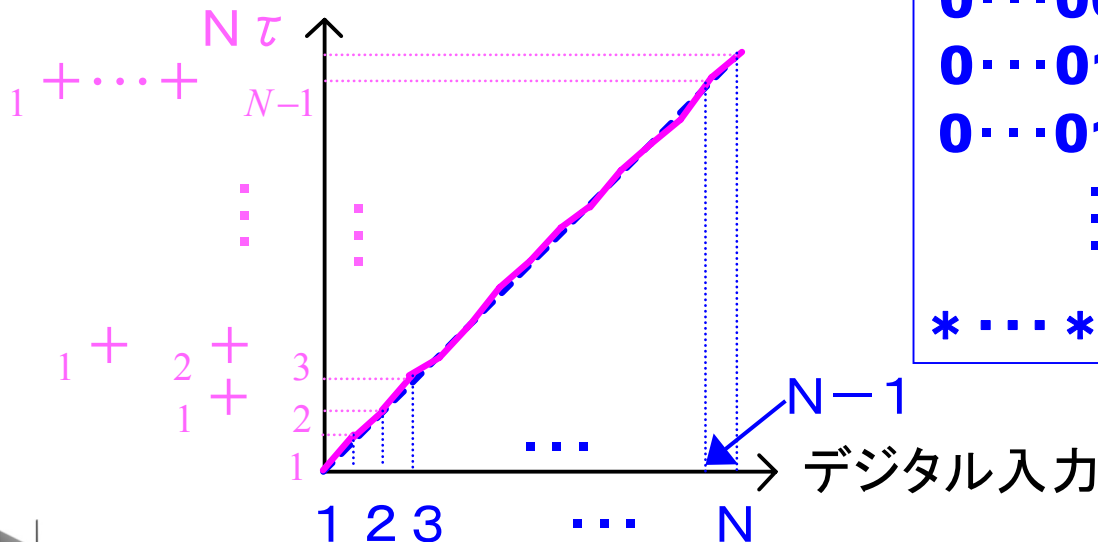
$$e_1 + e_2 + \dots + e_N \equiv 0$$

# バッファ遅延ばらつきによる影響：非線形性

バッファ遅延の数：N



出力タイミング



デジタル入力

$0 \dots 001$ (1)
$0 \dots 010$ (2)
$0 \dots 011$ (3)
$\vdots$
$* \dots * * (N)$

出力タイミング

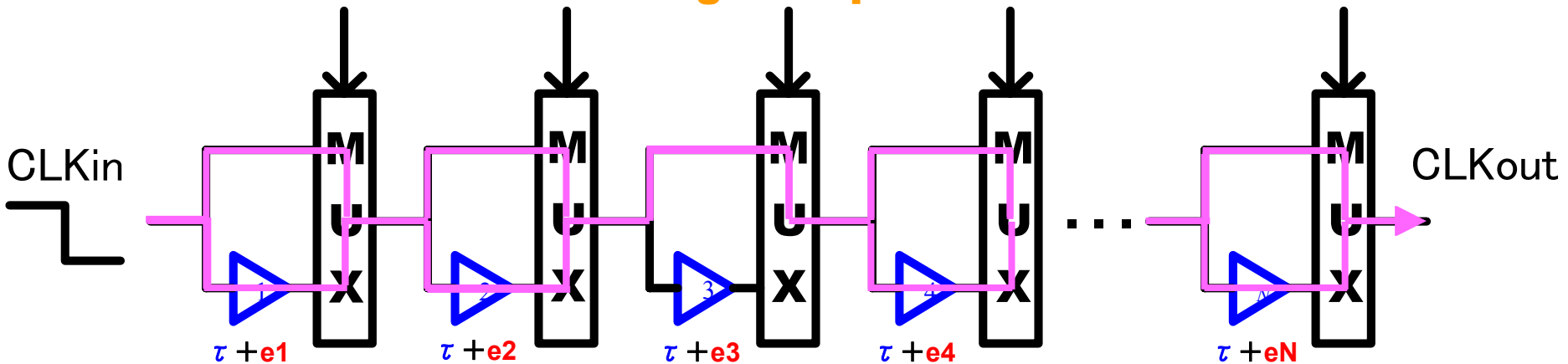
$\tau + e_1$
$2\tau + e_1 + e_2$
$3\tau + e_1 + e_2 + e_3$
$\vdots$
$N\tau + e_1 + \dots + e_N$

$\parallel$   
 $N\tau$        $0$



# ダイナミック・エレメント・マッチングとは

Digital Input



ex) デジタル入力が  $0 \cdots 010(2)$  の場合  $\Rightarrow$  バッファ遅延を2ヶ所考慮

$$\begin{aligned}
 2\tau_{12} &= 2\tau + e1 + e2 \Rightarrow \tau_{12} = \tau + \frac{e1 + e2}{2} \\
 2\tau_{24} &= 2\tau + e2 + e4 \Rightarrow \tau_{24} = \tau + \frac{e2 + e4}{2} \\
 2\tau_{1N} &= 2\tau + e1 + eN \Rightarrow \tau_{1N} = \tau + \frac{e1 + eN}{2} \\
 &\vdots \\
 &\vdots
 \end{aligned}$$

ランダムな経路選択

バッファ遅延の時間平均

$$\overline{\tau} = \tau$$

# 発表内容

- 研究背景・目的
- デジタル制御電源とDPWM発生回路
- 様々なタイプのDPWM発生回路の検討
- バッファ遅延のばらつきとダイナミックマッチング
- **提案するリング発振器を用いたDPWM発生回路**
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題

# 提案するDPWM発生回路の特徴

リング発振器を利用

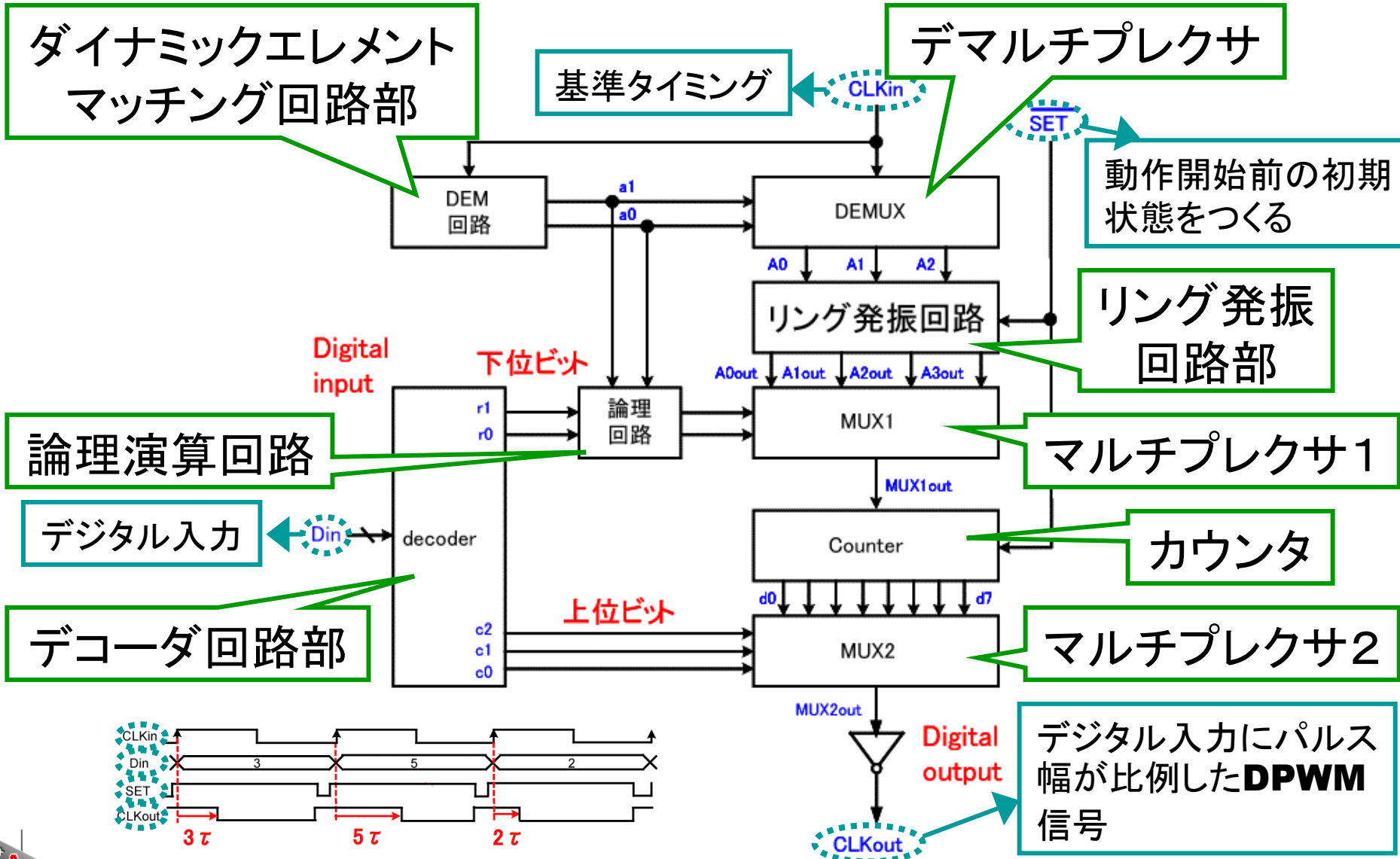
バッファ数の削減

- 小規模回路化
- 低消費電力化
- 小チップ面積
- 低コスト化

ダイナミックマッチング ⇒ バッファ遅延ばらつきを時間的に平均化 ⇒ 非線形性を改善

発振タイミング、出力タイミングを選択

# 提案するDPWM発生回路の全体回路構成



デジタル入力にパルス幅が比例した**DPWM**信号

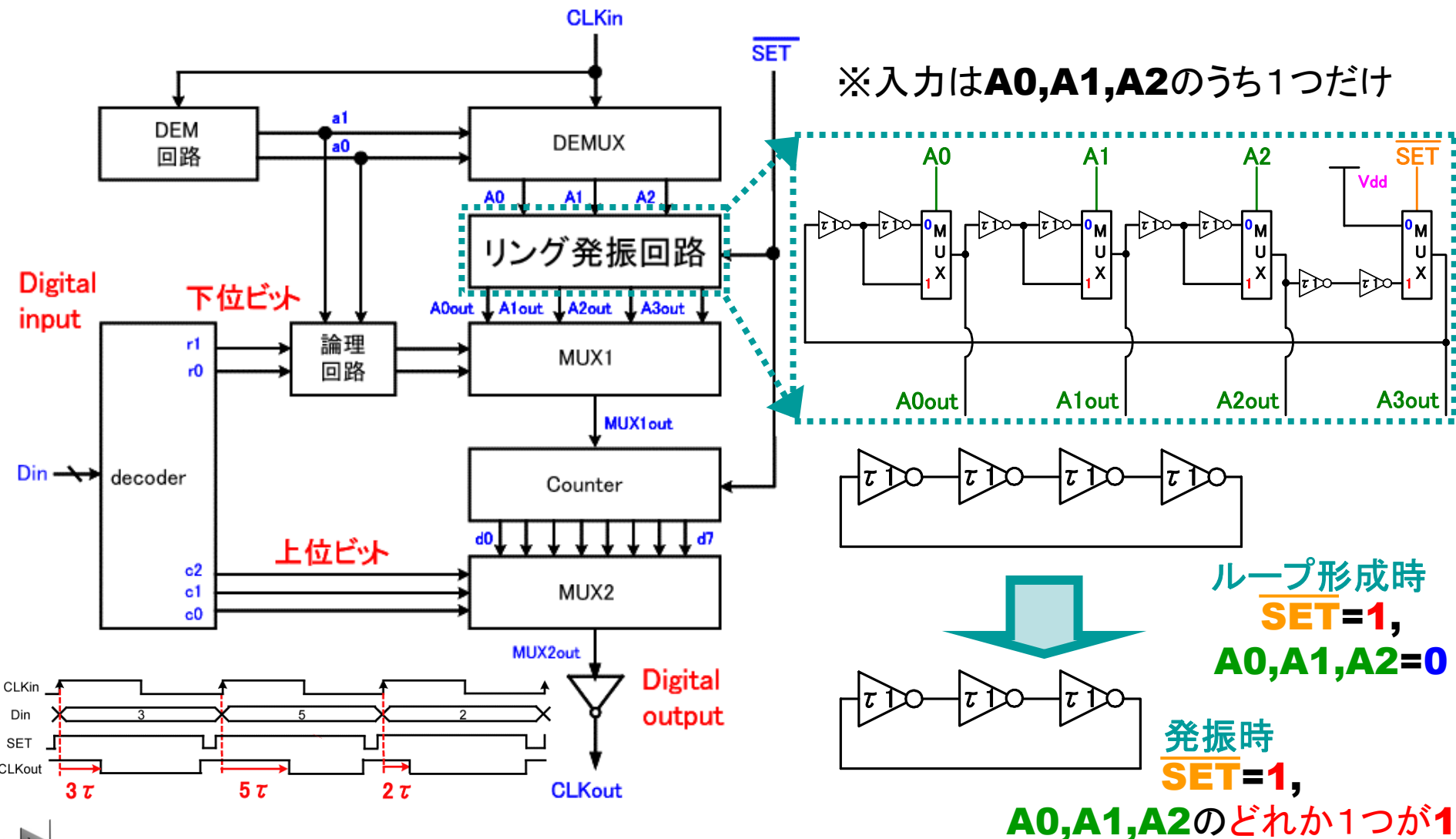


# 発表内容

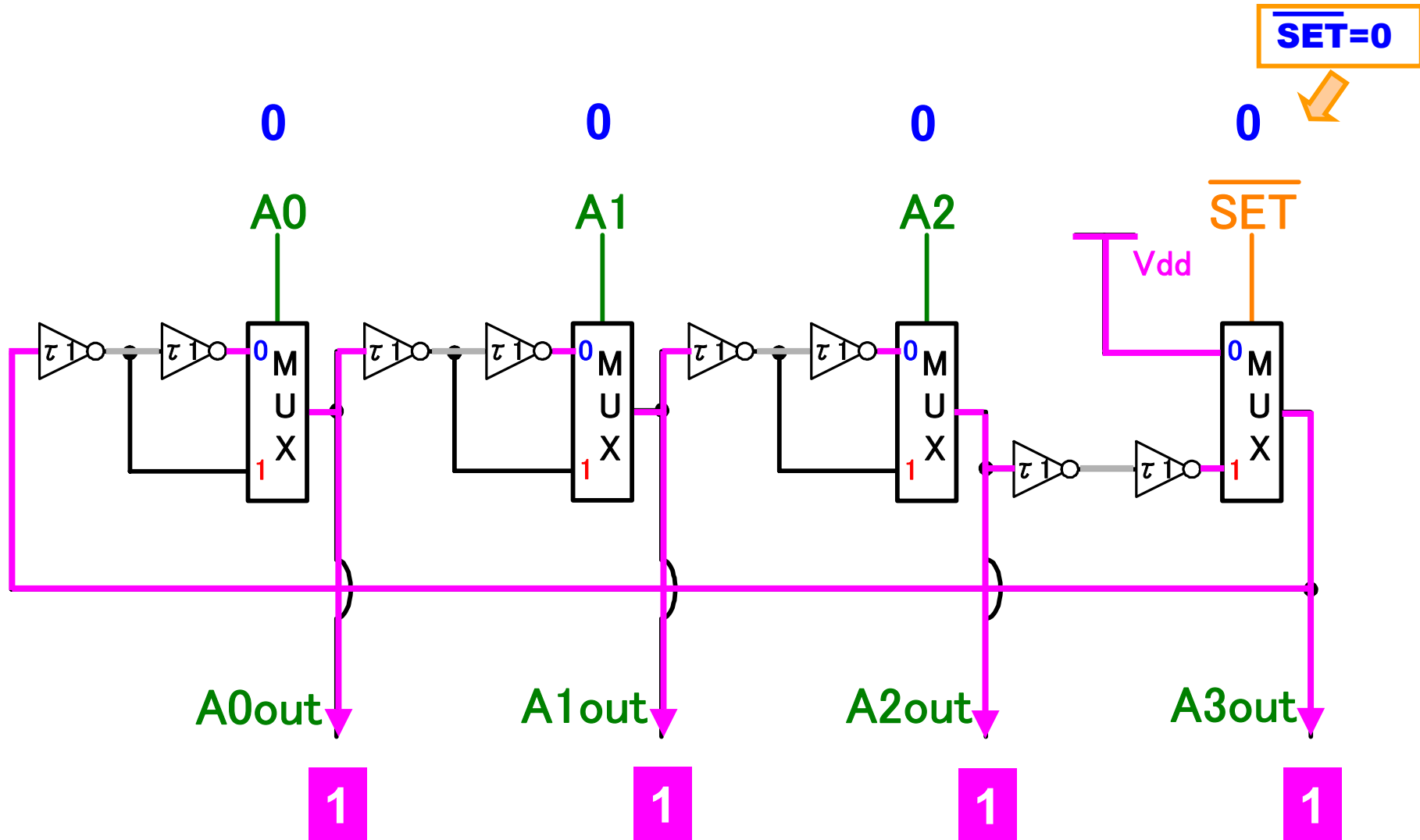
- 研究背景・目的
- デジタル制御電源とDPWM発生回路
- 様々なタイプのDPWM発生回路の検討
- バッファ遅延のばらつきとダイナミックマッチング
- 提案するリング発振器を用いたDPWM発生回路
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題



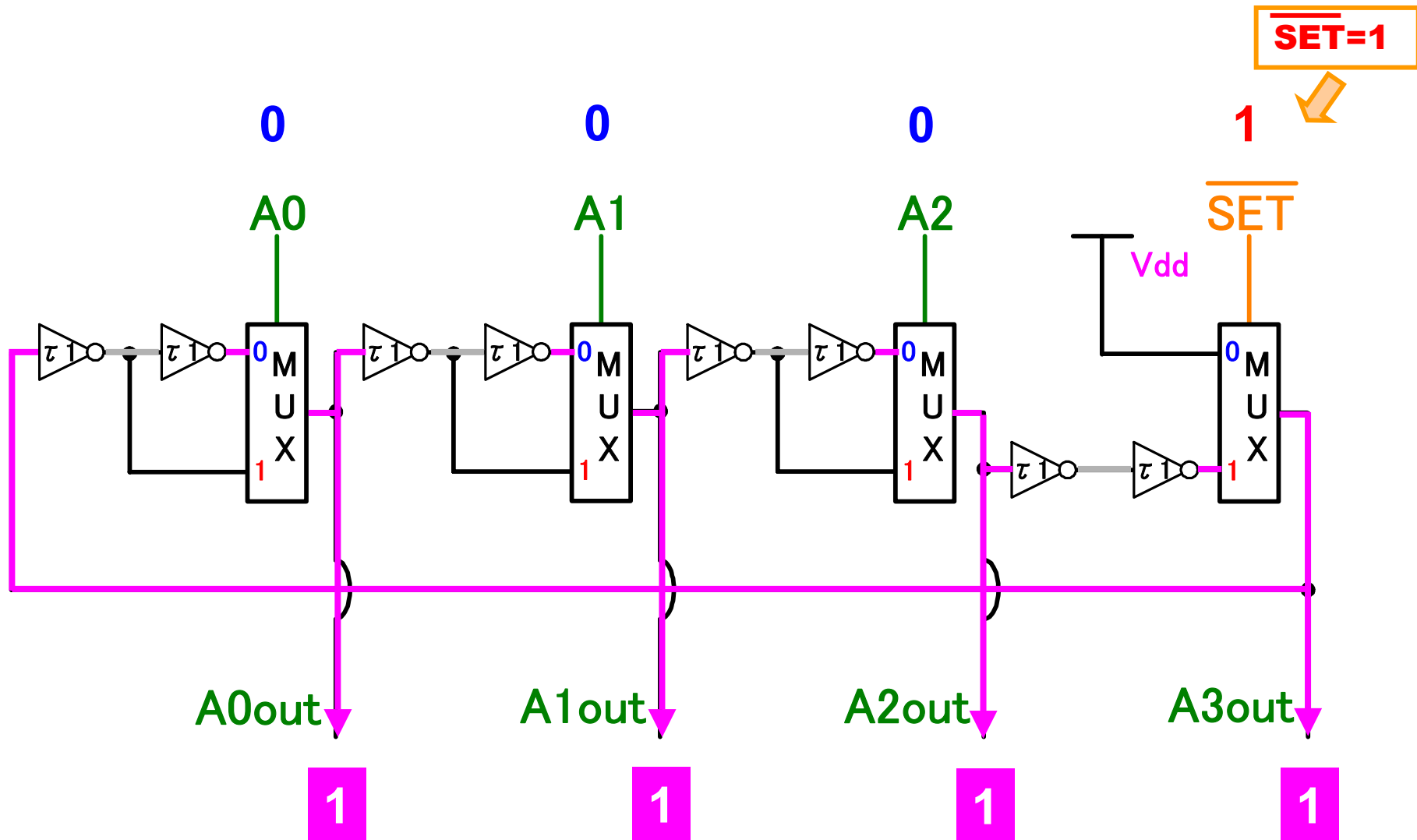
# リング発振回路部の回路構成



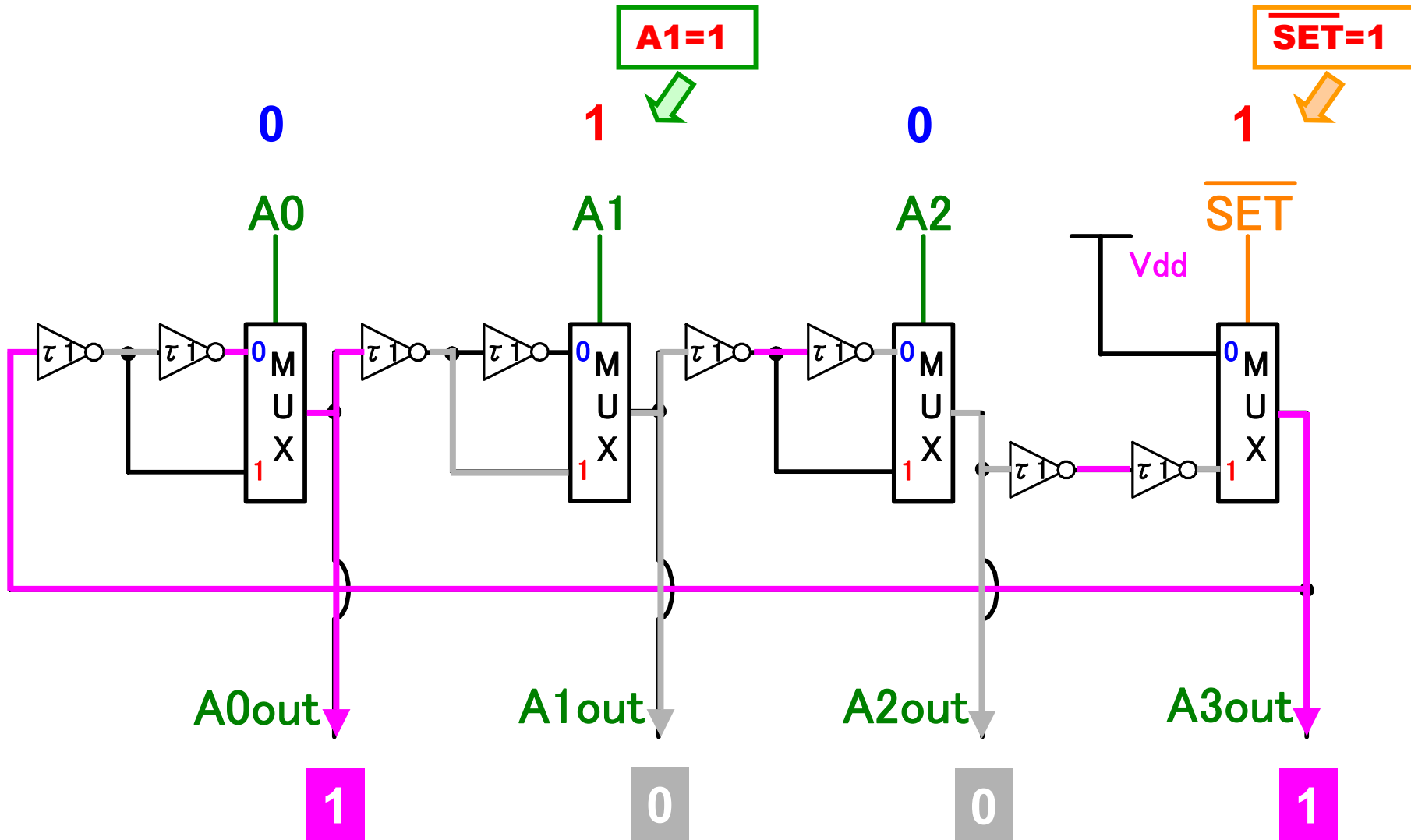
# リング発振回路部の動作(初期設定)



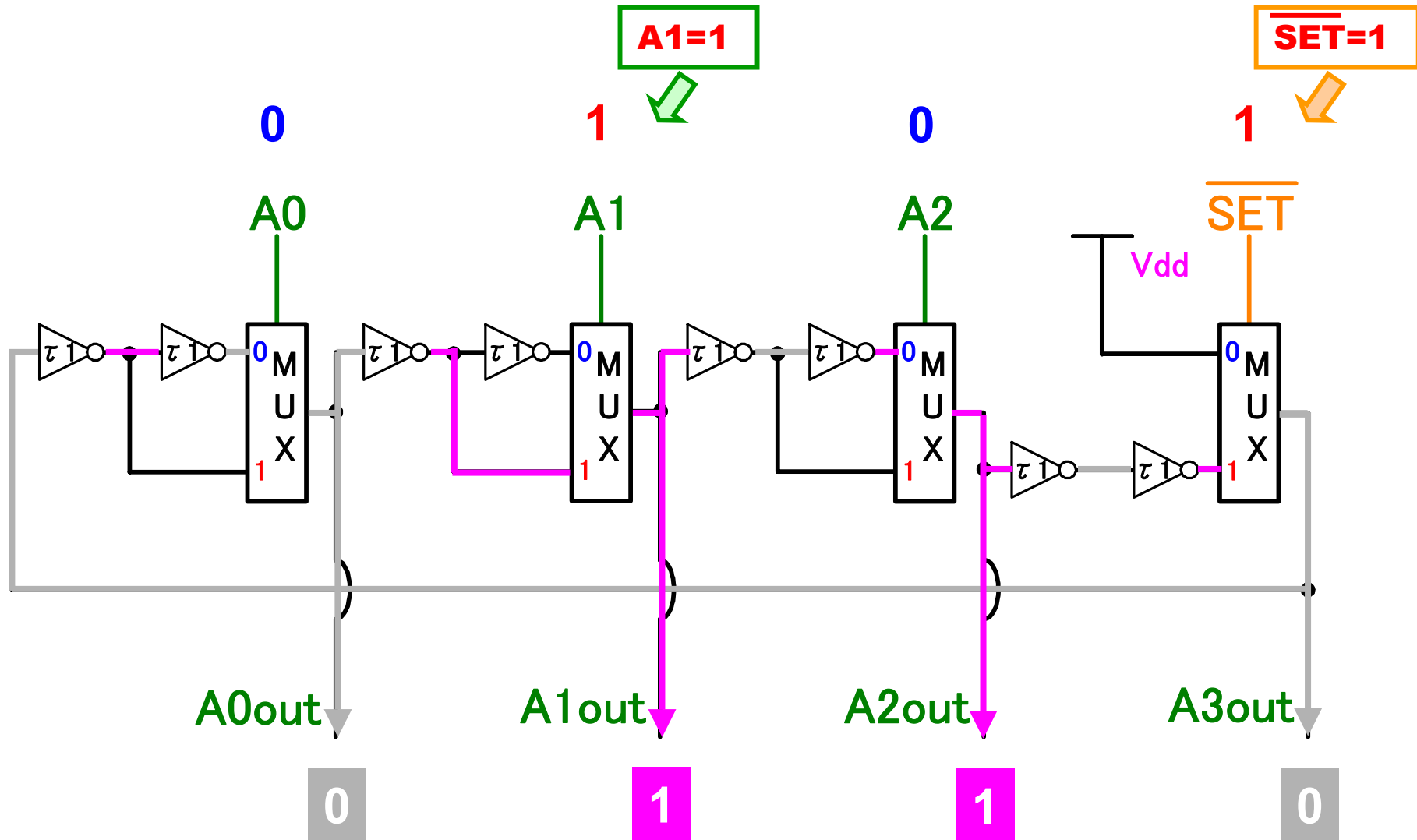
# リング発振回路部の動作(ループ形成)



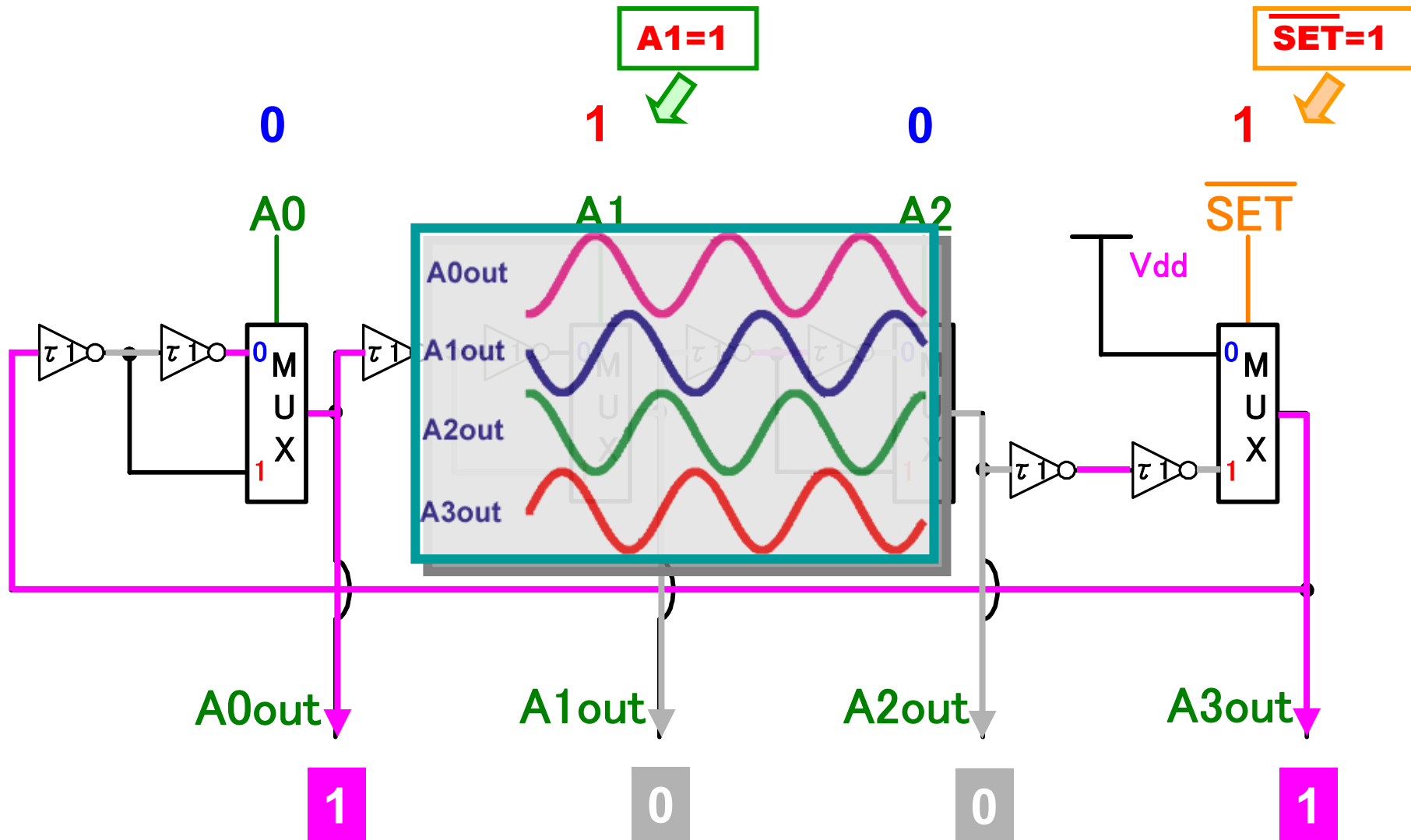
# リング発振回路部の動作(発振)



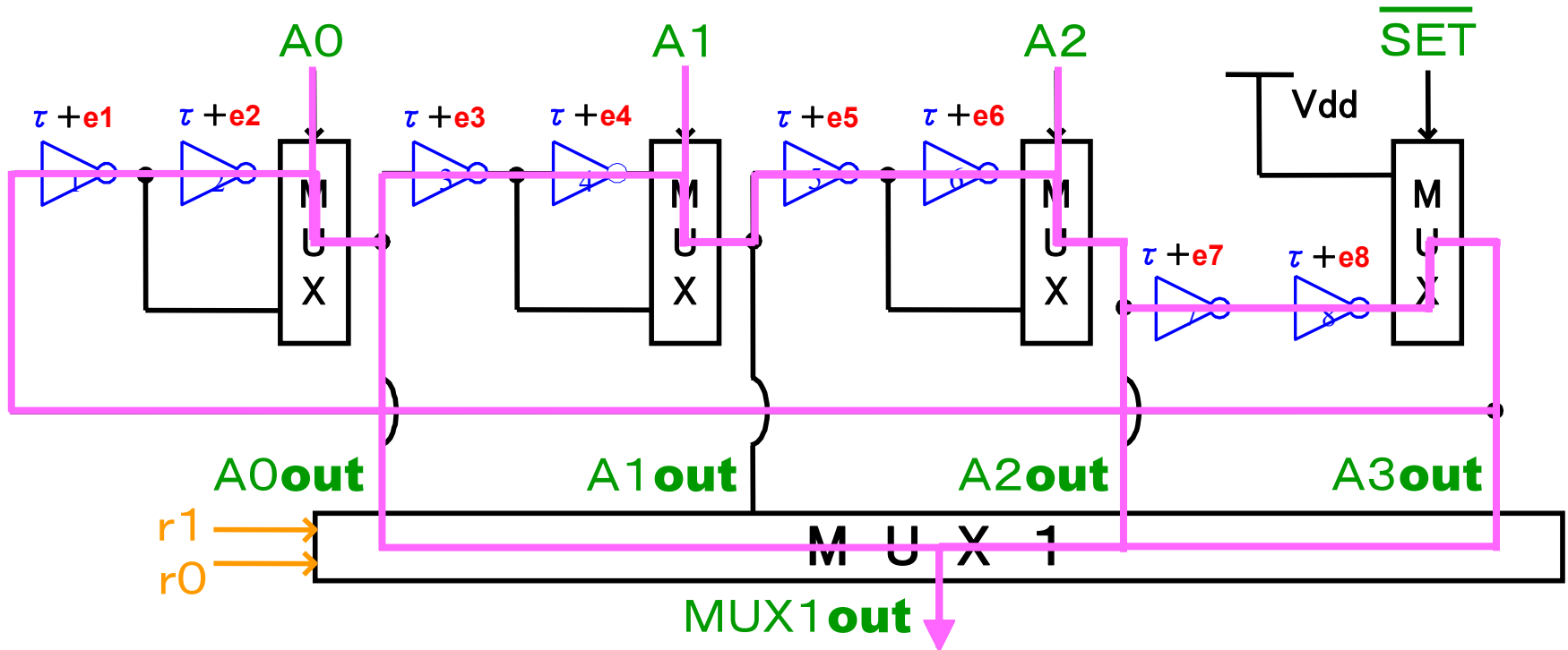
# リング発振回路部の動作(発振)



# リング発振回路部の動作(発振)



# リング発振回路部のダイナミック・エレメント・マッチング



デジタル入力  $(r1 \ r0) = (1 \ 0) = 2$  の場合  $\Rightarrow$  バッファ遅延を4ヶ所考慮

リング発振器全体の  
バッファ遅延

$A0 \rightarrow A2out$

$A1 \rightarrow A3out$

$A2 \rightarrow A0out$

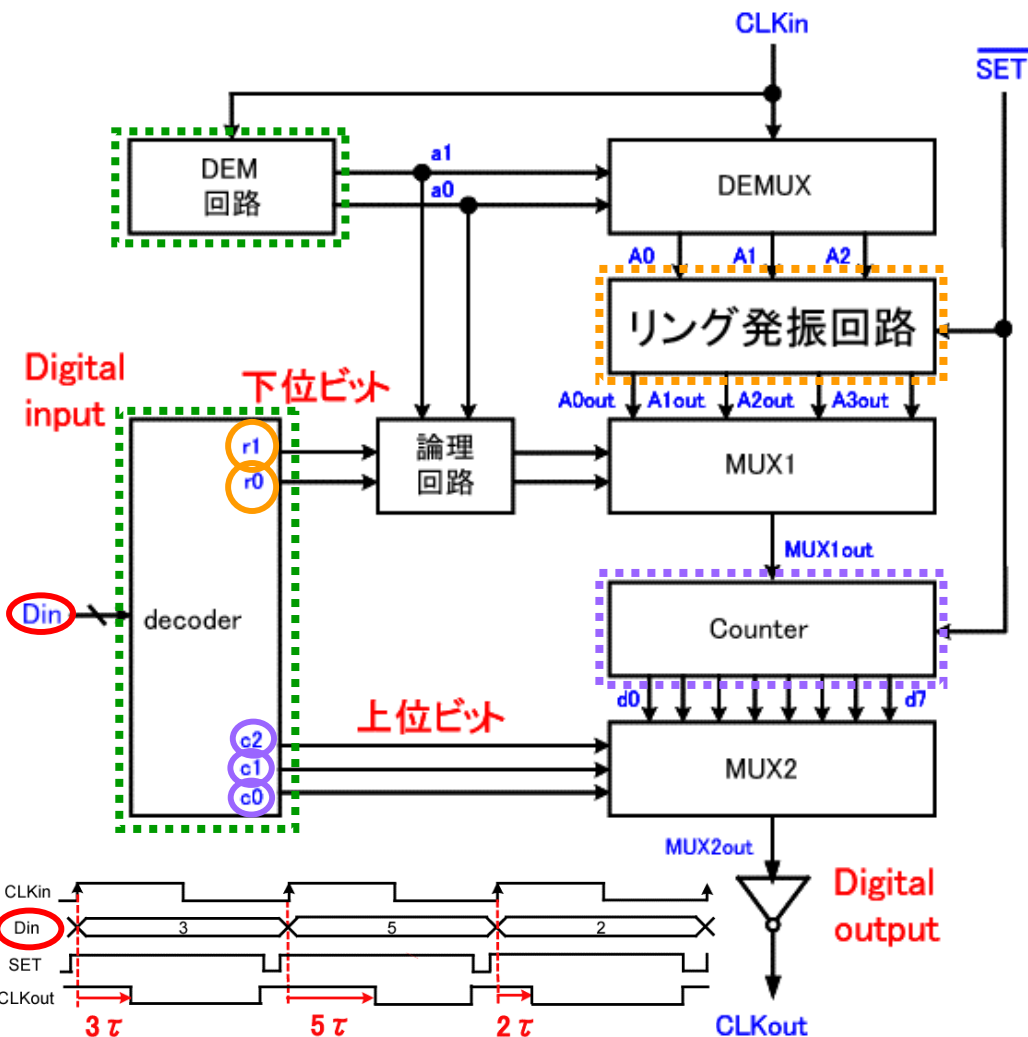
ランダムな経路選択

$$\tau_{3-6} = 4\tau + e3 + e4 + e5 + e6$$

$$\tau_{5-8} = 4\tau + e5 + e6 + e7 + e8 = 0$$

$$\tau_{7-2} = 4\tau + e5 + e6 + e7 + e8$$

# 提案型DPWM発生回路の各部の動作と役割



## デコーダ (decoder)

デジタル入力をするための回路

$c_2$   $c_1$   $c_0$   $r_1$   $r_0$   
 \* \* \* \* \*  
 上位ビット 下位ビット

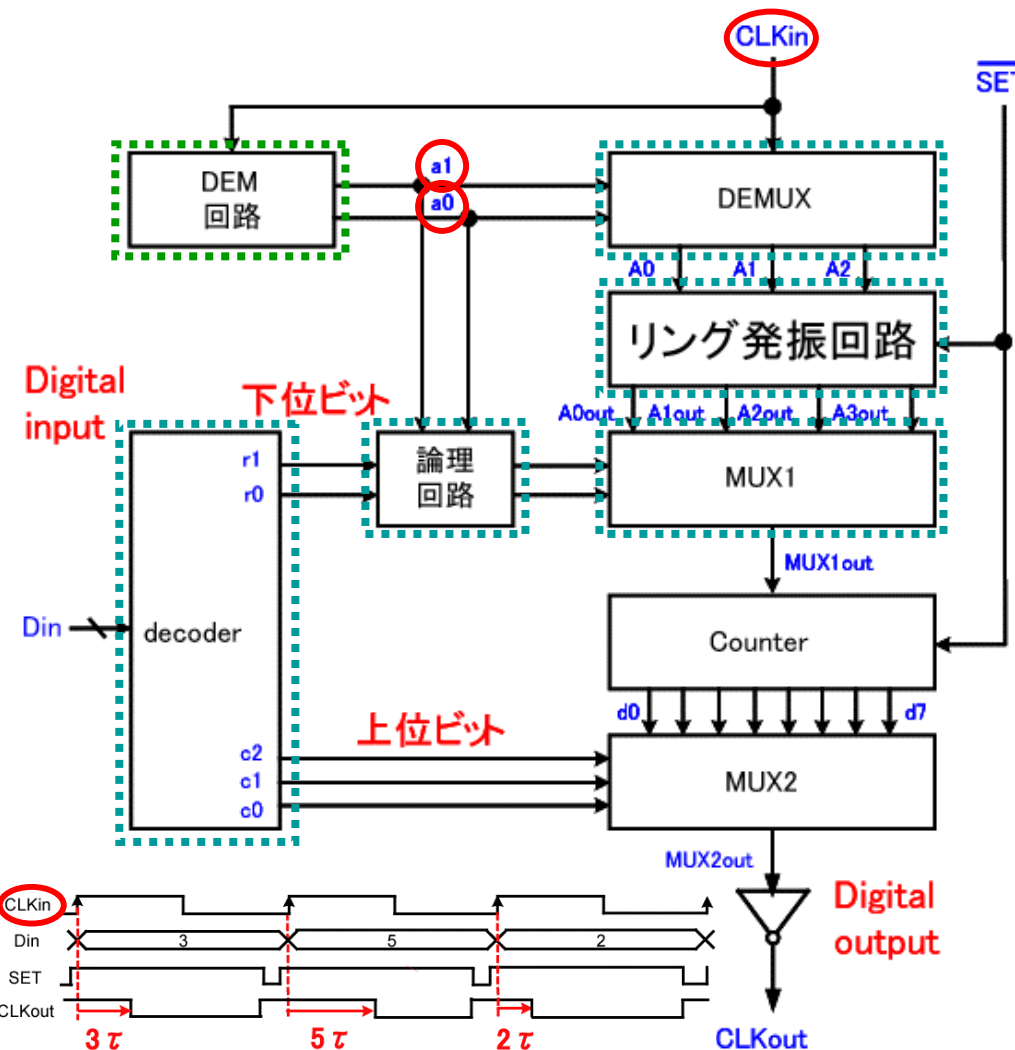
カウンタでデジタル的に  
カウントするのでミスマッチ  
(ばらつき)がない

リング発振器のバッファ遅延  
によってバッファごとに遅延  
時間にばらつきがあるため  
ミスマッチ(ばらつき)が大きい

ダイナミックマッチングにより  
バッファ遅延を時間平均化



# 提案型DPWM発生回路の各部の動作と役割



ダイナミック・エレメント・マッチング回路 (**DEM**回路)

同じデジタル入力でも、あるタイミングで発振開始とカウンタクロックの選択位置をダイナミックに変更

ダイナミック・マッチング

**DEM**の出力  $a_0, a_1$  の値 (**0, 1**) は **CLKin** によってランダムに決まる

**DEMUX, リング発振回路, decoder, 論理回路, MUX1**

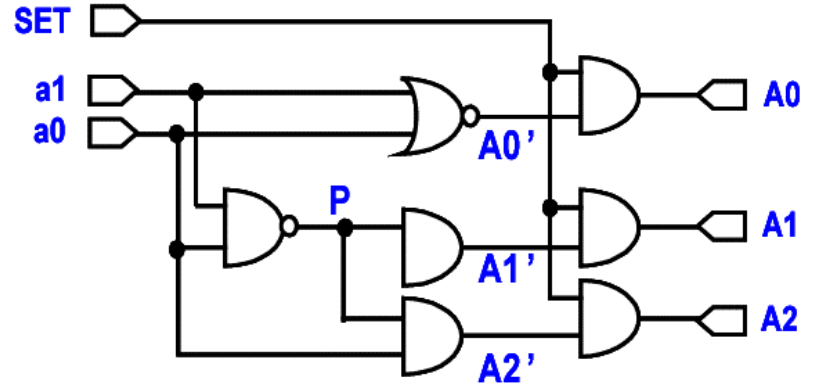
バッファ遅延ばらつきを時間平均化



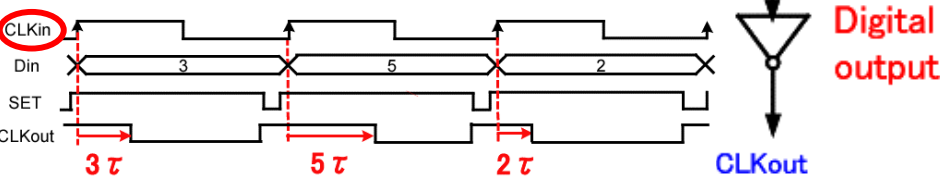
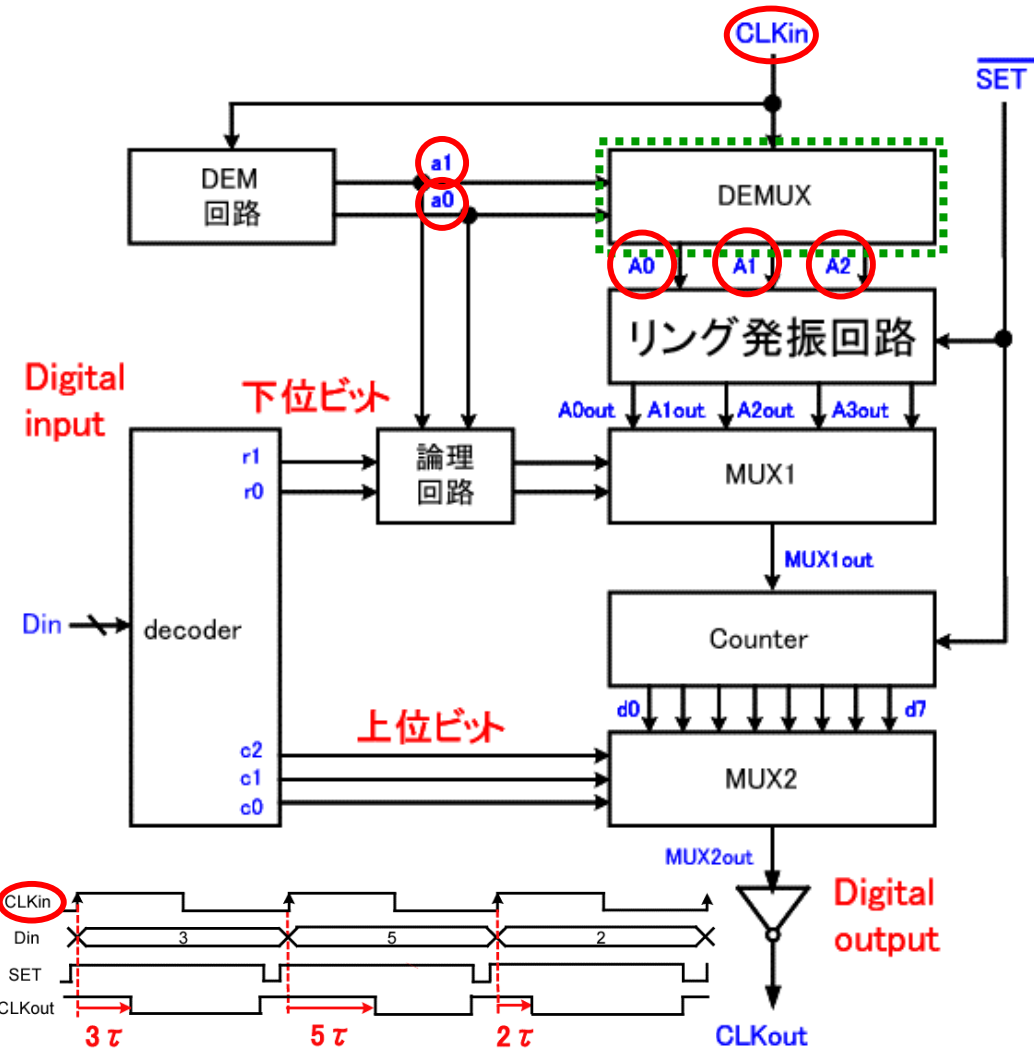
# 提案型DPWM発生回路の各部の動作と役割

## デマルチプレクサ (DEMUX)

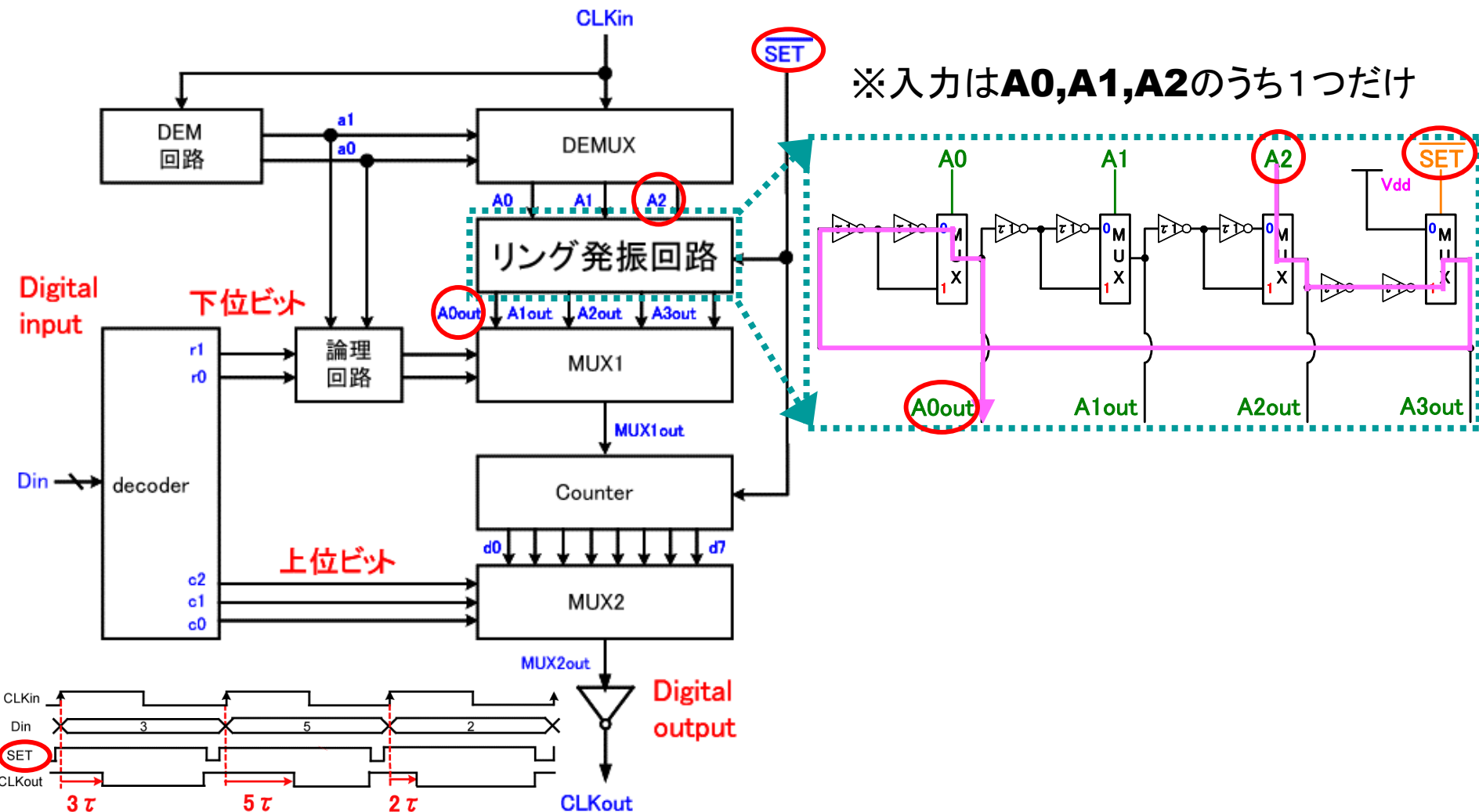
DEMからのa0,a1のデジタル出力信号を受けて、CLKinの出力先(A0,A1,A2)を決定して出力する



a1	a0	A2	A1	A0
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	0



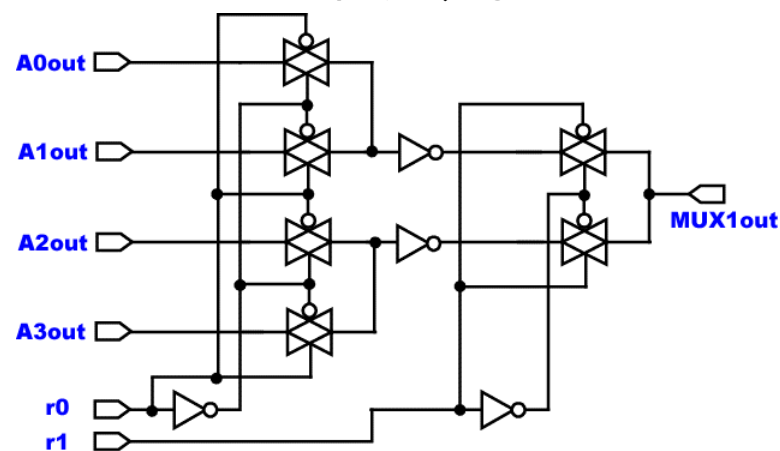
# 提案型DPWM発生回路の各部の動作と役割



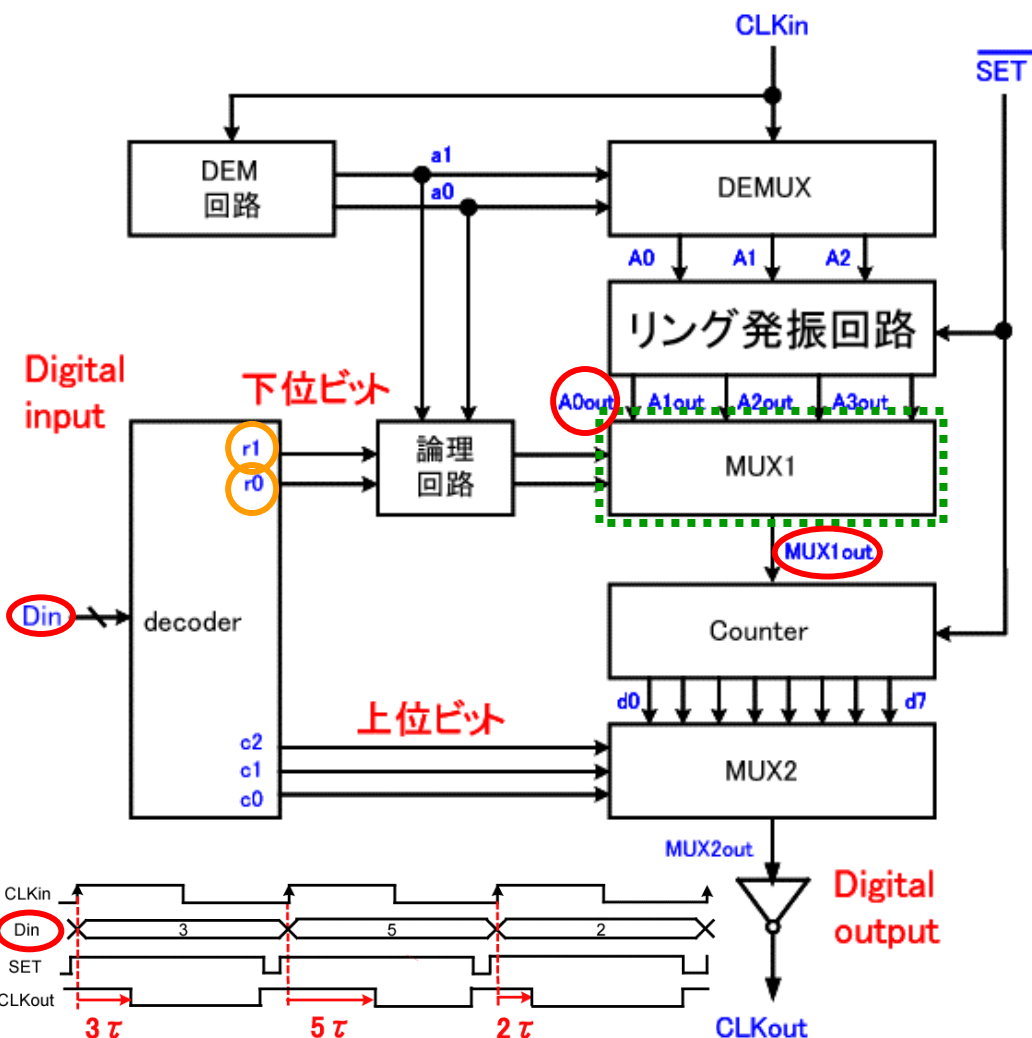
# 提案型DPWM発生回路の各部の動作と役割

## マルチプレクサ1 (MUX1)

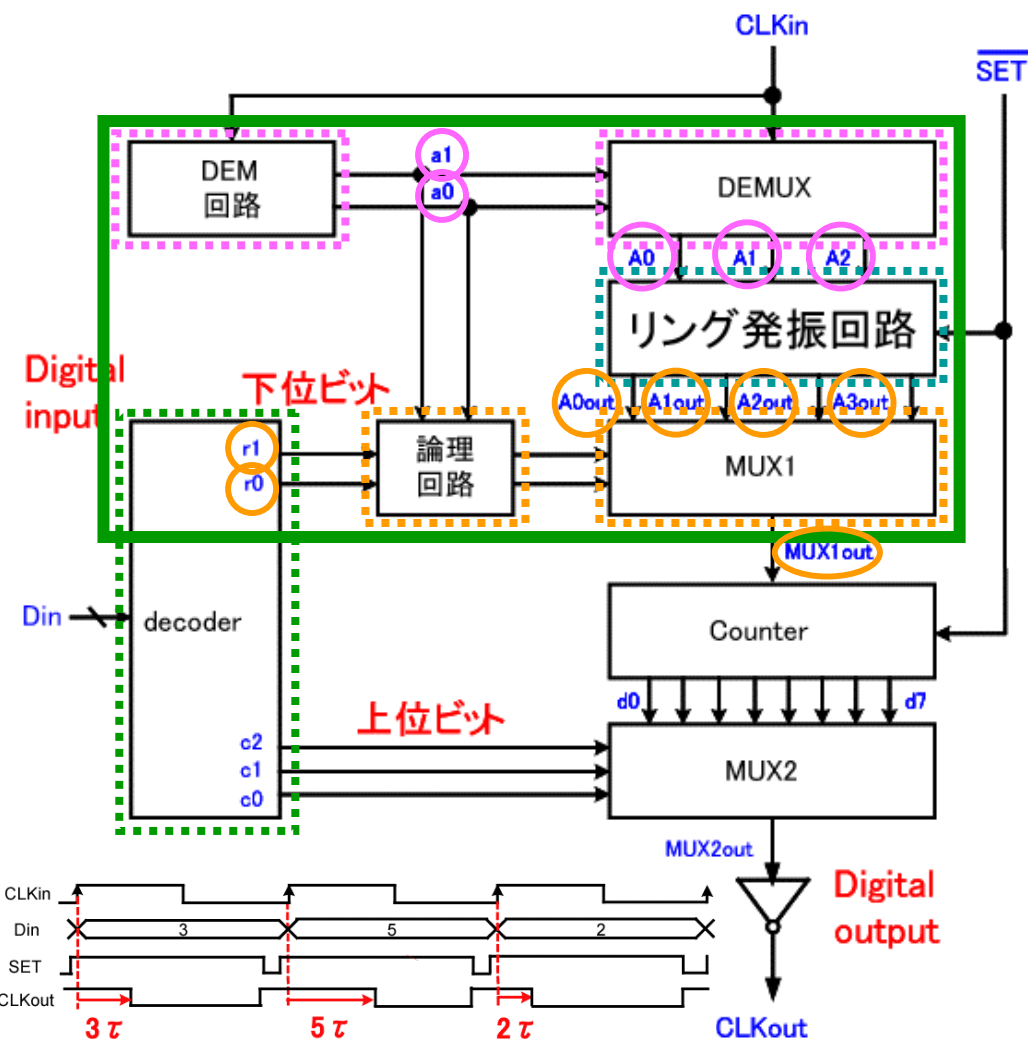
リング発振回路出力 (**A0out**~**A3out**) から選択し、カウンタへのクロック信号を **MUX1out** として出力する



r1	r0	MUX1out
0	0	A0out
0	1	A1out
1	0	A2out
1	1	A3out



# 提案型DPWM発生回路の各部の動作と役割



## 上段部(デコーダの下位ビット部)

DEM回路の出力( $a_0, a_1$ )

↓  
リング発振器の入力(**DEMUX**の出力)  
( **$A_0, A_1, A_2$** ) 選択

デコーダの下位ビット( $r_0, r_1$ )

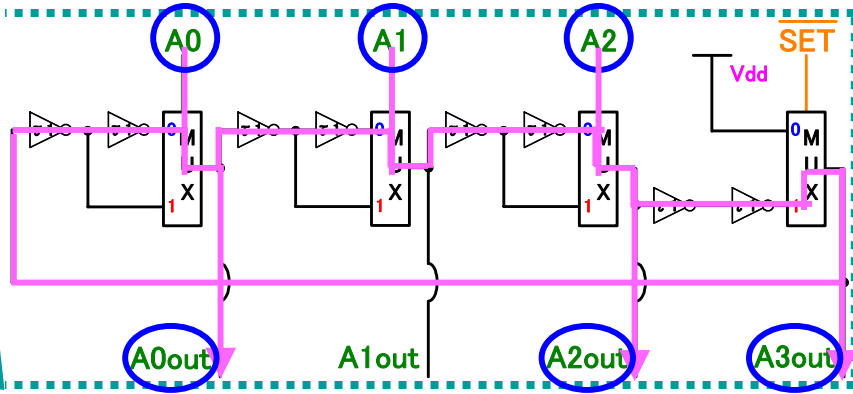
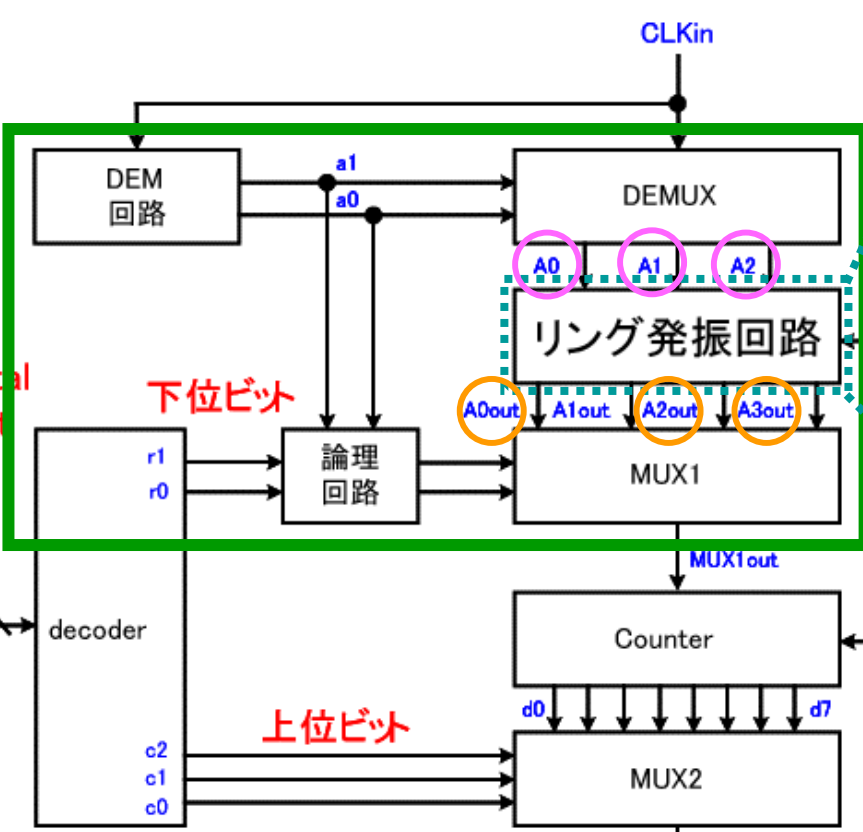
↓  
リング発振器の出力(**MUX1**の出力)  
( **$A_0out, A_1out, A_2out, A_3out$** ) 選択

**$A_0, A_1, A_2$**  + バッファの数( $2 \times$ )

デジタル入力	$r_1$	$r_0$	バッファ数
0	0	0	0
1	0	1	2
2	1	0	4
3	1	1	6

# 提案型DPWM発生回路の各部の動作と役割

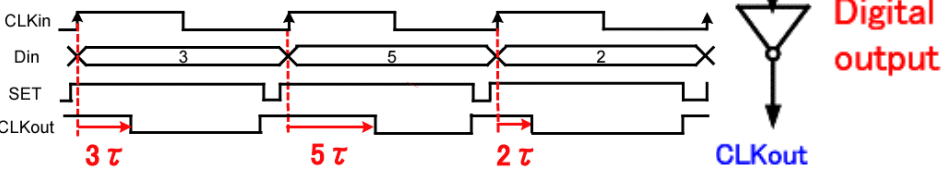
上段部(デコーダの下位ビット部)



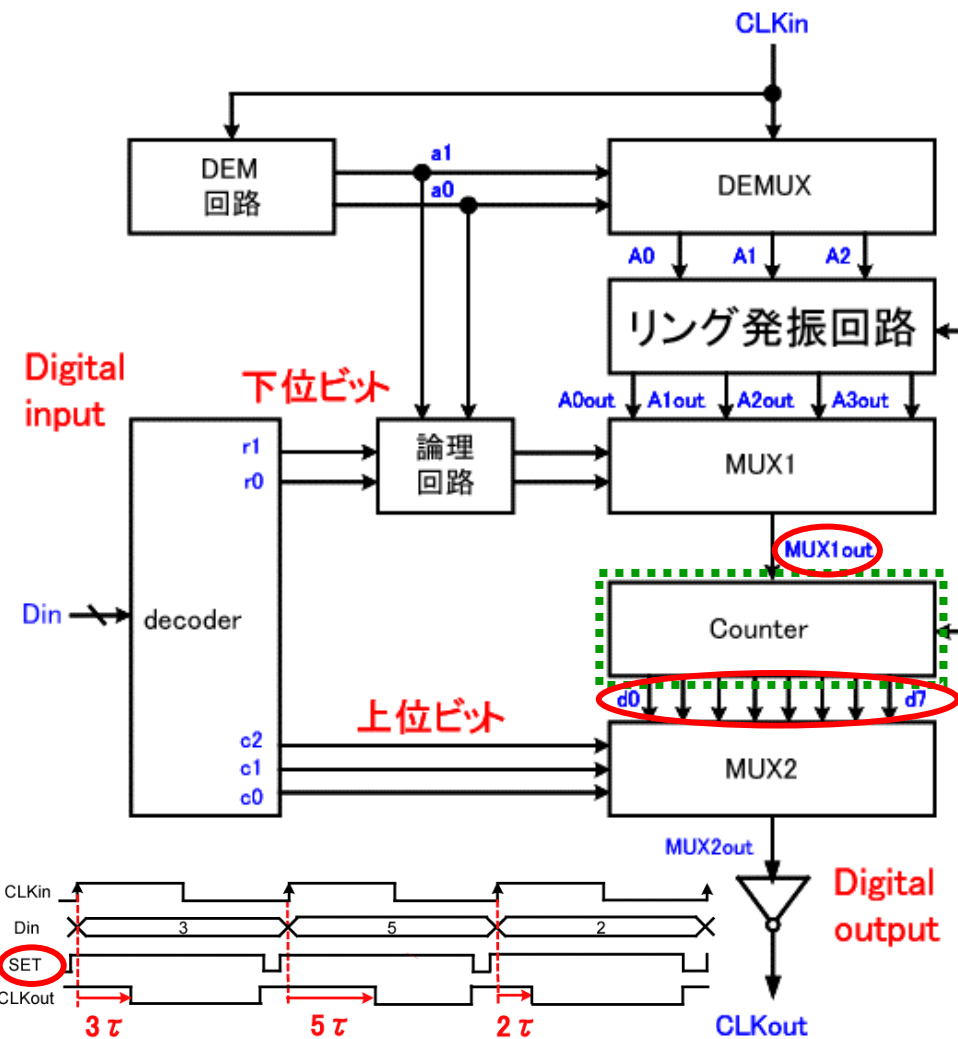
A0 → A2out  
 A1 → A3out  
 A2 → A0out

A0, A1, A2 + バッファの数(2×)

デジタル入力	r1	r0	バッファ数
0	0	0	0
1	0	1	2
2	1	0	4
3	1	1	6

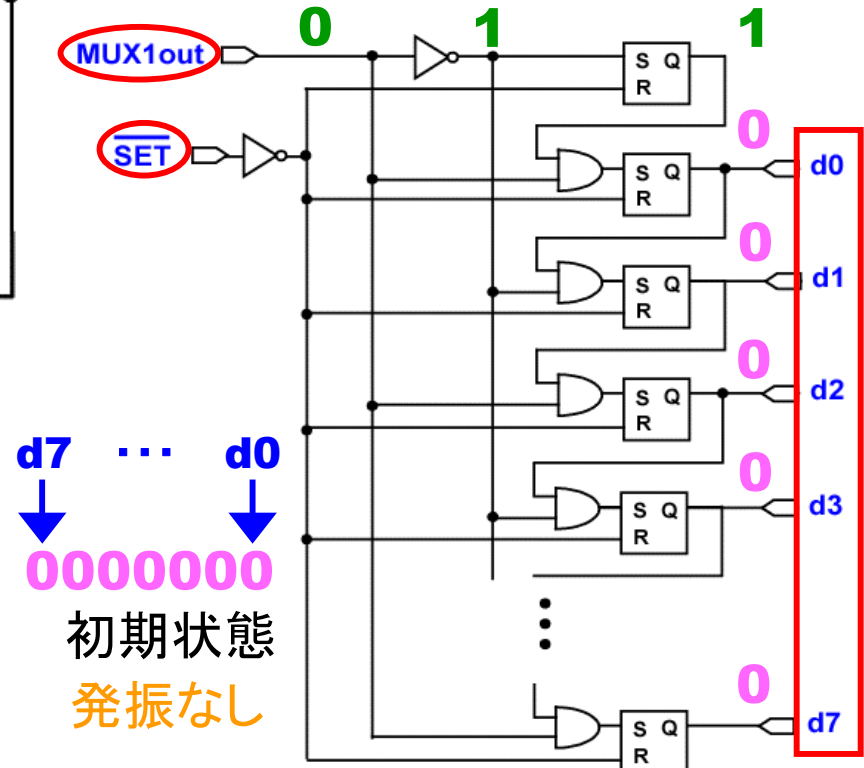


# 提案型DPWM発生回路の各部の動作と役割

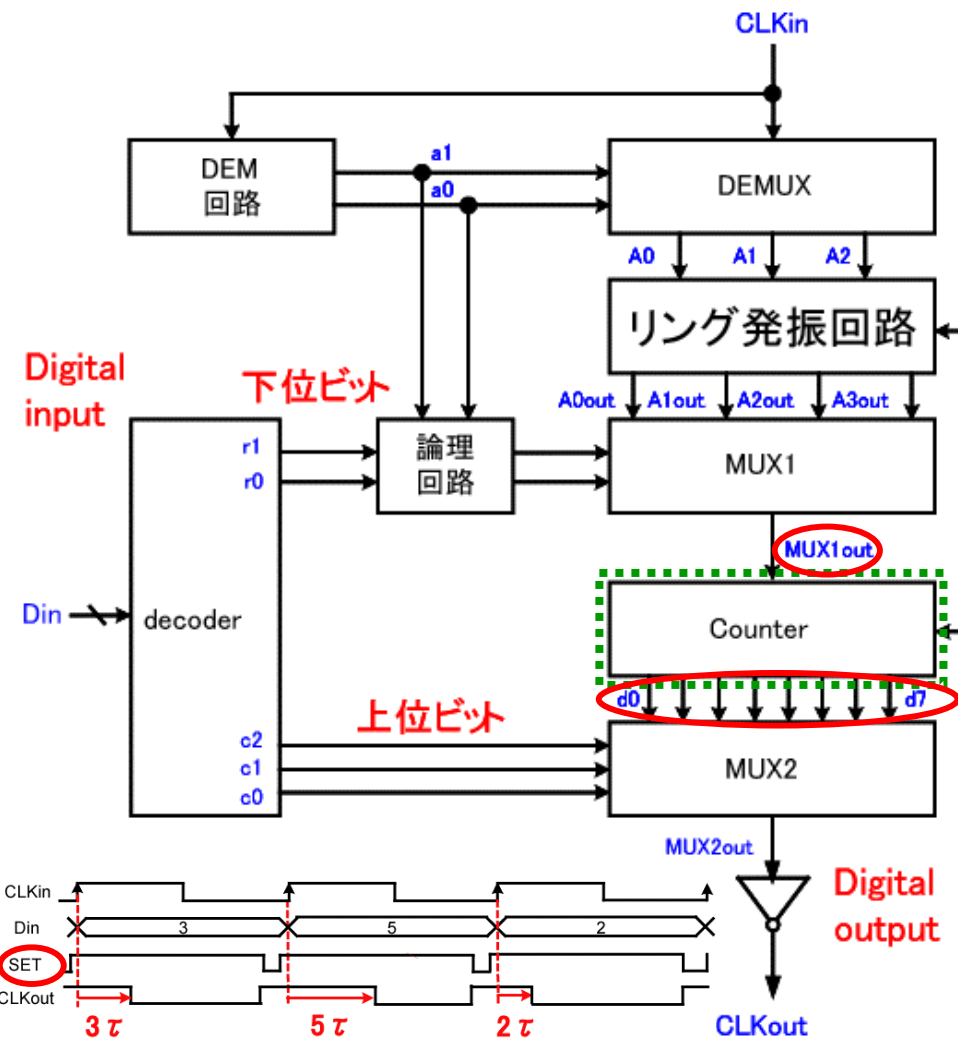


カウンタ

**MUX1**部からの出力信号  
(**MUX1out**)の**High,Low**の回数を  
をカウントする  
※キャリーの伝播なし ⇒ 高速動作

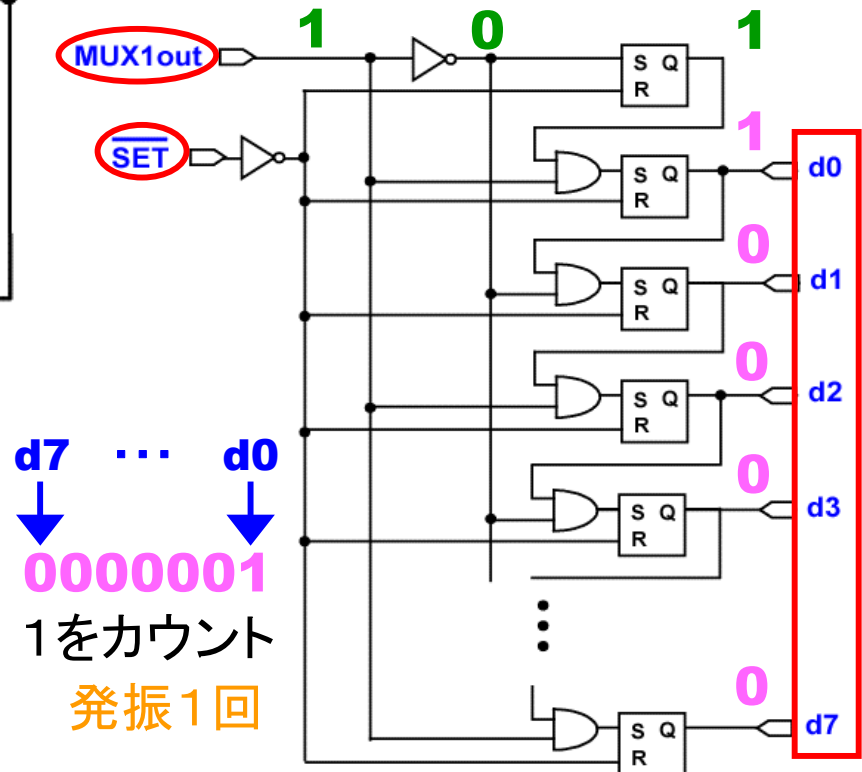


# 提案型DPWM発生回路の各部の動作と役割



## カウンタ

**MUX1**部からの出力信号  
(**MUX1out**)の**High,Low**の回数を  
をカウントする  
※キャリーの伝播なし ⇒ 高速動作

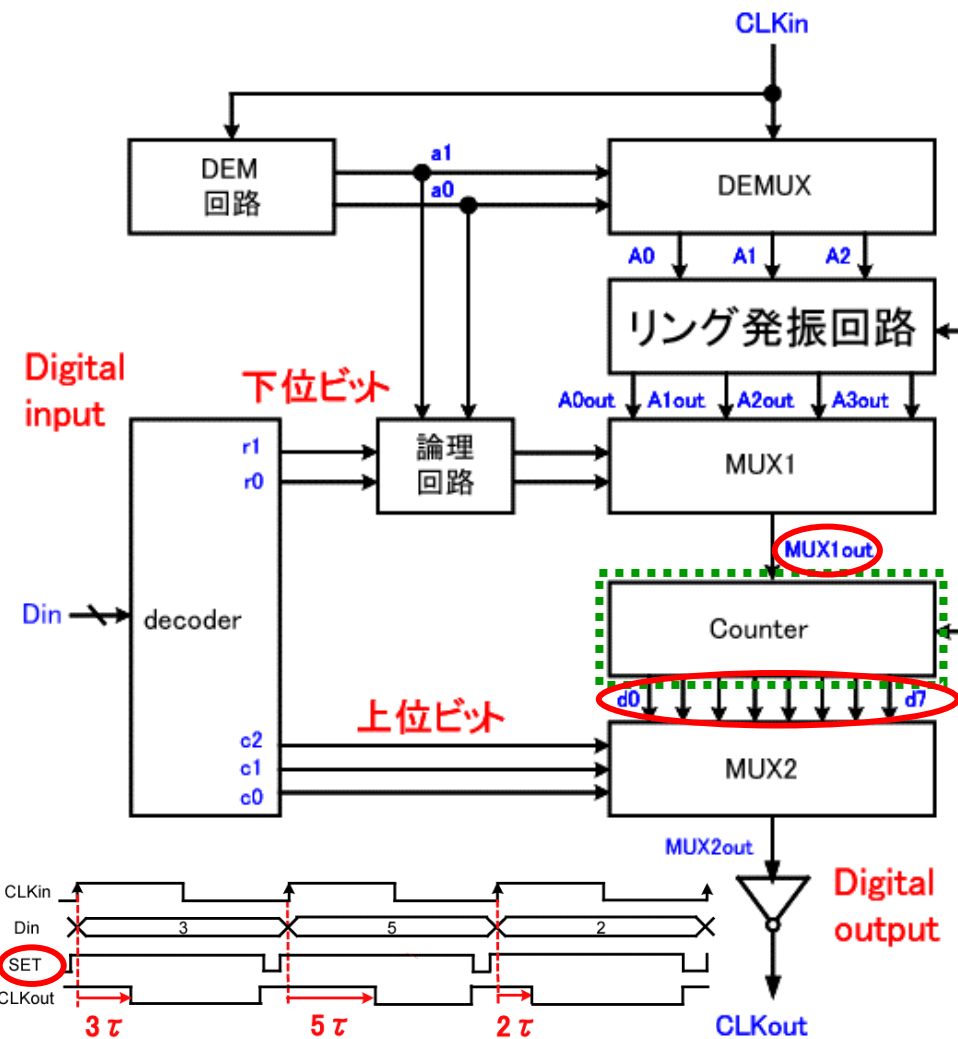


d7 ... d0  
0000001  
1をカウント  
発振1回



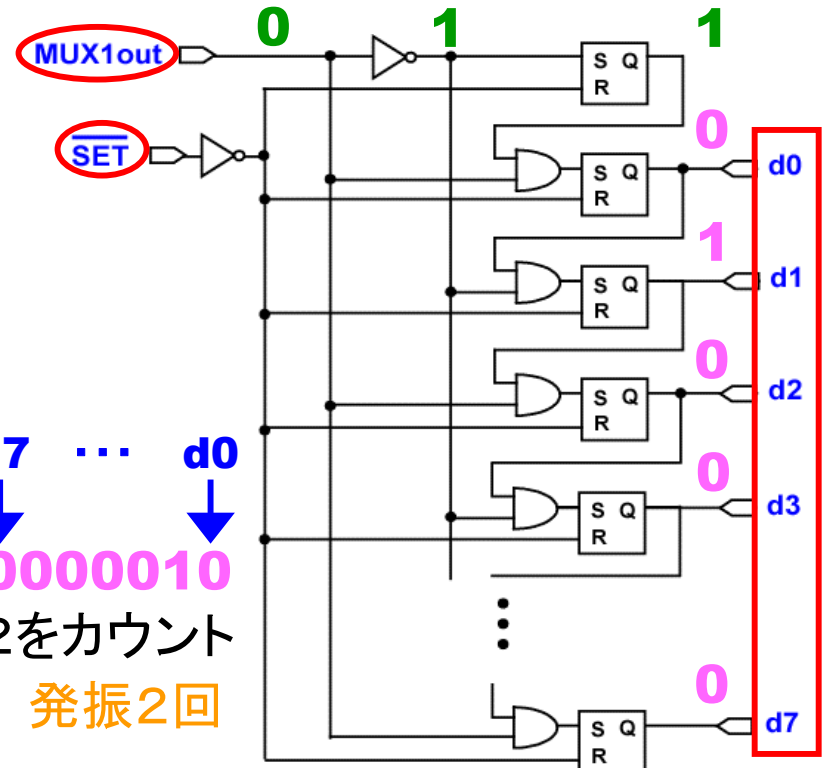


# 提案型DPWM発生回路の各部の動作と役割



## カウンタ

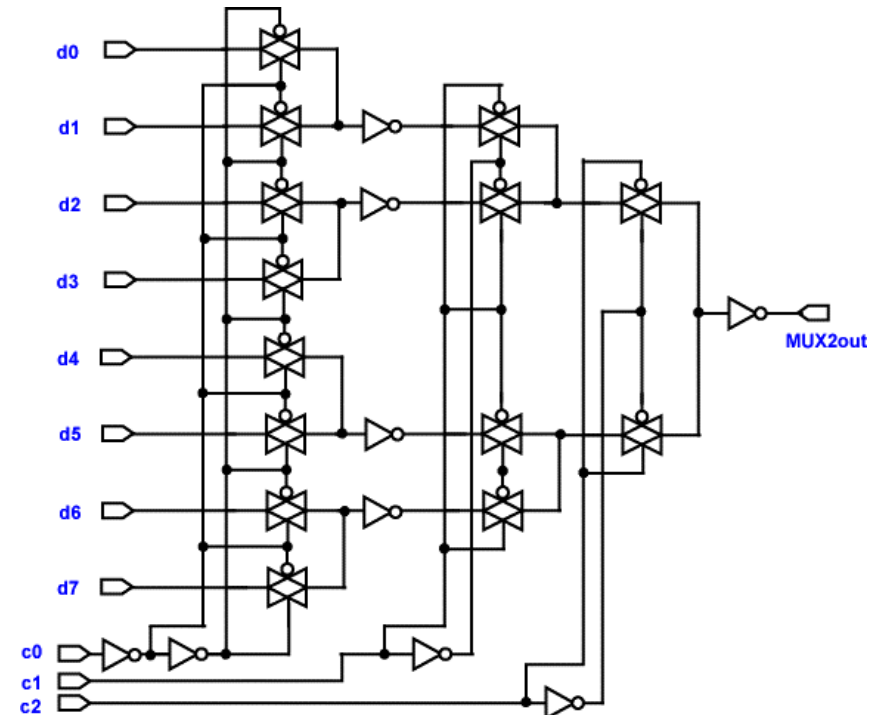
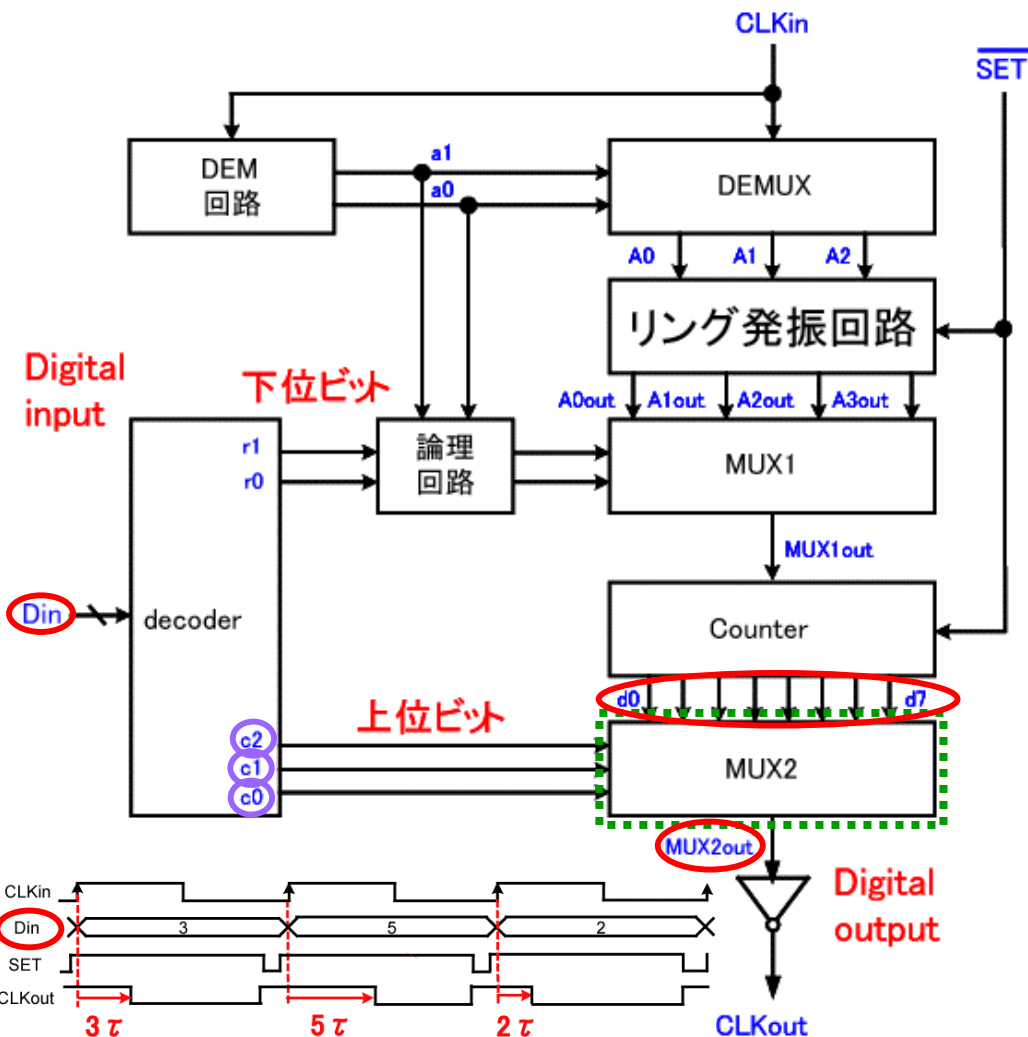
**MUX1**部からの出力信号  
(**MUX1out**)の**High,Low**の回数を  
をカウントする  
※キャリーの伝播なし ⇒ 高速動作



# 提案型DPWM発生回路の各部の動作と役割

## マルチプレクサ2 (MUX2)

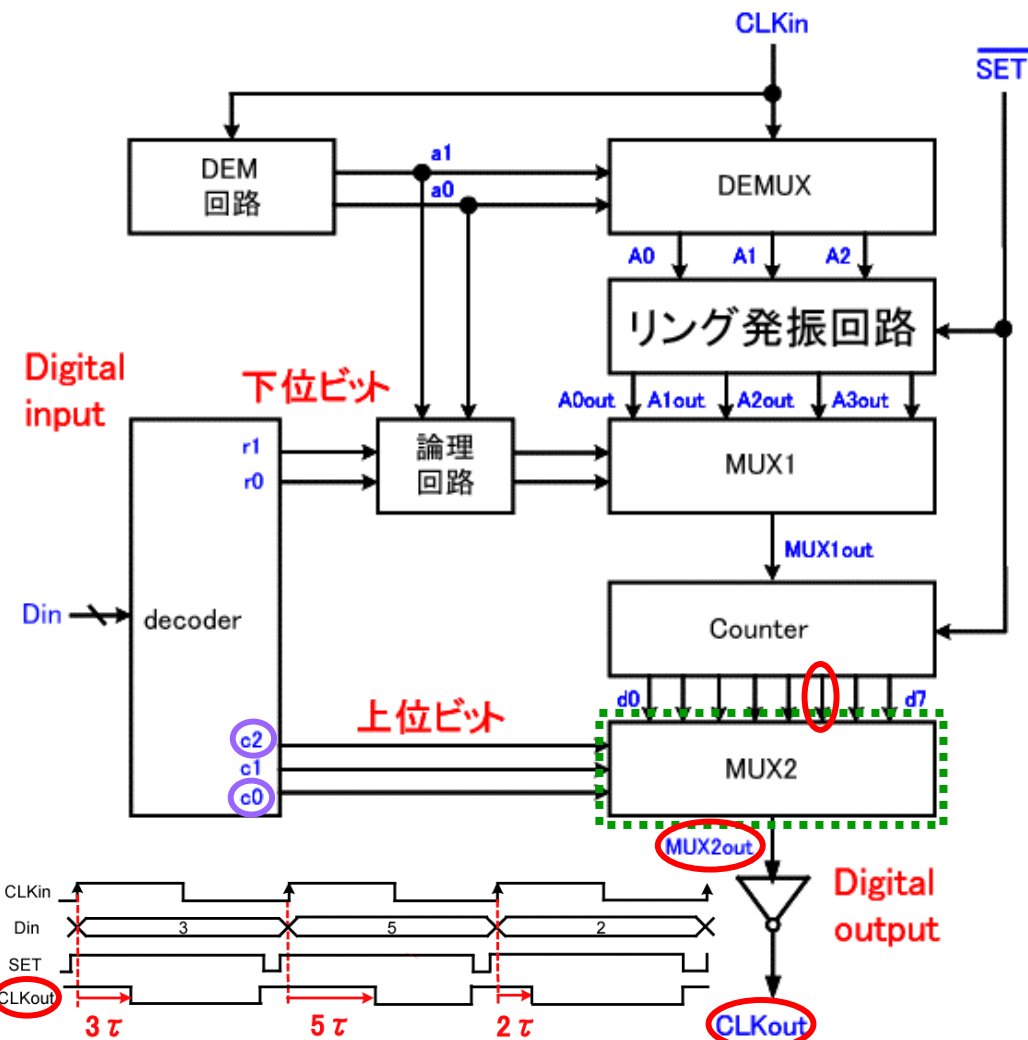
デジタル入力信号(上位ビット)で与えられた値に達するまでカウンタを動作させてその間に**High**の**CLKout**信号(**DPWM**信号)を発生する



# 提案型DPWM発生回路の各部の動作と役割

## マルチプレクサ2 (MUX2)

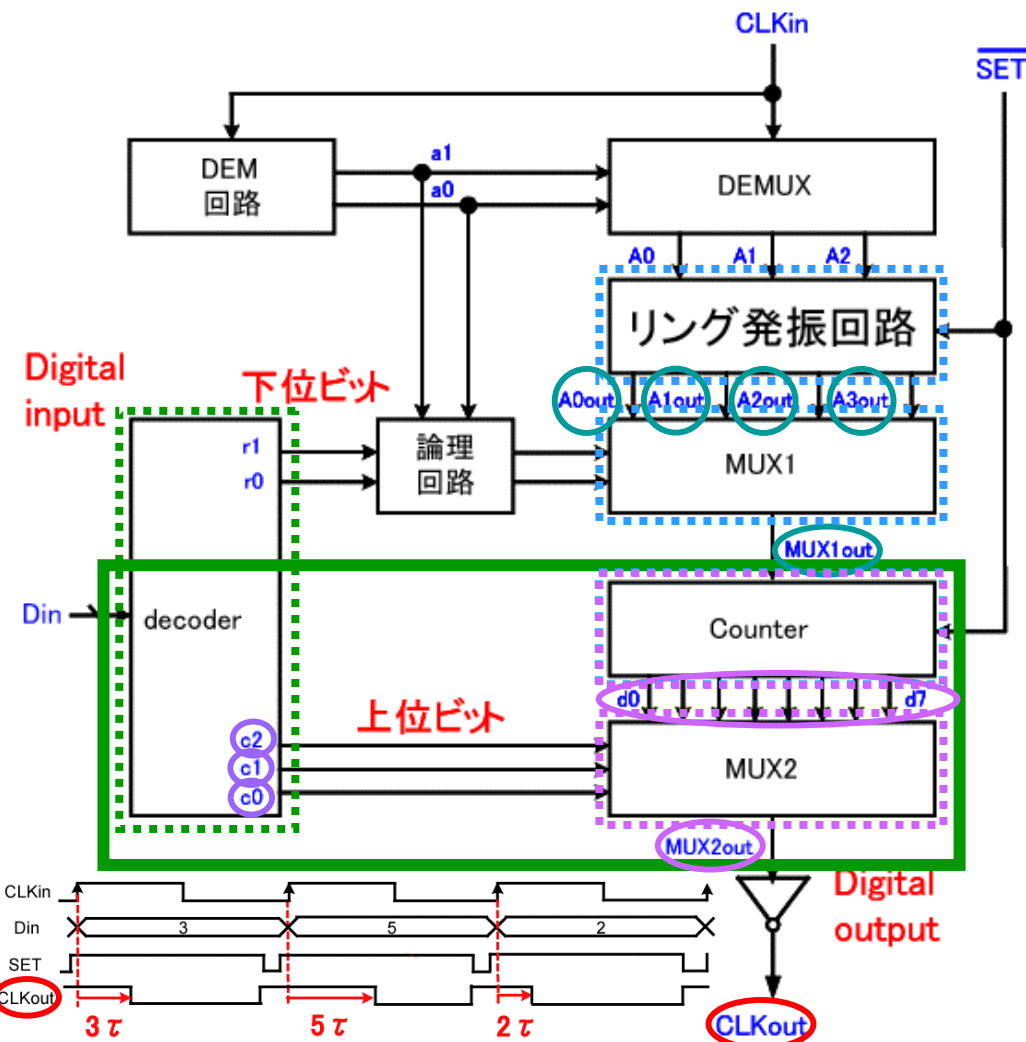
デジタル入力信号(上位ビット)で与えられた値に達するまでカウンタを動作させてその間に**High**の**CLKout**信号(**DPWM**信号)を発生する



c2	c1	c0	MUX2out
0	0	0	d0
0	0	1	d1
0	1	0	d2
0	1	1	d3
1	0	0	d4
1	0	1	d5
1	1	0	d6
1	1	1	d7



# 提案型DPWM発生回路の各部の動作と役割



## 下段部(デコーダの上位ビット部)

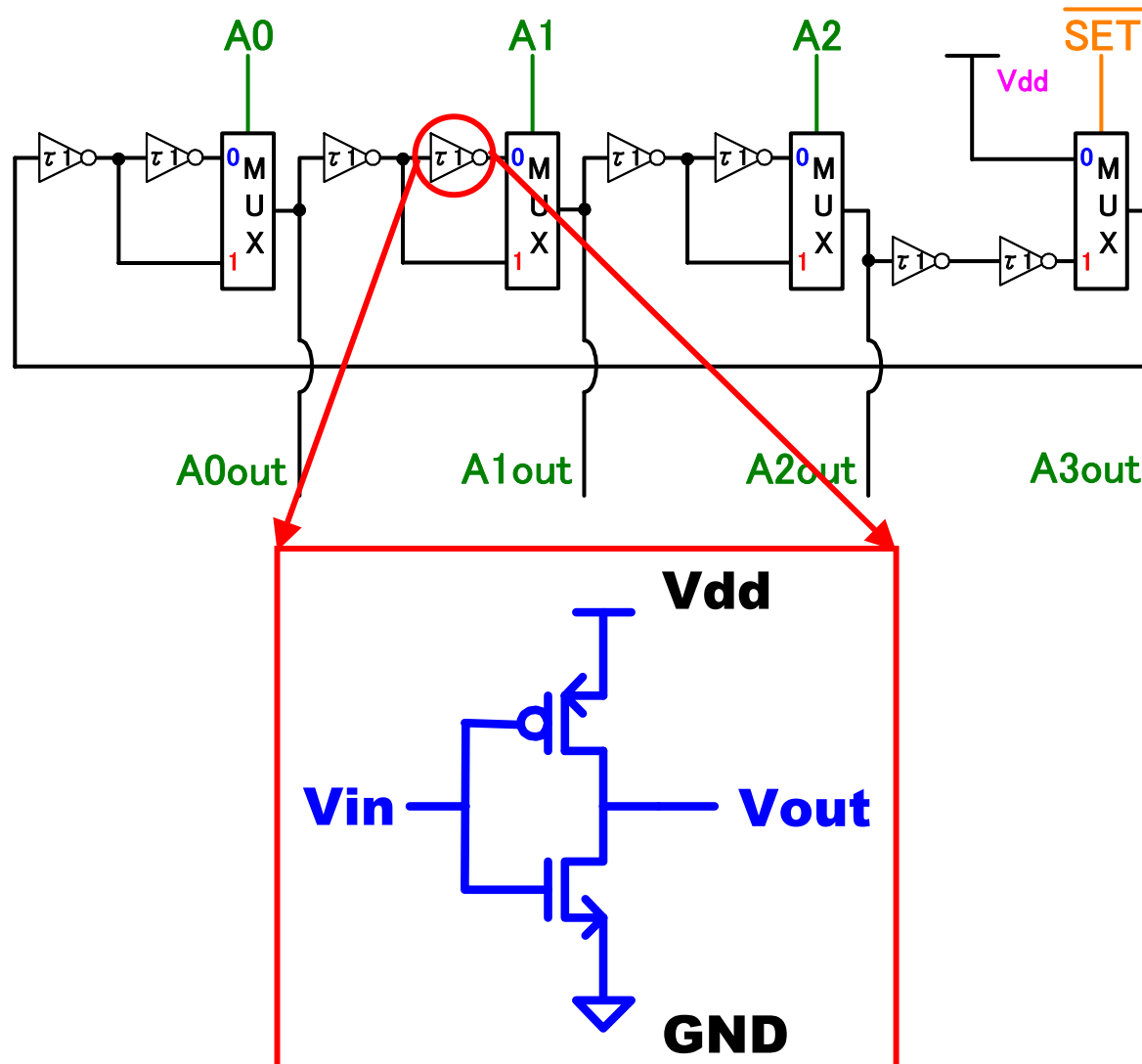
リング発振器の出力(**MUX1**の出力)  
(**A0out,A1out,A2out,A3out**)選択

↓  
カウンタで発振回数をカウント

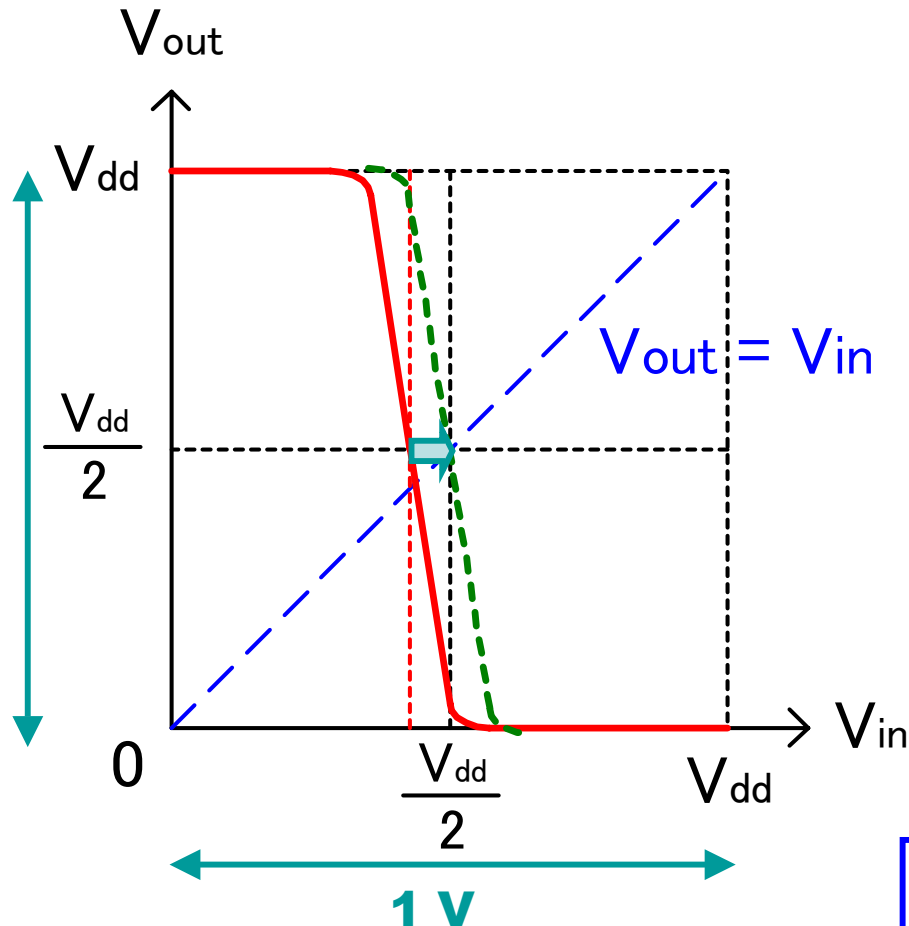
デコーダの上位ビット(**c0,c1,c2**)

↓  
カウンタの出力(**MUX2**の出力)  
(**d0,d1,d2,d3,d4,d5,d6,d7**)選択

# バッファ(インバータ)の回路構成



# インバータのDC解析によるMOSのサイズの決定



PMOS

$W: 2\mu m \rightarrow 9\mu m$

$L: 0.18\mu m$

finger数: 1

NMOS

$W: 2\mu m$

$L: 0.18\mu m$

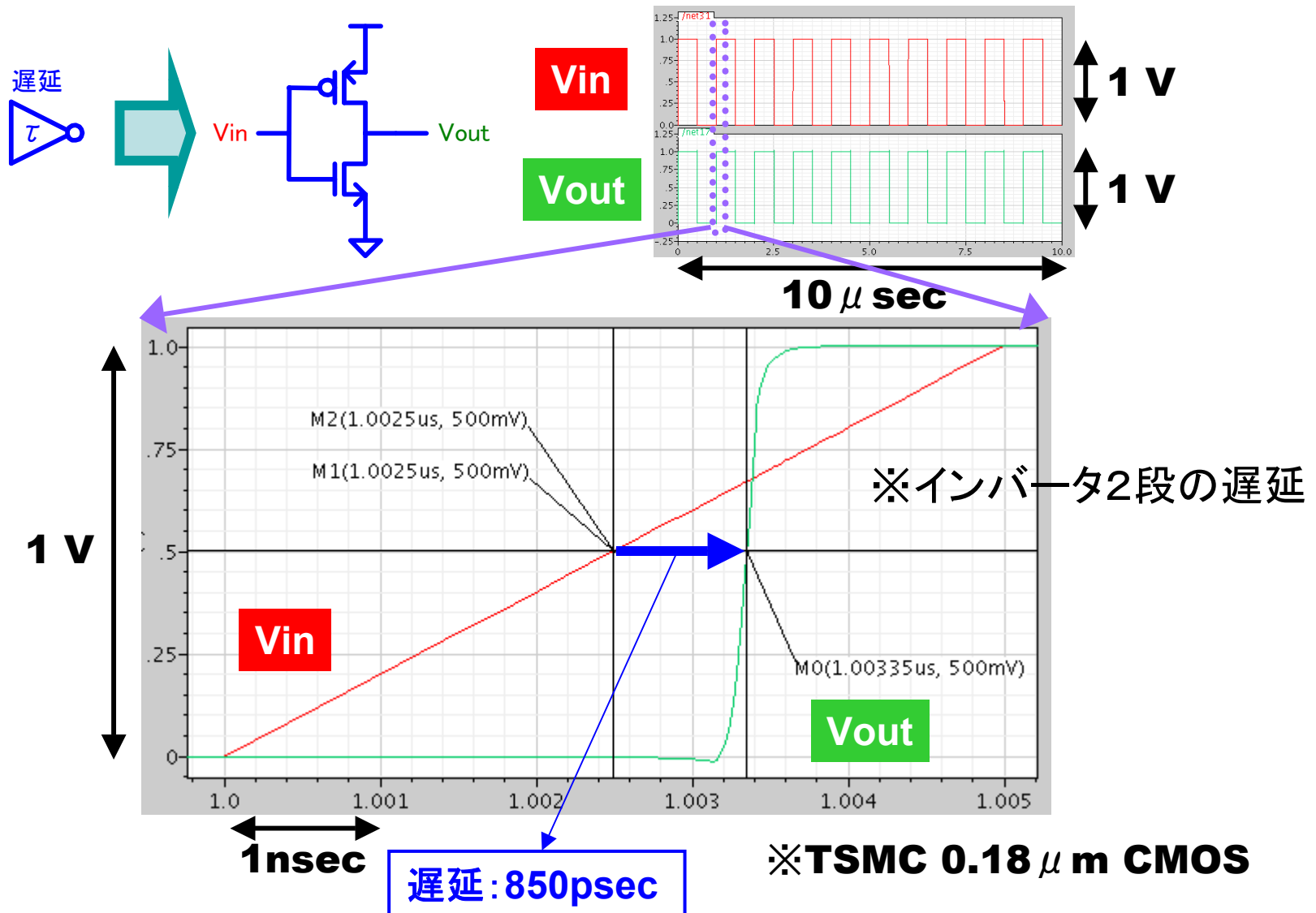
finger数: 1



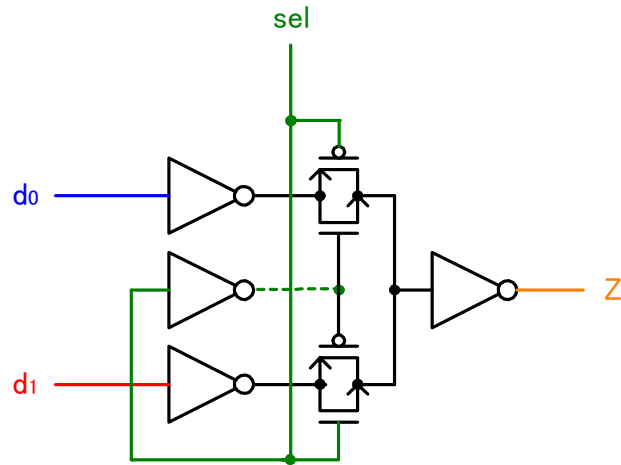
$V_{in}: 455.1mV \rightarrow 500.0mV$

$V_{out}: 500.0mV$

# TR解析によるインバータの遅延の測定



# 2入力MUXの回路構成と動作

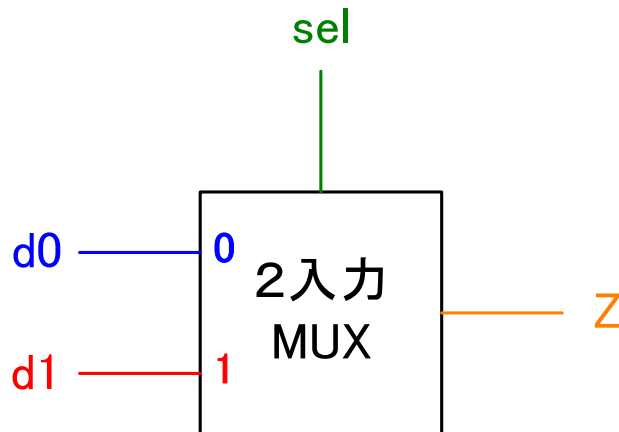


d0 0 1 0 1 0 1 0 1 0 1 0 1

d1 0 0 1 0 0 1 0 0 1 0 0 1

sel 0 1 0 1 0 1

Z 0 1 1 0 0 1 0 0 0 1 0 1

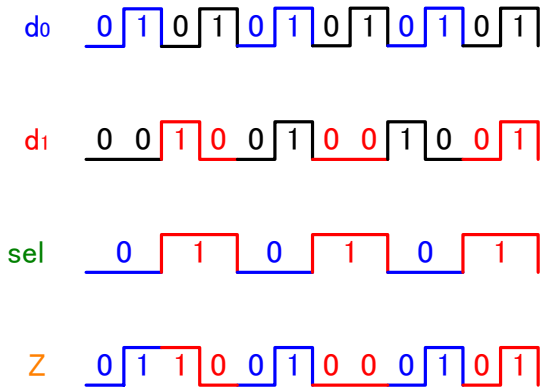
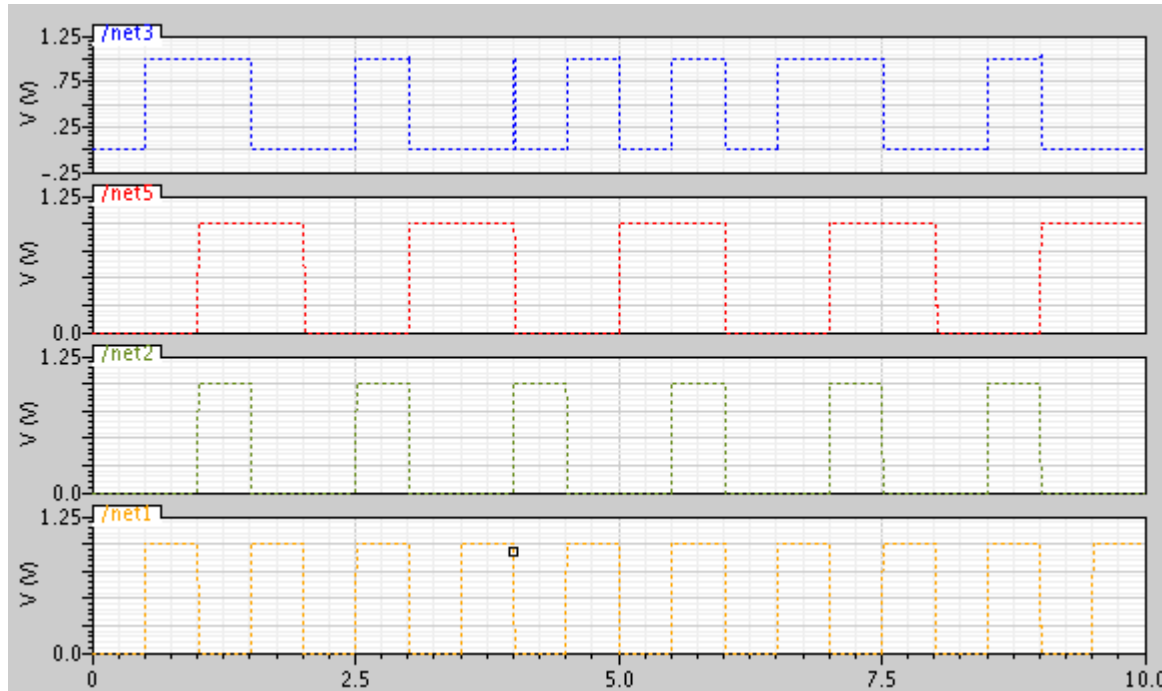


sel	Z
0	d0
1	d1

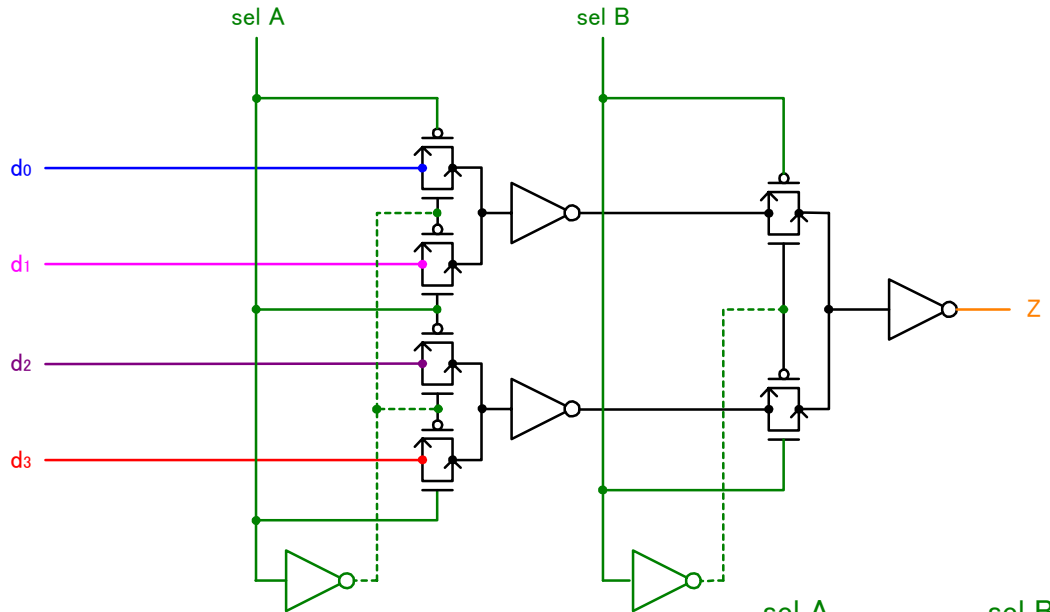


# 2入力MUXのTR解析によるクロックの変化

※TSMC 0.18  $\mu\text{m}$  CMOS



# 4入力MUXの回路構成と動作



d0 0 1 0 1 0 1 0 1 0 1 0 1

d1 0 0 1 0 0 1 0 0 1 0 0 1

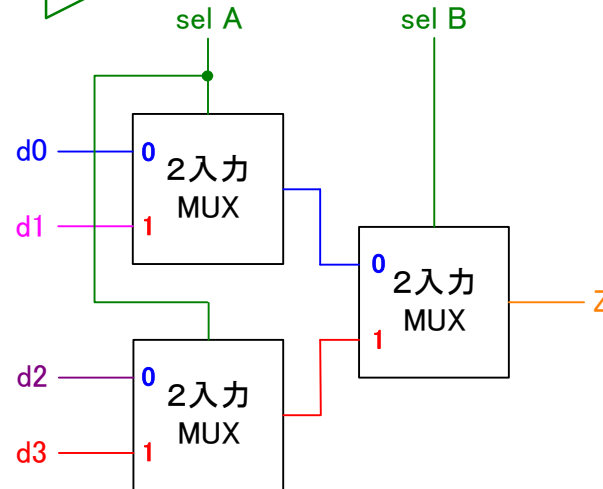
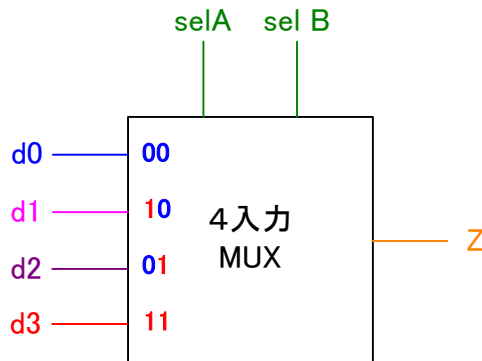
d2 0 1 1 0 1 1 0 1 1 0 1 1

d3 0 0 1 1 0 0 1 1 0 0 1 1

sel A 0 0 1 1 0 0 1 1 0 0 1 1

sel B 0 0 1 0 0 1 0 0 1 0 0 1

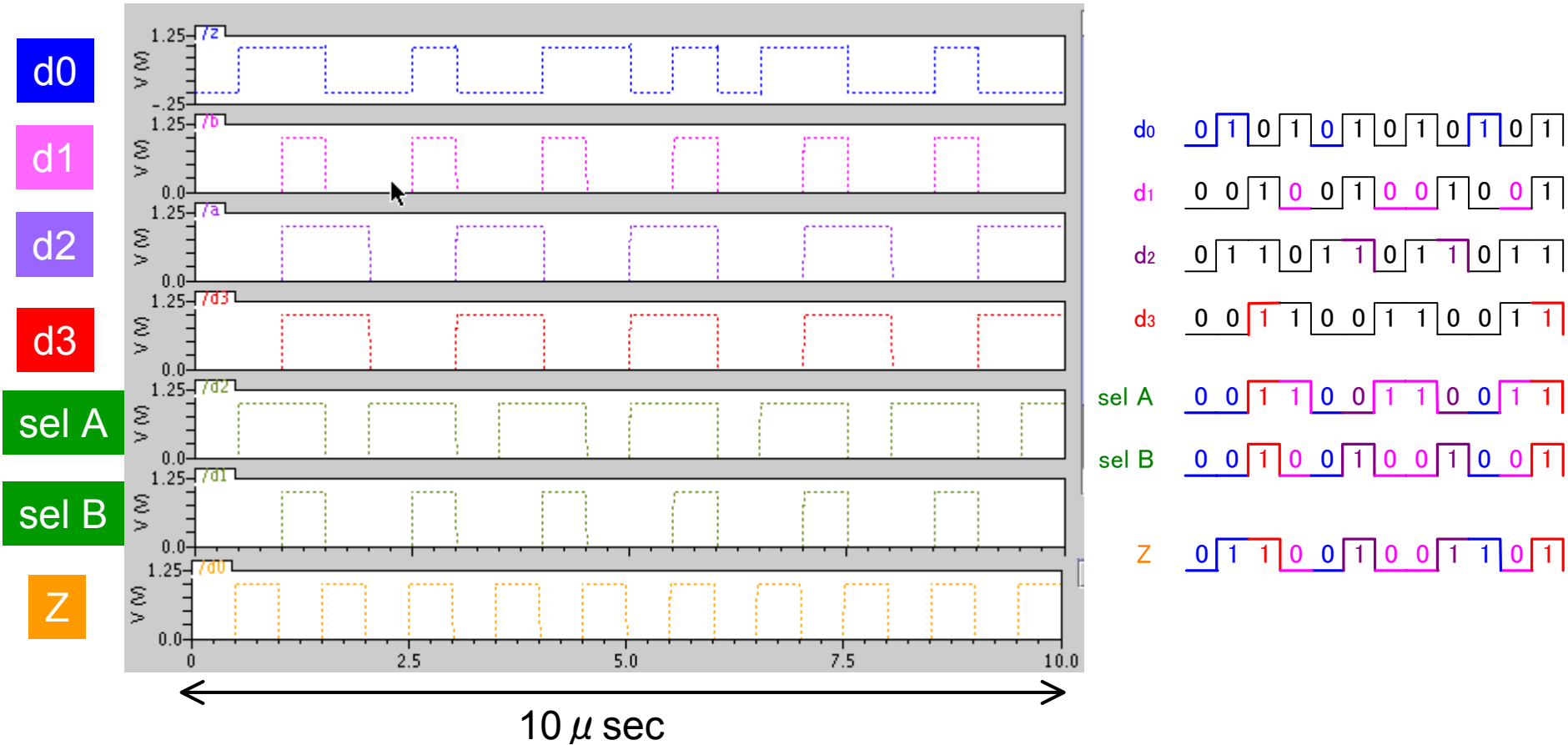
Z 0 1 1 0 0 1 0 0 1 1 0 1



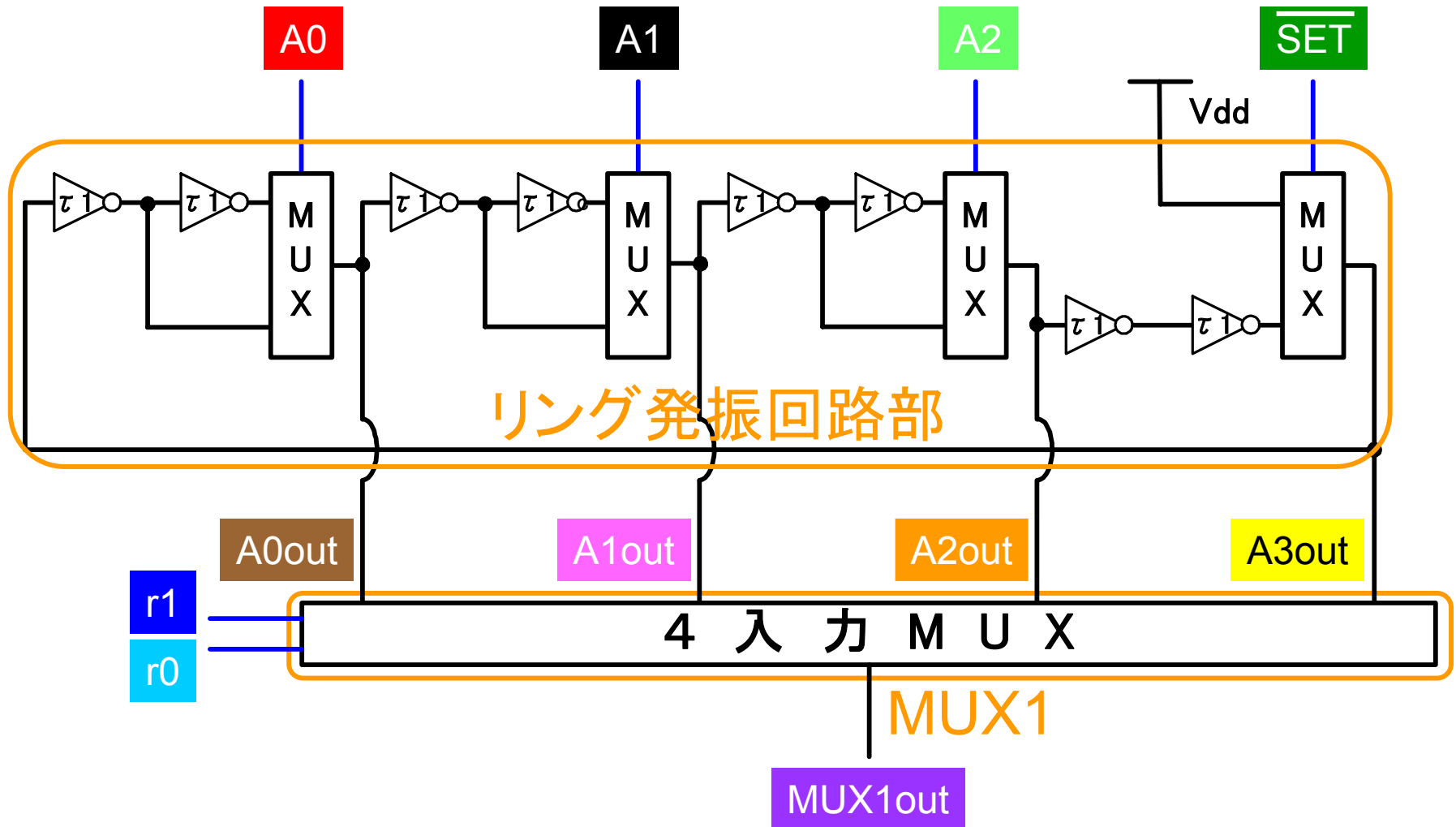
sel A	sel B	Z
0	0	d0
1	0	d1
0	1	d2
1	1	d3

# 4入力MUXのTR解析によるクロックの変化

※TSMC 0.18  $\mu\text{m}$  CMOS

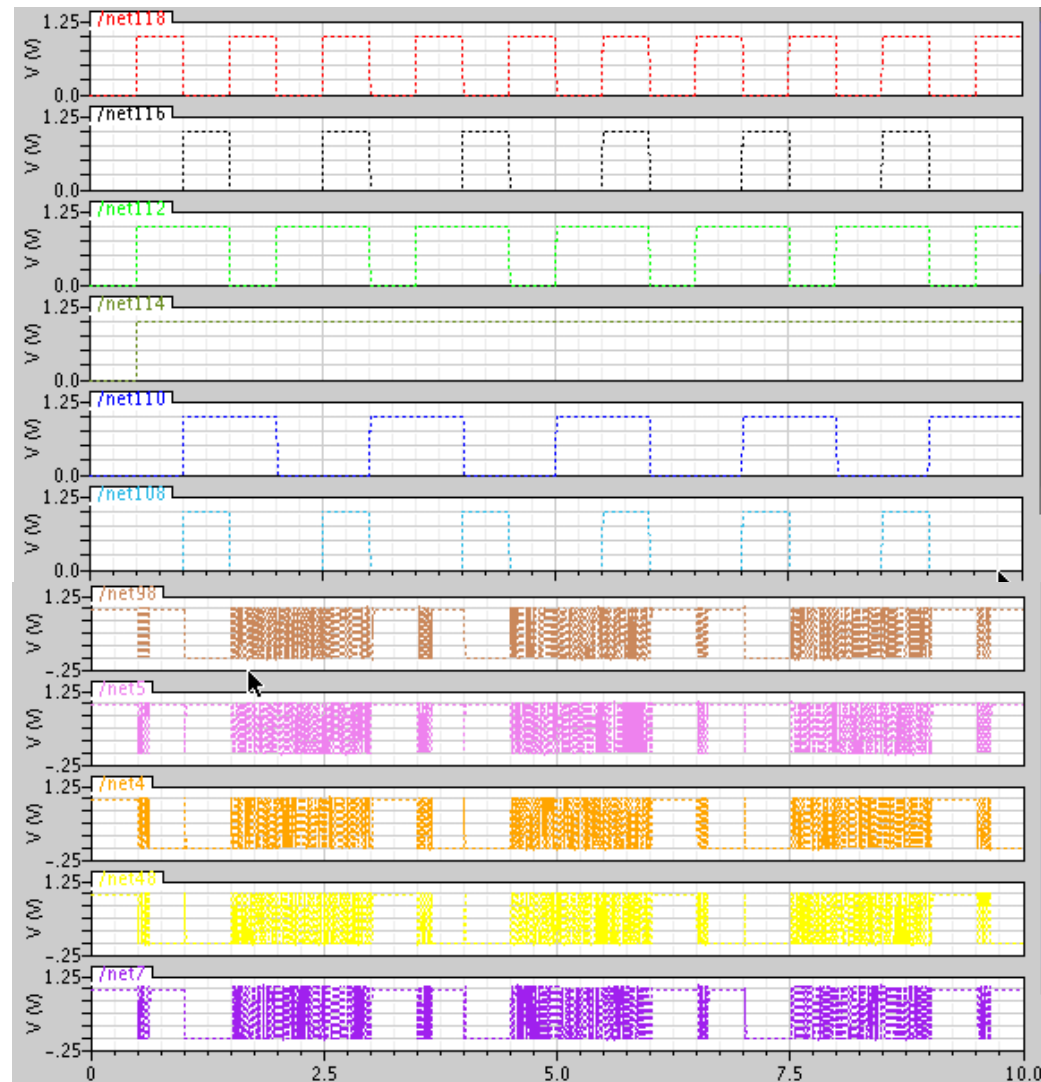
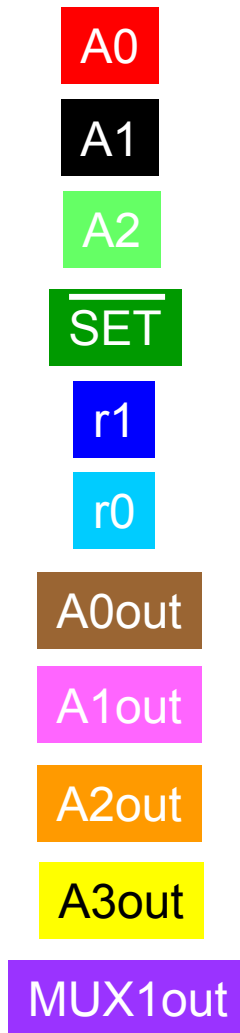


## リング発振回路部+MUX1の回路構成

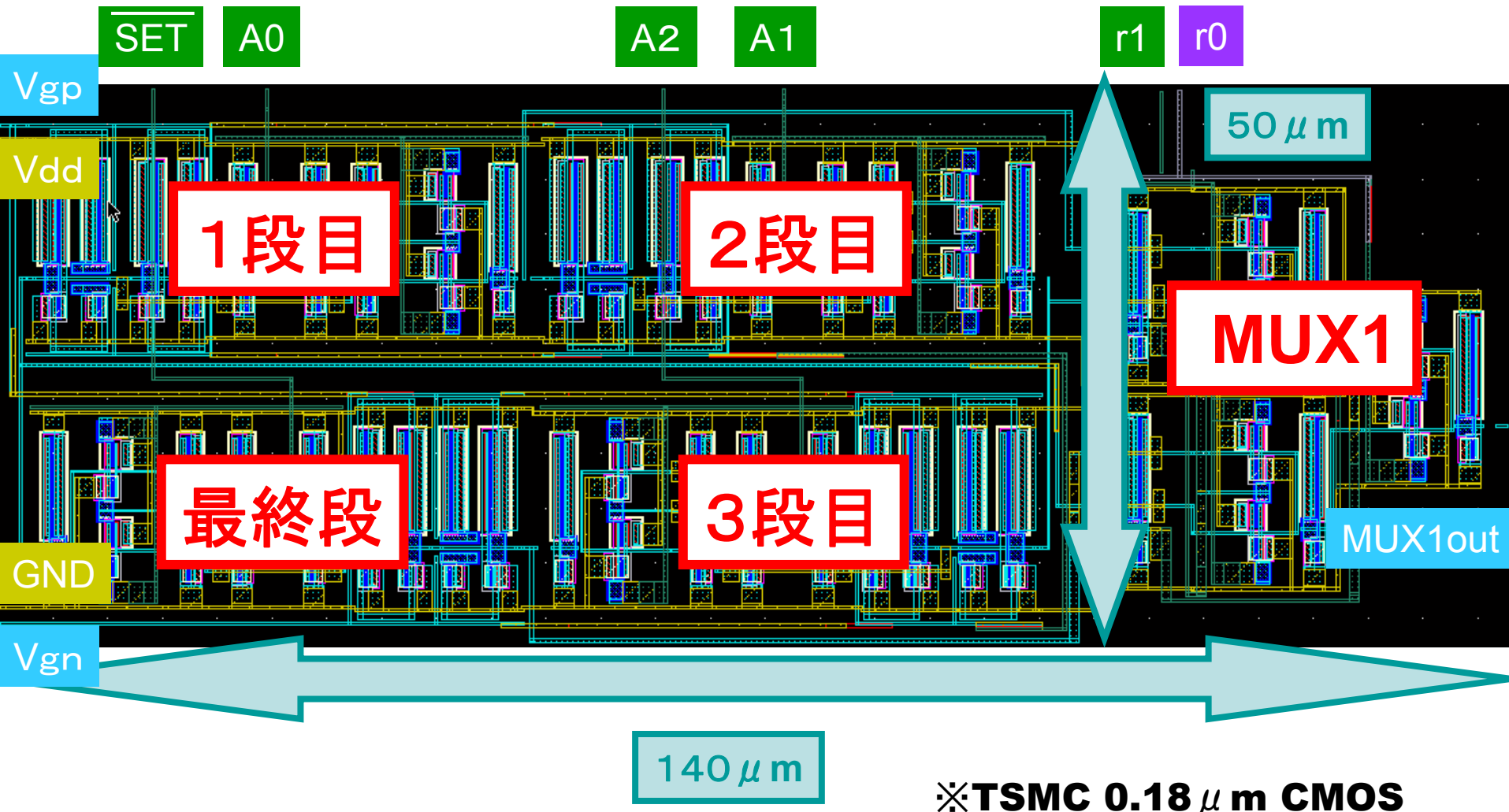


# リング発振回路部+MUX1のTR解析による クロックの変化

※TSMC 0.18  $\mu\text{m}$  CMOS



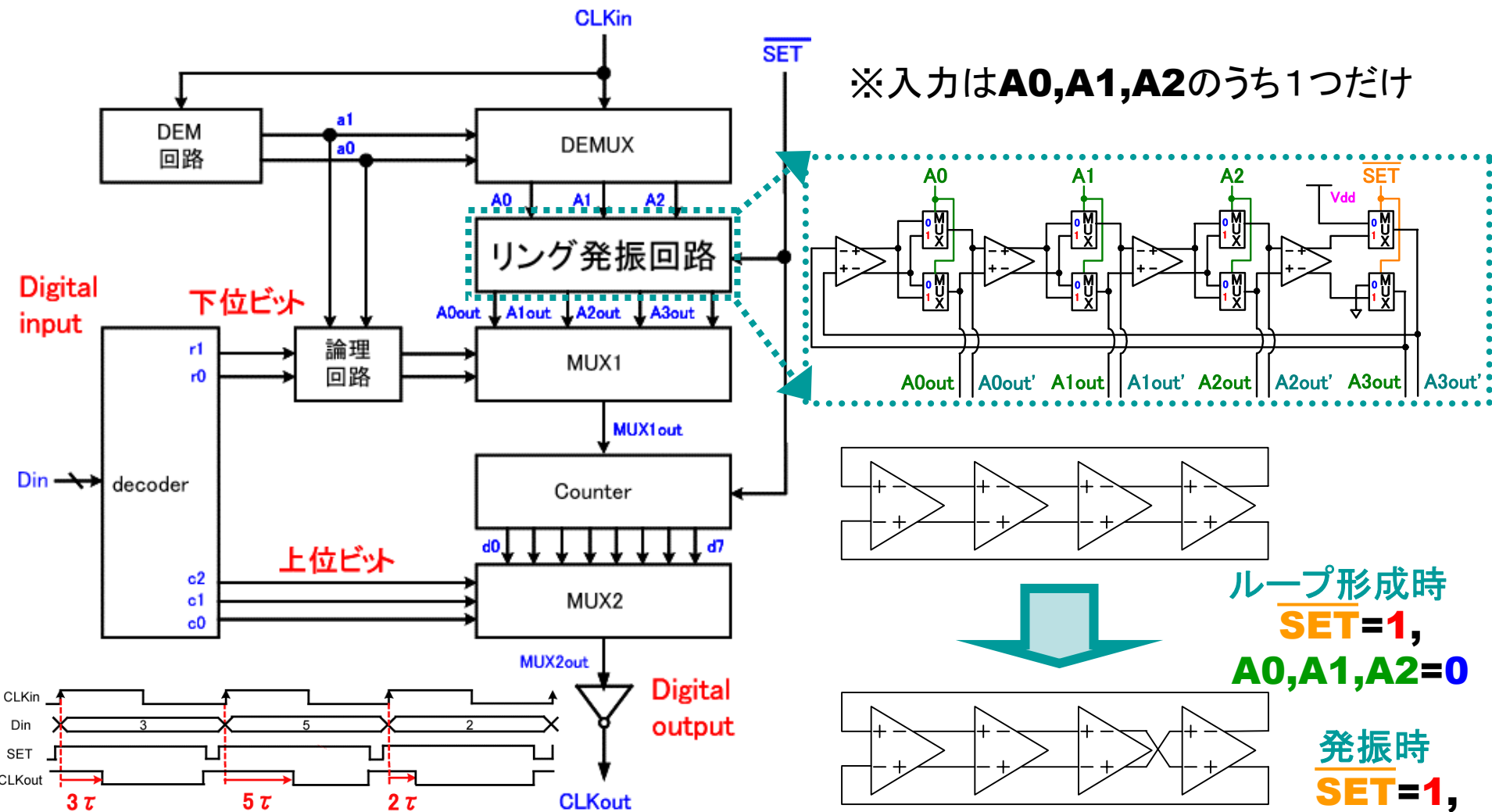
## レイアウト結果 (リング発振回路部+MUX1)

※TSMC 0.18  $\mu\text{m}$  CMOS

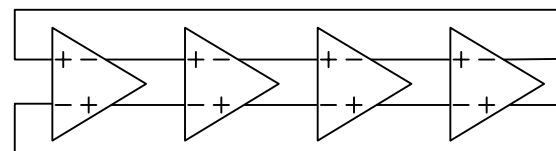
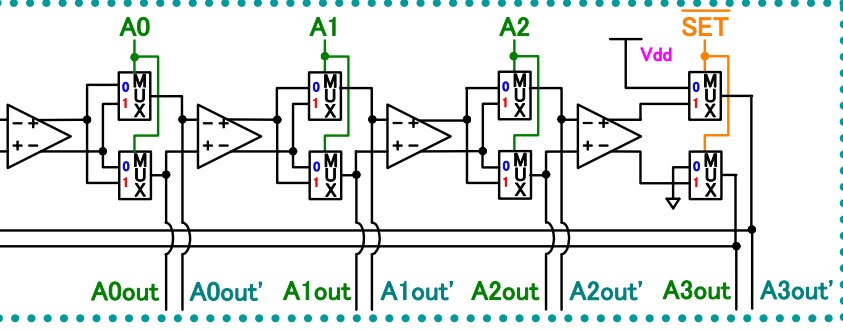
# 発表内容

- 研究背景・目的
- デジタル制御電源とDPWM発生回路
- 様々なタイプのDPWM発生回路の検討
- バッファ遅延のばらつきとダイナミックマッチング
- 提案するリング発振器を用いたDPWM発生回路
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題

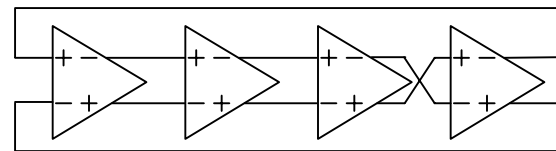
# リング発振回路部の回路構成



※入力は**A0,A1,A2**のうち1つだけ



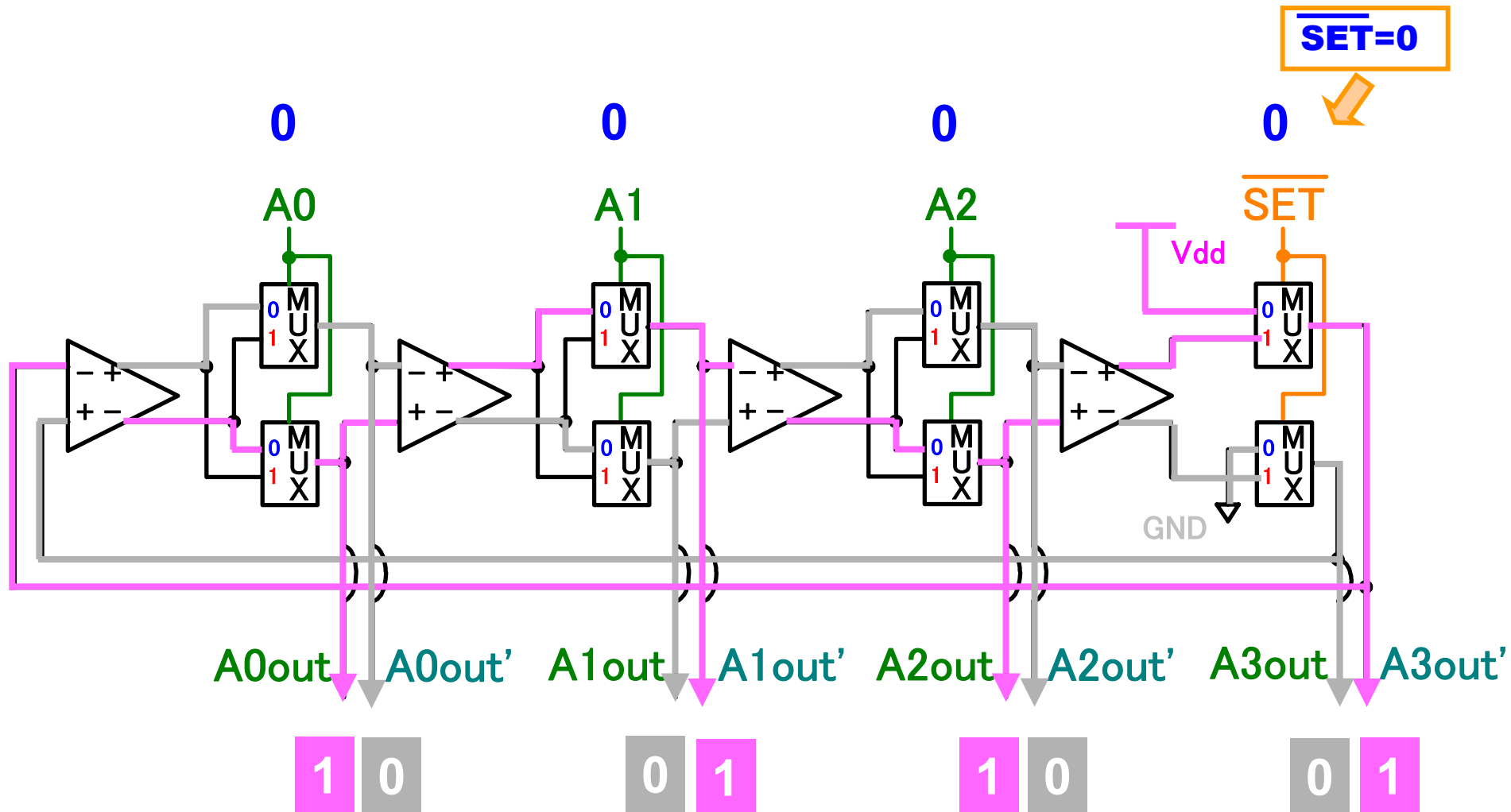
ループ形成時  
**SET=1,**  
**A0,A1,A2=0**



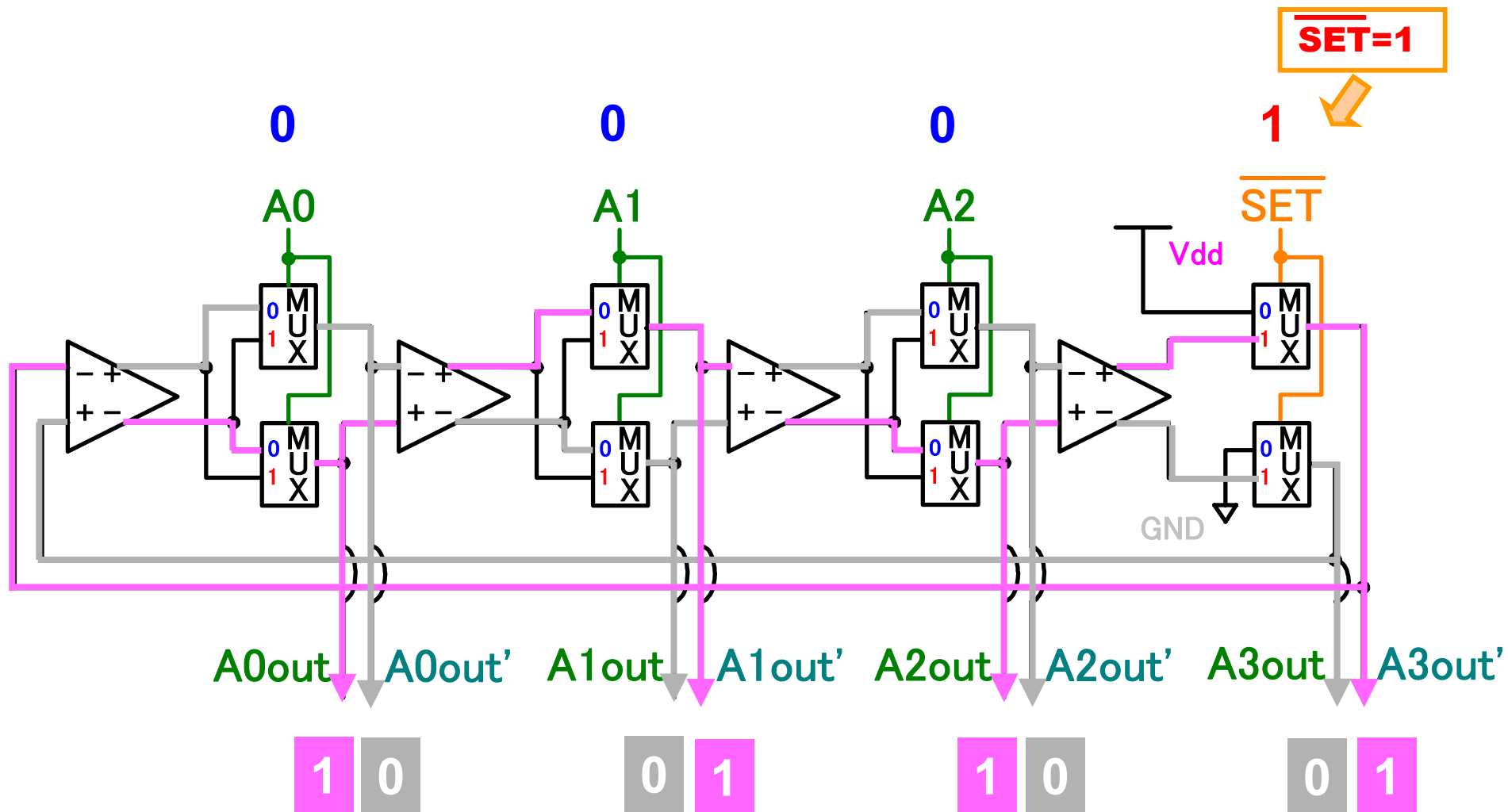
発振時  
**SET=1,**  
**A0,A1,A2**のどれか1つが**1**



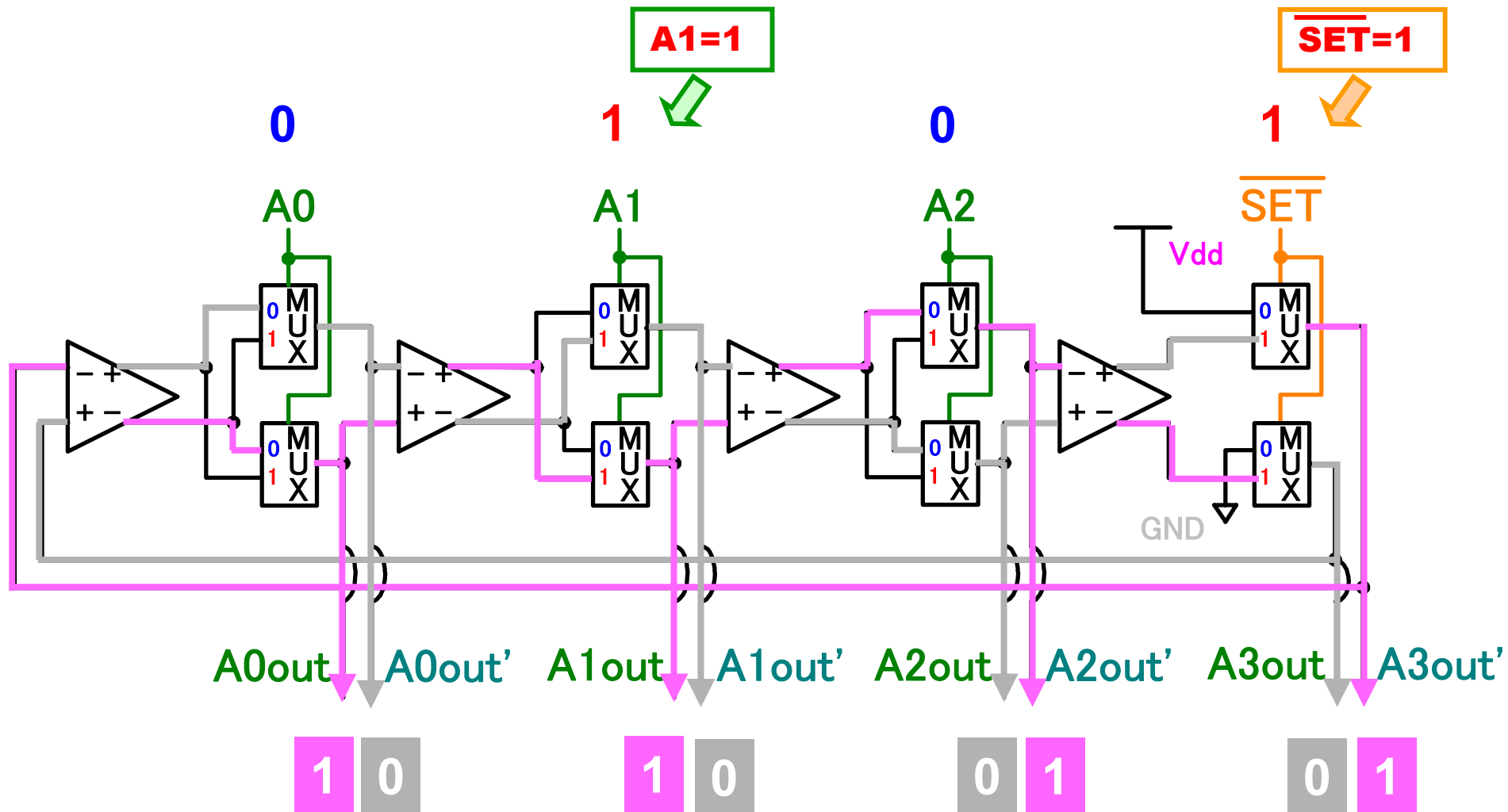
# リング発振回路部の動作(初期設定)



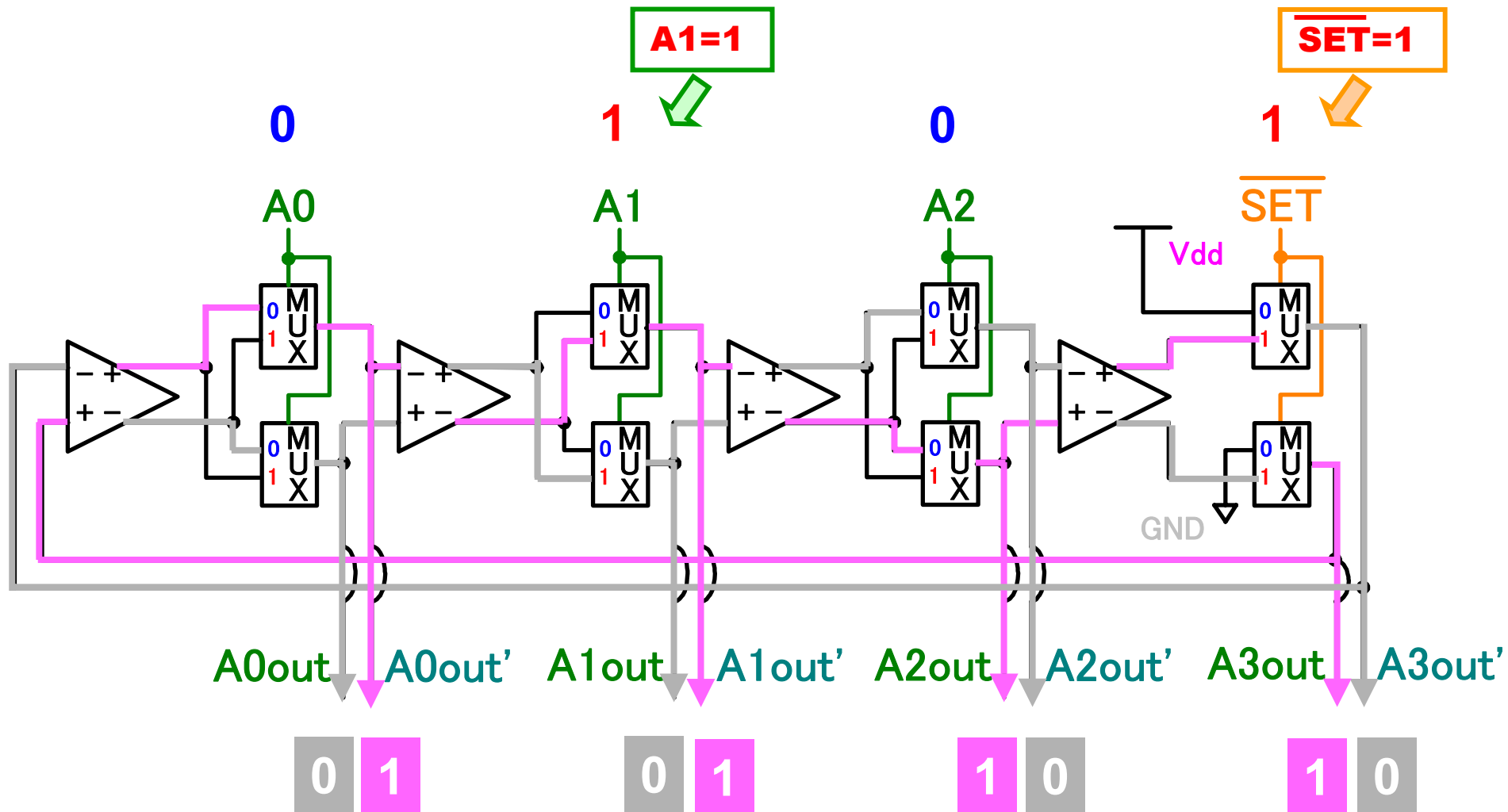
# リング発振回路部の動作(ループ形成)



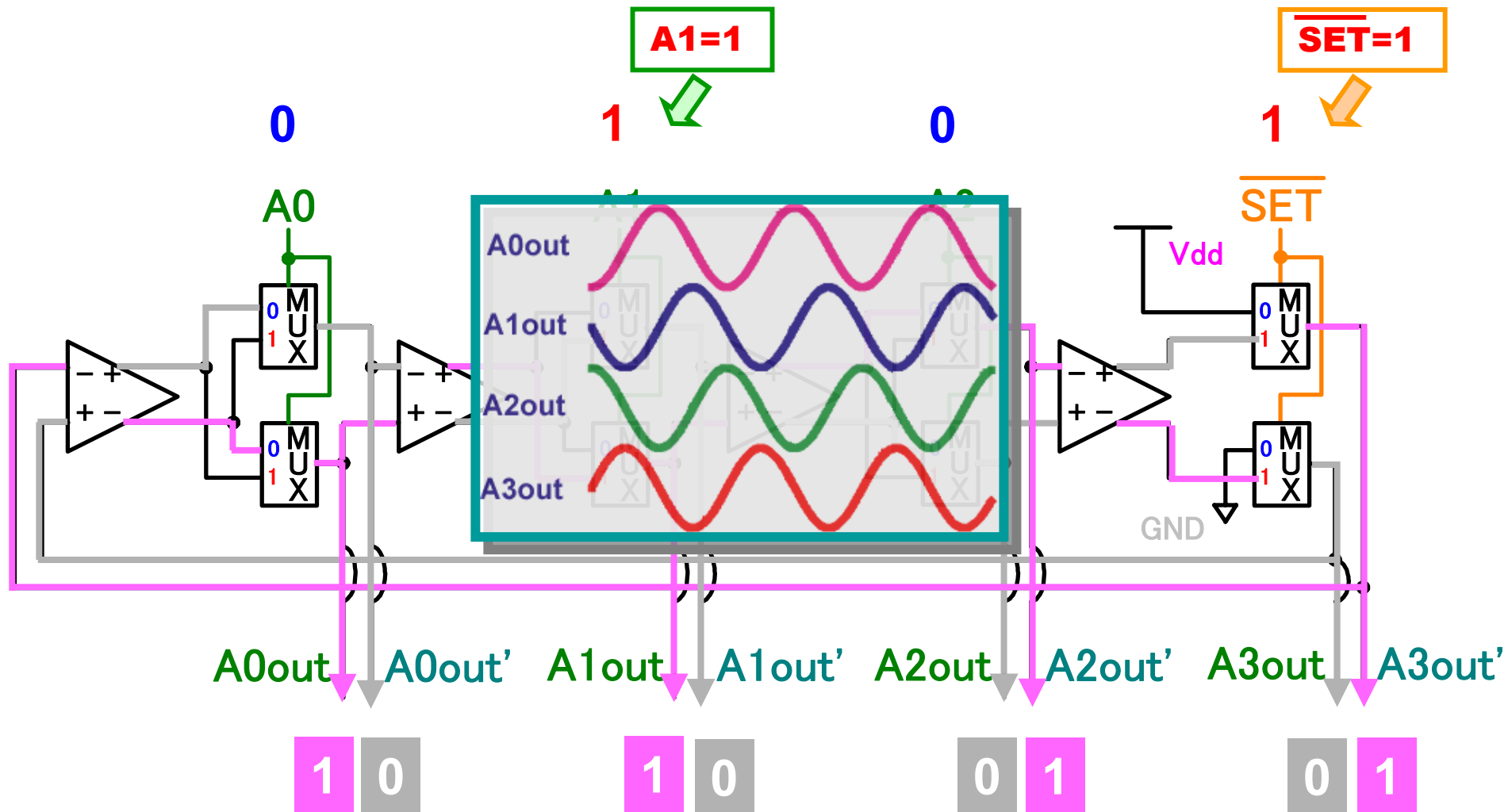
# リング発振回路部の動作(発振)



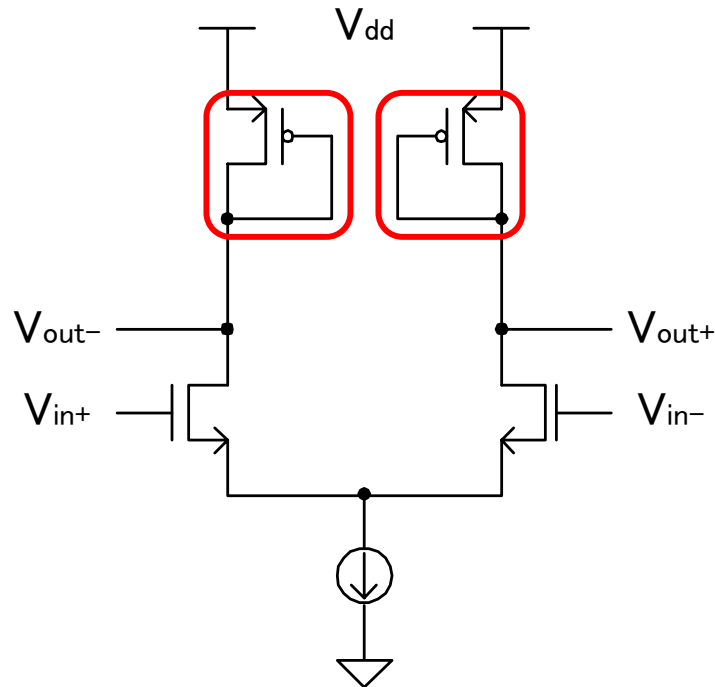
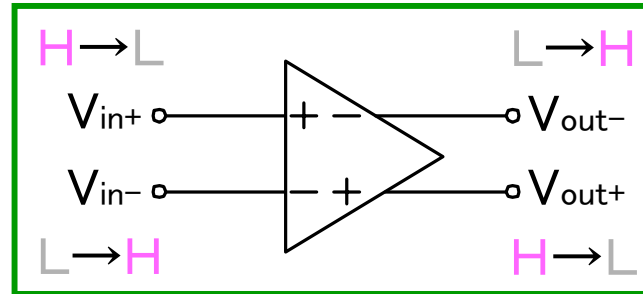
# リング発振回路部の動作(発振)



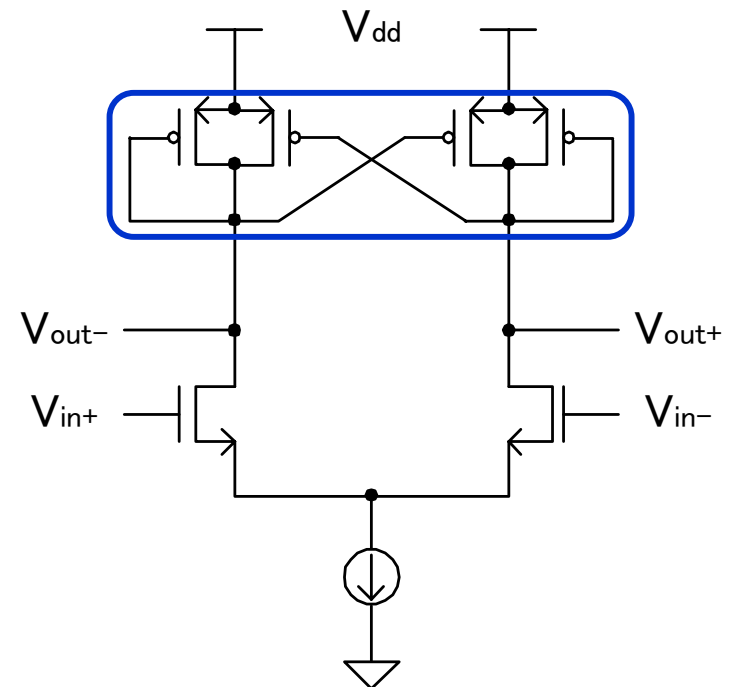
# リング発振回路部の動作(発振)



# バッファの回路構成



負荷が**PMOS**のダイオード接続



ポジティブ・フィードバック

# 発表内容

- 研究背景・目的
- デジタル制御電源とDPWM発生回路
- 様々なタイプのDPWM発生回路の検討
- バッファ遅延のばらつきとダイナミックマッチング
- 提案するリング発振器を用いたDPWM発生回路
  - バッファがインバータの場合
  - バッファが完全差動構成の場合
- まとめ・今後の課題

# まとめ・今後の課題

## まとめ

リング発振回路を用いたDPWM発生回路  
(ダイナミックマッチングを利用)

- ①直列接続段数の削減
- ②バッファ遅延ばらつきの時間平均化



回路構成・動作・SIM結果・レイアウト結果

## 今後の課題

チップのファブリケーション・評価