

冗長性をもった逐次比較近似 A/D 変換アルゴリズム -コンパレータ 2 個の場合-

小川 智彦*, 小林 春夫, 高橋 洋介, 傘 昊 (群馬大学), 堀田 正生 (武蔵工業大学)

SAR ADC Algorithms with Redundancy – 2-Comparator Case –
Tomohiko Ogawa*, Haruo Kobayashi, Yosuke Takahashi, Hao San (Gunma University)
Masao Hotta (Musashi Institute of Technology)

Abstract

This paper describes design method of redundant algorithms (generalized nonbinary algorithms) for highly reliable Successive Approximation Register (SAR) ADCs with two comparators where comparator decision error can be digitally-corrected. We also clarify which decision errors can be digitally-corrected with the derived redundant algorithms.

キーワード：逐次比較近似 ADC, デジタル誤差補正, 冗長性, 不完全整定
(SAR ADC, Digital Error Correction, Redundancy, Incomplete Settling)

1. はじめに

近年車載用エレクトロニクス技術に大きな関心が集まっている⁽¹⁾⁽²⁾. その中で車載用マイコンと組み合わせた AD 変換器では逐次比較方式が広く使われているが, その高信頼性化, 高速, 高精度, 低消費電力, 低コスト化の要求が年々厳しくなっている.

我々は車載用^{(1), (2)} の高性能逐次比較 AD 変換器のアーキテクチャとアルゴリズムを検討している⁽³⁾⁽⁴⁾. 従来方式に比べ, 高分解能 (12~14 ビット), 高速 (20MS/s 程度), 低消費電力, 低コスト (小チップ面積, デジタル CMOS プロセスで実現) を目指す. また車載用のため高信頼性化を考慮する. 従来の逐次比較型 AD 変換器では 1 個の比較レベルをもつ内部 ADC (すなわちコンパレータ一つ) を利用しており, 前段でエラーが起きてしまうと後段で補正ができなかった. ここではコンパレータ 2 個をもちいた N ビット逐次比較近似 A/D 変換器を M ステップで実現するステップ数に冗長性をもたせるアルゴリズムを検討する. この冗長性によりデジタル誤差補正が可能となるが, その誤差補正可能な範囲, 設計法等を検討する. この冗長性は AD 変換器の高信頼性化およびサンプリング・スピードの向上につながる.

2. 逐次比較型 AD 変換器

逐次比較型 ADC の特徴： 逐次比較型構成は, 高分解能 (10-12bit), 中速サンプリング (5MS/s 程度) AD 変換器を低消費電力・低コストで実現できるので, 車載, 工業用制御, ペンデジタイザ等広く用いられている⁽³⁾⁻⁽⁸⁾. さらに高性能化, 低コスト化また高信頼性化が実現できれば産業的な意義は大きい.

逐次比較型 ADC の構成： 逐次比較型 AD 変換器はトラック・ホールド回路, コンパレータ, DA 変換器, 論理回路とタイミング発生回路から構成される (図 2). もっとも精度

を要求されるのは, サンプルホールド回路に加えて, フィードバック経路にある DA 変換器である. またタイミング発生回路はリングカウンタを用いて構成することが多い.

逐次比較型 ADC のアルゴリズム： 逐次比較型 ADC は“天秤の原理”で 2 進探索アルゴリズムに従って動作する (図 1). 我々は先に (コンパレータ 1 個の場合に) 非 2 進探索アルゴリズムによる時間冗長性^{(5), (6)} を一般化した⁽¹⁰⁾. コンパレータを 3 個使用した空間冗長性を用いて高信頼性化・高速化を図る方式⁽³⁾⁽⁴⁾ も提案し, さらに⁽¹¹⁾ では時間冗長性を組み合わせたアルゴリズムを発表予定である. この論文では“コンパレータを 2 個使用した空間冗長性”と“余分なステップ数を用いる時間冗長性”を組み合わせたアルゴリズムを記述する.

2. 2 進探索アルゴリズム

この節では逐次比較近似 AD 変換器でコンパレータを 1 つ使用した 2 進探索アルゴリズムを説明する. 2 進探索アルゴリズムでは, N ビット分解能 AD 変換を N ステップ (N 回の比較) で実現する. AD 変換器へのアナログ入力レンジを $-2^{N-1} \sim 2^{N-1}$ と正規化して考える. コンパレータはアナログ入力 (V_{in}) と比較電圧を比較するが, 1 ステップ目では比較電圧 ($V_{ref}(1)$) は次のようになる.

$$V_{ref}(1) = 0.$$

$V_{in} > V_{ref}(1)$ のときコンパレータ出力 ($d(1)$) は “1” となり, 2 ステップ目での比較電圧 ($V_{ref}(2)$) は次のようになる.

$$V_{ref}(2) = 2^{N-2}$$

$V_{in} < V_{ref}(1)$ のときコンパレータ出力 ($d(1)$) は “-1” となり, 2 ステップ目での比較電圧 ($V_{ref}(2)$) は次のようになる.

$$V_{ref}(2) = -2^{N-2}$$

このように k ステップ目の比較電圧 ($V_{ref}(k)$) は k-1 ステップ目でのコンパレータ出力 $d(k-1)$ が 1 のときは次のようになる。

$$V_{ref}(k) = V_{ref}(k-1) + 2^{N-k}.$$

$d(k-1)$ が “-1” のときは次のようになる。

$$V_{ref}(k) = V_{ref}(k-1) - 2^{N-k}.$$

すなわち

$$V_{ref}(k) = \sum_{i=2}^k d(i-1)2^{-i}.$$

最終の N ステップ目の比較でコンパレータ出力 $d(N)$ が “1” のとき n 段目の比較値 $V_{ref}(n)$ の上の変換出力レベルに変換出力が決まり, $d(N)$ が “-1” のとき $V_{ref}(N)$ の下の変換出力レベルに変換出力が決まる。2 進探索アルゴリズムでは, N ビット N ステップのときに 2^N 通りの比較パターンがあり, 2^N 個の変換出力レベルがある。各変換出力レベルに変換される比較パターンは 1 通りで, その比較パターンではその変換出力レベルに対して全ての段で正しい比較をしていると仮定している。したがって 1 回でも比較を間違えると入力レベルと誤った変換出力レベルに変換されてしまう。

3. コンパレータ 2 個の探索アルゴリズム

3.1 コンパレータ 2 個の探索アルゴリズムの一般化

この節では N ビット分解能逐次比較 AD 変換をコンパレータ 2 個を用いて M ステップで実現する探索アルゴリズムを導出する。すなわちコンパレータ 2 個を用いる空間冗長性と余分なステップを用いる時間冗長性を利用した高信頼性 SAR ADC を実現するアルゴリズムである。各ステップでの 2 つの比較電圧を $V_{refh}(k)$, $V_{refl}(k)$ とし, これらの中心の電圧を $V_{center}(k)$ とする。また, 各ステップでの判定結果は図 3 のように, $V_{refh}(k), V_{refl}(k)$ の順に

- High, High のとき $d(k) = +1$
- Low, High のとき $d(k) = 0$
- Low, Low のとき $d(k) = -1$

と定義する。

k ステップ目の中心値 $V_{center}(k)$ を決めるときに k-1 ステップ目の中心値 $V_{center}(k-1)$ に足し引きする値を $p(k)$ とする。このとき, k ステップ目の中心値 $V_{center}(k)$ は k-1 ステップ目の判定結果 $d(k-1)$ によって次のように決める。

- $d(k-1) = +1$ のとき $V_{center}(k) = V_{center}(k-1) + p(k)$
- $d(k-1) = +0$ のとき $V_{center}(k) = V_{center}(k-1)$
- $d(k-1) = -1$ のとき $V_{center}(k) = V_{center}(k-1) - p(k)$
- $V_{center}(1) = 0$

$V_{center}(k)$ は次のようにも表現できる。

$$V_{center}(k) = \sum_{i=2}^k d(i-1)p(i), (k = 1, 2, \dots, M). \quad (1)$$

ここで $p(i)$ は次の関係を満たす。

$$p(1) = 0 \dots\dots\dots (2)$$

$$\sum_{i=2}^M p(i) = 2^{N-1} - 2 + (\text{オーバーレンジ量}), \dots (3)$$

コンパレータ 2 個のアルゴリズムでは変換出力レベル数は奇数になるので, オーバーレンジ量は $2^N - 1$ を基準としている。

また, $V_{refh}(k)$ と $V_{refl}(k)$ は次のように決める。

- $V_{refh}(k) = V_{center}(k) + \frac{p(k+1)}{2}$
- $V_{refl}(k) = V_{center}(k) - \frac{p(k+1)}{2}$
- $V_{refh}(M) = V_{center}(M) + 0.5$
- $V_{refl}(M) = V_{center}(M) - 0.5$

3.2 コンパレータ 2 個の探索アルゴリズムとデジタル誤差補正

コンパレータ 2 個の探索アルゴリズムの場合, 3^M 通りの比較パターンがあり, $2\left(1.5 + \sum_{i=2}^M p(i)\right)$ 個の変換出力レベルがある。前者は後者より大きい。すなわち変換出力レベルの数よりも比較パターン数が多いので, 1 つの変換出力レベルに変換される比較パターンが複数ある変換出力レベルが存在する。

一方各変換出力レベルに全ての段で正しい比較をして変換される比較パターンは 1 通りしか存在しない。したがって同じ変換出力レベルに変換される比較パターンが複数存在するとき, どこかのステップでコンパレータが比較を間違えた比較パターンがその変換出力レベルに変換されることになる。すなわち冗長性によりこの場合比較が誤っても入力レベルに対して正しい変換出力レベルに変換される。

$2\left(1.5 + \sum_{i=2}^M p(i)\right)$ 個の各々の変換出力レベルに対して 3^M 通りの比較パターンで対応するものを記述したルックアップテーブルを用意かデジタルてきに計算する等すれば比較が誤っても入力レベルに対して正しい変換出力レベルに変換できる逐次比較 AD 変換器が実現できることになる。変換出力レベルは次の式 4 で計算できる。

$$Dout = \left(\sum_{i=2}^M d(i-1)p(i) \right) + d(M) \dots\dots\dots (4)$$

3.3 コンパレータ 2 個の探索アルゴリズムの冗長性の解析

つぎに “k ステップ目の冗長性 $q(k)$ ” を下の式で定義する。

$$q(k) = -\frac{p(k+1)}{2} + 1.5 + \sum_{i=k+2}^M p(i) \dots\dots\dots (5)$$

式 (5) で示される $q(k)$ は各ステップでの比較結果の隣の比較結果の範囲に後段の比較によって, どこまで入れるかを示す。その範囲には k ステップ目で間違えても正しい変換出力レベルに変換される場合があることになる。

命題 1: k ステップでコンパレータが比較判定を誤っても,

- $d(k) = +1$ のとき $V_{refh}(k) - V_{in} < q(k)$
 - $d(k) = 0$ のとき $V_{in} - V_{refh}(k) < q(k)$
- 又は $V_{refl}(k) - V_{in} < q(k)$

• $d(k) = -1$ のとき $V_{in} - V_{refl}(k) < q(k)$

を満たしていれば正しいAD変換結果が得られる。

図5はアナログ入力 (V_{in}) が 7.3 で、1ステップ目では1ステップ目で $V_{refh}(1) = 4, V_{refl}(1) = -4$ と比較しコンパレータ出力 $d(1)$ が正解の “+1”ではなく”0”を出力してしまった場合でも正しいAD変換出力が得られることを示している。これは $V_{in} - V_{refh}(1) < q(1), (q(1) = 3.5)$ が成立しているからである。

N ビット M ステップAD変換の場合に $q(k)$ ($k = 1, 2, \dots, M$) の値を設計してそれを実現する $p(k)$ ($k = 1, 2, \dots, M$) を計算する式を次のように導出した。

命題2：

$$3^M - (2^N - 1) = 4 \left(\sum_{i=1}^{M-1} 3^{i-1} q(i) \right) + 2 \cdot \text{オーバーレンジ量} \dots \dots \dots (6)$$

証明：式(5)より

$$p(k+1) = -2q(k) + 3 + 2 \sum_{i=k+2}^M p(i) \dots \dots \dots (7)$$

式(7)の右辺の $3 + 2 \sum_{i=k+2}^M p(i)$ を展開すると次式が得られる。

$$p(k+1) = -2q(k) + 3^{M-k} - 4 \sum_{i=k+1}^{M-1} 3^{i-k-1} q(i) \dots \dots \dots (8)$$

式(8)で $k = 1$ とすると次式が得られる。

$$p(2) = -2q(1) + 3^{M-1} - 4 \sum_{i=2}^{M-1} 3^{i-2} q(i) \dots \dots \dots (9)$$

両辺を $\times 3$ すると、

$$3p(2) = -6q(1) + 3^M - 4 \sum_{i=2}^{M-1} 3^{i-1} q(i) \dots \dots \dots (10)$$

式(7)で $k = 1$ とすると次式が得られる。

$$p(2) = -2q(1) + 3 + 2 \sum_{i=3}^m p(i) \dots \dots \dots (11)$$

式(11)の両辺に $2p(2)$ を加え右辺の \sum の中に代入する。

$$3p(2) = -2q(1) + 3 + 2 \sum_{i=2}^M p(i) \dots \dots \dots (12)$$

式(10)に式(12)を代入する。

$$-6q(1) + 3^M - 4 \sum_{i=2}^{M-1} 3^{i-1} q(i) = -2q(1) + 3 + 2 \sum_{i=2}^M p(i)$$

$$3^M = 2 \left(1.5 + \sum_{i=2}^M p(i) \right) + 4 \sum_{i=1}^{M-1} 3^{i-1} q(i) \dots \dots \dots (13)$$

式(13)において、左辺の 3^M は比較パターンの総数を表している。右辺の $2(1.5 + \sum_{i=2}^M p(i))$ は変換出力レベルの数を表している。N ビットのとき変換出力レベルは $2^N - 11$ であるので、 $2 \left(1.5 + \sum_{i=2}^M p(i) \right) = 2^N - 1 + 2 \cdot (\text{オーバーレンジ量})$ とすることができ。したがって、式(13)は

$$3^M - (2^N - 1) = \left(4 \sum_{i=1}^{M-1} 3^{i-1} q(i) \right) + 2 \cdot (\text{オーバーレンジ量})$$

と表せる。(証明終)

例2：図6はオーバーレンジ $r = 2, N = 5, M = 4, p(1) = 0, p(2) = 10, p(3) = 4, p(4) = 2$ で。 $q(1) = 2.5, q(2) = 1.5, q(3) = 0.5$ である。式(8)の次の関係が成立している。

$$p(2) = 27 - 2q(1) - 4q(2) - 12q(3) = 10$$

$$p(3) = 9 - 2q(2) - 4q(3) = 4$$

$$p(4) = 3 - 2q(3) = 2$$

また式(6)の次の関係が成立している。

$$3^4 - (2^5 - 1) = 4(q(1) + 3q(2) + 9q(3)) + 2r.$$

N ビット M ステップ逐次比較 AD 変換のとき式(6)を満たすように各段の冗長性 $q(k)$ とオーバーレンジ量 r を設計すれば、それを実現する $p(k)$ は式(8)を用いて計算することができる。

$4 \sum_{i=1}^{M-1} 3^{i-1} q(i)$ は、1 回以上比較を間違えても正しいAD変換値が得られる比較パターンの総数である。

式(6)の $4 \sum_{i=1}^{M-1} 3^{i-1} q(i)$ の $q(i)$ の係数 $4 \times 3^{i-1}$ についてコメントする。 3^{i-1} は i ステップ目での前の段の比較結果 $d(1)$ から $d(i-1)$ によって変わる比較値 $V_{center}(i)$ の場合の数を示している。4 は次の4通りの場合を示している。

- (1) $d(k) = +1$ のとき 0 の範囲に向かって補正する場合
- (2) $d(k) = 0$ のとき +1 の範囲に向かって補正する場合
- (3) $d(k) =$ のとき -1 の範囲に向かって補正する場合
- (4) $d(k) = -1$ のとき 0 の範囲に向かって補正する場合

3.4 コンパレータが複数回比較を誤った場合 この節ではコンパレータが比較判定を複数回間違えても正しいAD変換出力が得られる場合を考察する。

結論として次のものが得られた。

• 命題1を満たすことが複数回比較判定を間違えても正しいAD変換出力が得られるための必要充分条件である。

k ステップ目の誤差補正範囲は $q(k) = -\frac{p(k+1)}{2} + 1.5 + \sum_{i=k+2}^M p(i)$ であるが、 $\sum_{i=k+2}^M p(i)$ の $p(a+1)$ を0にして計算したとき、 $q(k) > 0$ であれば、その範囲で k と a ステップ目で間違えたときに正しい変換がされる場合が存在する。

図7の5ビット4ステップの例は、

$$p(2)=8, p(3)=4, p(4)=2$$

$$q(1)=3.5, q(2)=1.5, q(3)=0.5, r=0$$

V_{in}=5.3

である。1 ステップ目の判定 d(1)=+1 が正しいが、誤判定して 0 になっている。さらに、3 ステップ目の判定 d(3) も +1 が正しいが、誤判定して 0 になっている。しかし、

- d(1) = 0 のとき V_{in}(1) - V_{refh} < q(1) (5.3 - 4 < 3.5)
- d(3) = 0 のとき V_{in}(2) - V_{refh} < q(2) (5.3 - 5 < 0.5)

を満たしているので、AD 変換結果の出力レベルは 5 で正しい値になっている。また、p(4)=0 として q(1) を計算すると、q(1)=1.5 となり、5.3 - 4 < 1.5 となり、上の例でこの関係を満たしている。

4. シミュレーションによるアルゴリズム動作確認

ここでは、数値計算で誤差補正の効果の確認を行った結果を示す。シミュレーション条件は以下のようにする。

- 12 ビット分解能。
- ランプ波入力。
- 比較電圧にランダムノイズを加える
- ノイズは 1 ステップ目に $\pm \frac{1}{8}$ フルスケール 2 ステップ目に $\pm \frac{1}{16}$ フルスケール k ステップ目に $\pm \frac{1}{2^{k+2}}$ フルスケールを加える。
- コンパレータ 2 個の冗長アルゴリズムは 12 ステップ。

最初に 2 進アルゴリズムの場合にノイズを加えた出力と誤差を図 8、図 9 に示す。次にコンパレータ 2 個の 11 ステップ冗長アルゴリズムの場合の出力と誤差を図 11、図 12 に示す。コンパレータ 2 個の 11 ステップ冗長アルゴリズムの冗長性は図 10 のように設計した。図 12 から、冗長アルゴリズムでは誤差が 0.5 L S B 以内に抑えられ、誤差補正ができていることが分かる。(図 12 のシミュレーションは 1 L S B 間隔の入力で行ったため誤差は 0 になっている。)

5. コンパレータ複数個の探索アルゴリズム

ここでは N ビット分解能逐次比較 AD 変換をコンパレータ A 個 {A=2n; (n=1,2,...)} の M ステップで実現するコンパレータ複数個の探索アルゴリズムについて述べる。各ステップの比較電圧はコンパレータ 2 個の場合と同様に中心電圧値 V_{center} に足し引きする基準値 p(k) を決め、比較結果によって中心値を変化させ、比較電圧は k ステップ目で p(k+1) の間隔で M ステップ目では間隔を 1 とし、中心比較値の上下に A/2 点ずつとるようにする。中心値は式 (1) によって決め、d(k) の値は 0, ± n; n=1,2,...,A/2 の A+1 通りに決める。

コンパレータ複数個では “k ステップ目の冗長性 q(k)” は

$$q(k) = -\frac{p(k+1)}{2} + \frac{A}{2} \left(1 + \sum_{i=k+2}^M p(i)\right) \dots \dots \dots (14)$$

となる。

命題 2 の式は次のようになる。

$$(A+1)^M - (2^N - 1) = 2A \left(\sum_{i=1}^{M-1} (A+1)^{i-1} q(i) \right) + 2 \cdot \text{オーバーレンジ量} \quad (15)$$

p(k) は次のように計算できる。

$$p(k+1) = -2q(k) + (A+1)^{M-k} - 2A \sum_{i=k+1}^{M-1} (A+1)^{i-k-1} q(i).$$

これらの式を用いてコンパレータ複数個の場合の冗長性 q(k) とオーバーレンジ量 r を設計して、そのようになる p(k) を計算することができる。

6. まとめ

逐次比較近似 AD 変換器の高信頼性能化のために、コンパレータ 2 個 (空間冗長性) と余分なステップ数 (時間冗長性) をもった探索アルゴリズムを一般化してその性質を調べ、設計法を明確化した。

謝辞 有意義なご討論をいただきました松浦達治氏、益子耕一郎氏、阿部彰氏、近藤守氏、八木勝義氏、高井伸和先生に感謝いたします。この研究を支援していただいております半導体理工学研究センター (S T A R C) に謝意を表します。

参考文献

- (1) H. Casier, P. Moern, K. Appeltans, “Technology Consideration for Automotive,” *Proc. of ESSCIRC*, pp.37-41, Leuven, Belgium (Sept. 2004).
- (2) *ISSCC Short Course, Automotive Technology and Circuits*, San Francisco (Feb. 2005).
- (3) M. Hotta, A. Hayakawa, N. Zhao, Y. Takahashi, H. Kobayashi, “SAR ADC Architecture with Digital Error Correction”, *IEEJ International Analog VLSI Workshop*, Hangzhou, China (Nov. 2006).
- (4) S. Shimokura, M. Hotta, N. Zhao, Y. Takahashi, H. Kobayashi, “Conversion Rate Improvement of SAR ADC with Digital Error Correction”, *IEEJ International Analog VLSI Workshop*, Limerick (Nov. 2007).
- (5) M. Hesener, T. Eichler, A. Hanneberg, D. Herbison, F. Kuttner, H. Wenske, “A 14b 40MS/s Redundant SAR ADC with 480MHz Clock in 0.13μm CMOS,” *Tech. Digest of ISSCC*, San Francisco (Feb. 2007).
- (6) F. Kuttner, “A 1.2V 10b 20MS/S Non-Binary Successive Approximation ADC in 0.13μm CMOS,” *Tech. Digest of ISSCC*, San Francisco (Feb. 2002).
- (7) T. Komuro, N. Hayasaka, H. Kobayashi, H. Sakayori, “A Practical Analog BIST Cooperated with an LSI Tester”, *IEICE Trans. Fundamentals*, E89-A, no.2, pp.465-468 (Feb. 2006).
- (8) Z. Cao, et.al., “A 32mW 1.25GS/s 6b 2b/step SAR ADC in 0.13μm CMOS,” *Tech. Digest of ISSCC*, pp.542-543, San Francisco (Feb. 2008).
- (9) 早川晃, 趙楠, 堀田正生, 小林春夫, “高性能逐次比較 AD 変換器アーキテクチャ”, 電気学会 電子回路研究会 桐生 (2006 年 3 月)。
- (10) 小川智彦, 小林春夫, 高橋洋介, 堀田正生, “冗長性をもった逐次比較近似 AD 変換アルゴリズム”, 電子情報通信学会 回路とシステム研究会 東京 (2007 年 10 月)。
- (11) 小川智彦, 小林春夫, 高橋洋介, 傘昊, 堀田正生, “冗長性をもった逐次比較近似 AD 変換アルゴリズム - コンパレータ 3 個の場合 -”, 電子情報通信学会 回路とシステム (軽井沢) ワークショップ (2008 年 4 月)。

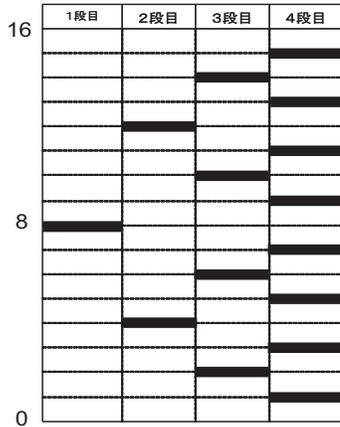


図 1 SAR ADC の 2 進探索アルゴリズム (5 ビット 5 段)
 Fig. 1. Binary search algorithm of 5-bit SAR ADC with 5-step.

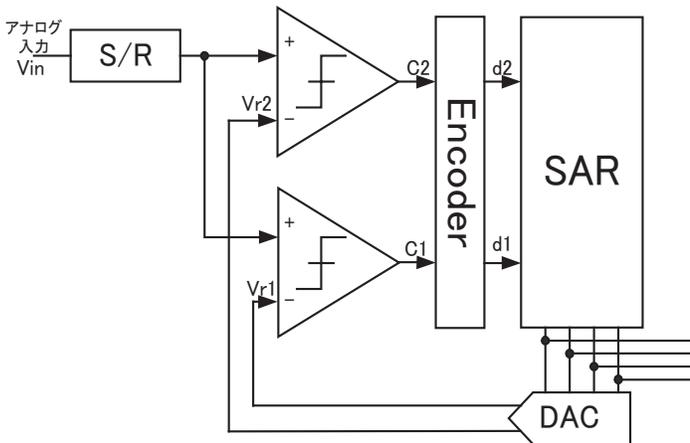


図 2 逐次比較近似 ADC のブロック図。
 Fig. 2. Block diagram of 2-comparator SAR ADC.

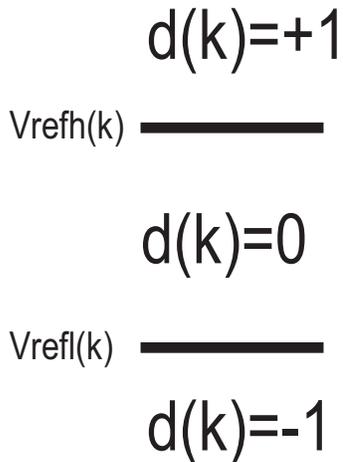


図 3 コンパレータ 2 個での判定結果 $d(k)$ の決め方
 Fig. 3. Encoding $d(k)$ from 2-comparator outputs.

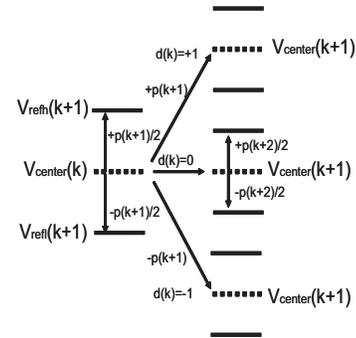


図 4 コンパレータ 2 個での V_{ref} の決め方
 Fig. 4. Reference voltages for 2 comparators.

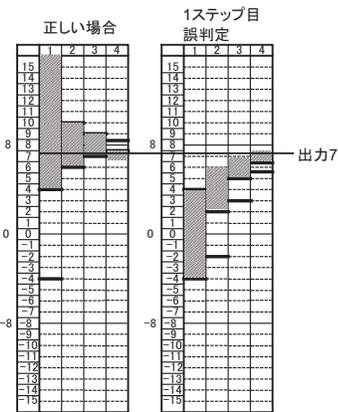


図 5 コンパレータ 2 個の探索アルゴリズム (5 ビット 4 段) の動作
 Fig. 5. Redundant search algorithm of 2-comparator SAR with 3-step.

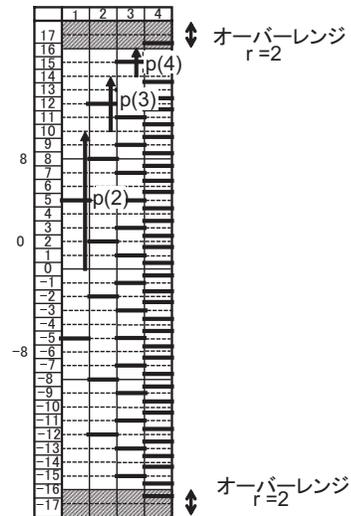


図 6 コンパレータ 2 個の探索アルゴリズム (5 ビット 4 段) オーバーレンジ
 Fig. 6. Definition of overrange for 2-comparator SAR algorithm.

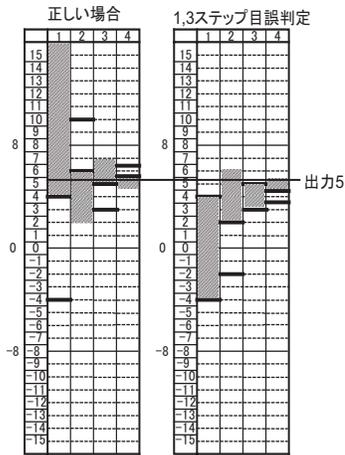


図7 コンパレータ2個の探索アルゴリズム(5ビット4段)の1,2ステップで誤判定した場合動作
 Fig.7. Redundant search algorithm operation of 2-comparator SAR with 4-step in case of comparator decision errors at 1-step and 2-step.

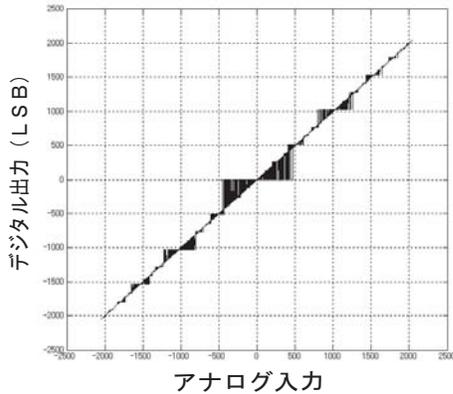


図8 コンパレータ判定誤りがあった場合の2進探索アルゴリズムのADC出力。
 Fig.8. Binary search algorithm output in case of comparator decision errors.

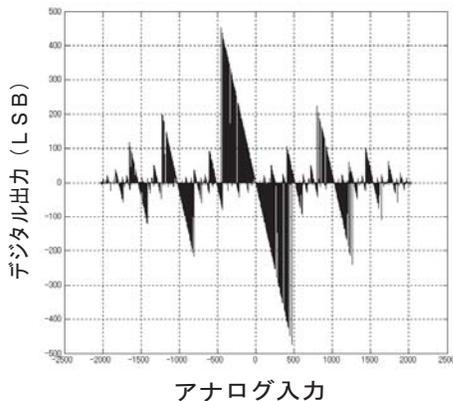


図9 コンパレータ判定誤りがあった場合の2進探索アルゴリズムのADC出力誤差。
 Fig.9. ADC output error of binary search algorithm in case of comparator decision errors.

ステップk	ノイズ	冗長性q(k)	比較値に不足値p(k)
1	512	513.5	0
2	256	257.5	1024
3	128	129.5	512
4	64	65.5	256
5	32	33.5	128
6	16	17.5	64
7	8	9.5	32
8	4	5.5	16
9	2	3.5	8
10	1	2.5	4
11	0.5	0.5	2
12	0.25	0	2

図10 2個のコンパレータを用いた12b SAR ADCの11ステップ冗長アルゴリズムの設計
 Fig.10. Redundant search algorithm design of 2-comparator SAR ADC with 11-step.

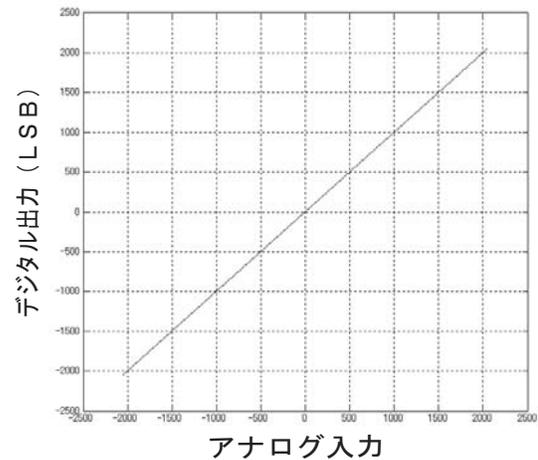


図11 コンパレータ誤判定があった場合のコンパレータ2個の11ステップ冗長アルゴリズムの12b ADC出力。
 Fig.11. ADC output of redundant search algorithm and 2 comparators with 11-step.

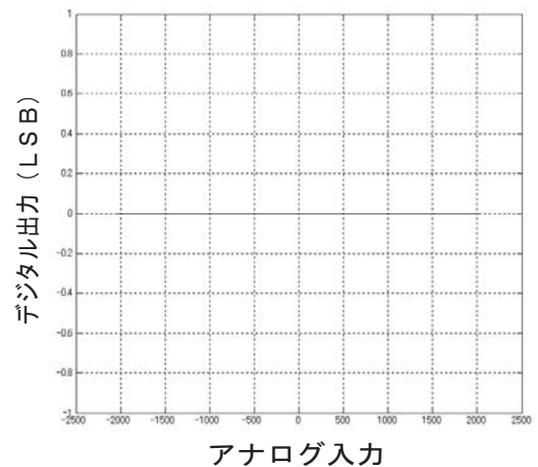


図12 コンパレータ誤判定があった場合のコンパレータ2個の11ステップ冗長アルゴリズムの12b ADC出力誤差
 Fig.12. ADC output error of redundant search algorithm and 2 comparators with 11-step.