

冗長性をもった逐次比較近似
AD変換アルゴリズム
-コンパレータ2個の場合-

群馬大学工学部 電気電子工学科

○小川智彦 小林春夫 高橋洋介 傘昊

武蔵工業大学

知識工学部情報ネットワーク工学科

堀田正生

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

発表内容

- **研究背景と目的**
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

研究背景

- ・ 車載用エレクトロニクスの技術産業の要求大
- ・ マイコンと組み合わせたAD変換器の
 - ・ 高速
 - ・ 高精度
 - ・ 低消費電力
 - ・ 低コスト化
 - ・ 高信頼性が最重要課題

研究背景

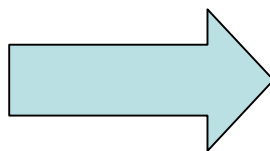
微細CMOSに適したADC

- CMOS微細化に伴い
高性能オペアンプの実現が困難。
- オペアンプを用いない逐次比較近似ADCが
微細デジタルCMOSプロセスでの
高性能実現に適している。

研究目的

逐次比較近似AD変換器

判定誤りを
冗長性により
後段でデジタル補正



高信頼性化

コンパレータ2個



高速化

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

逐次比較近似ADCの構成

アナログ入力

Analog input
 u

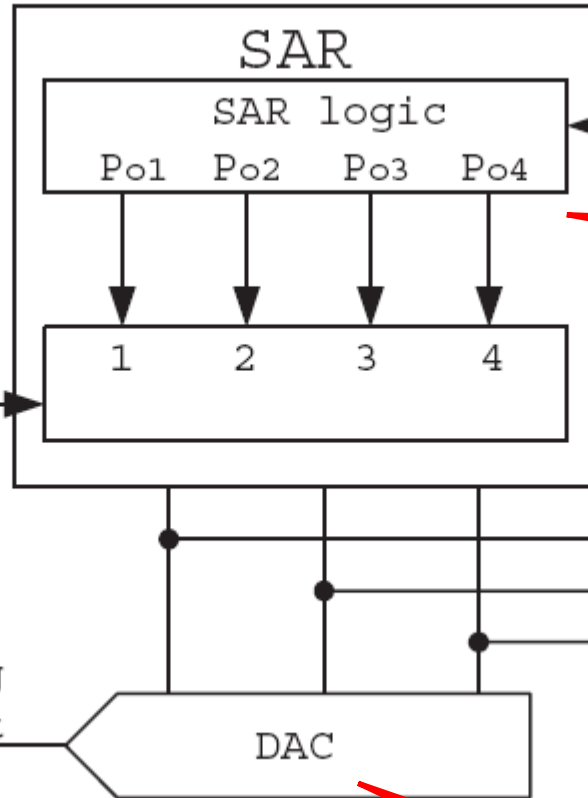
コンパレータ
天秤
Comparator

S/H

サンプル
ホールド回路

天秤の原理で動作

天秤がコンパレータ
分銅がDAC



SAR 論理回路

MSB
LSB
Digital output

デジタル出力

DA変換器
分銅

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

逐次比較近似AD変換器の特徴

- 高分解能
- サンプリング速度が中速
- 低消費電力
- 小型・小チップ面積
- オペアンプなしで構成可能

使用例

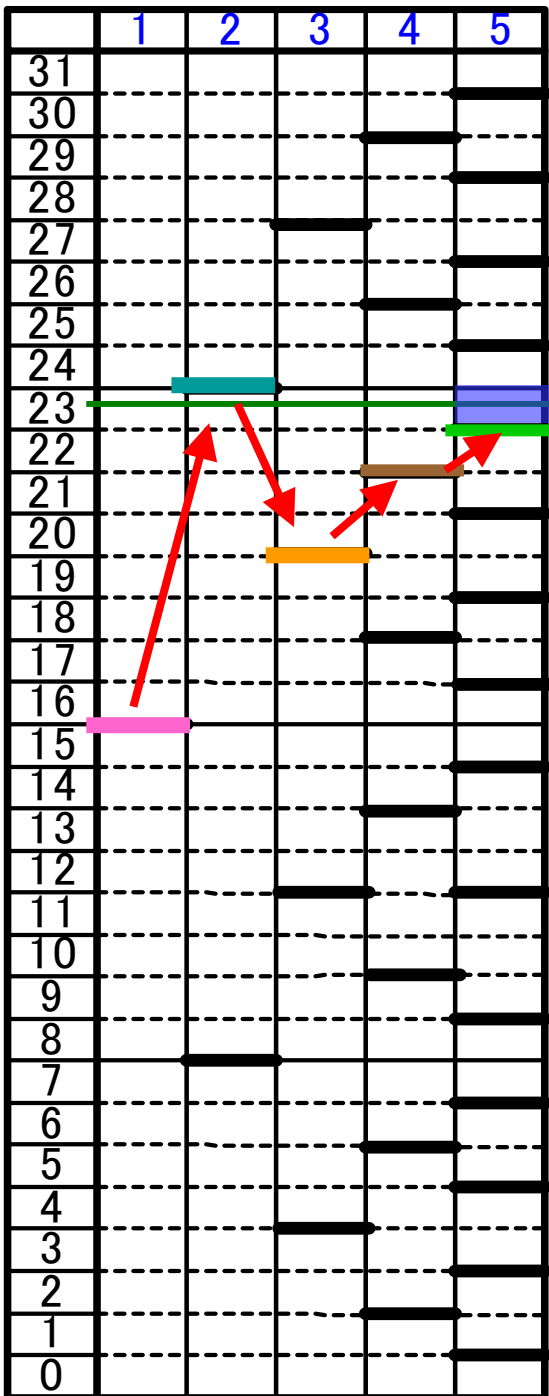
車載用に対応されているマイコンに混載
ペンデジタイザ
工業用制御機器

発表内容

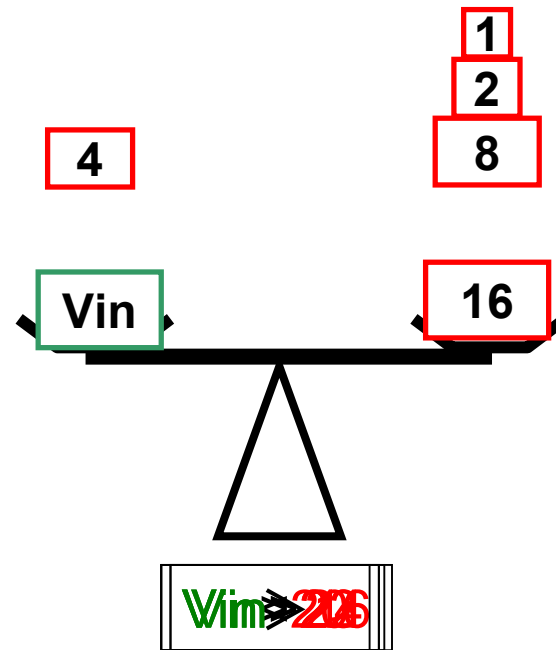
- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

5ビット 逐次比較近似ADCの 2進探索アルゴリズム動作

動作例: アナログ入力 **23.5** のとき



23.5

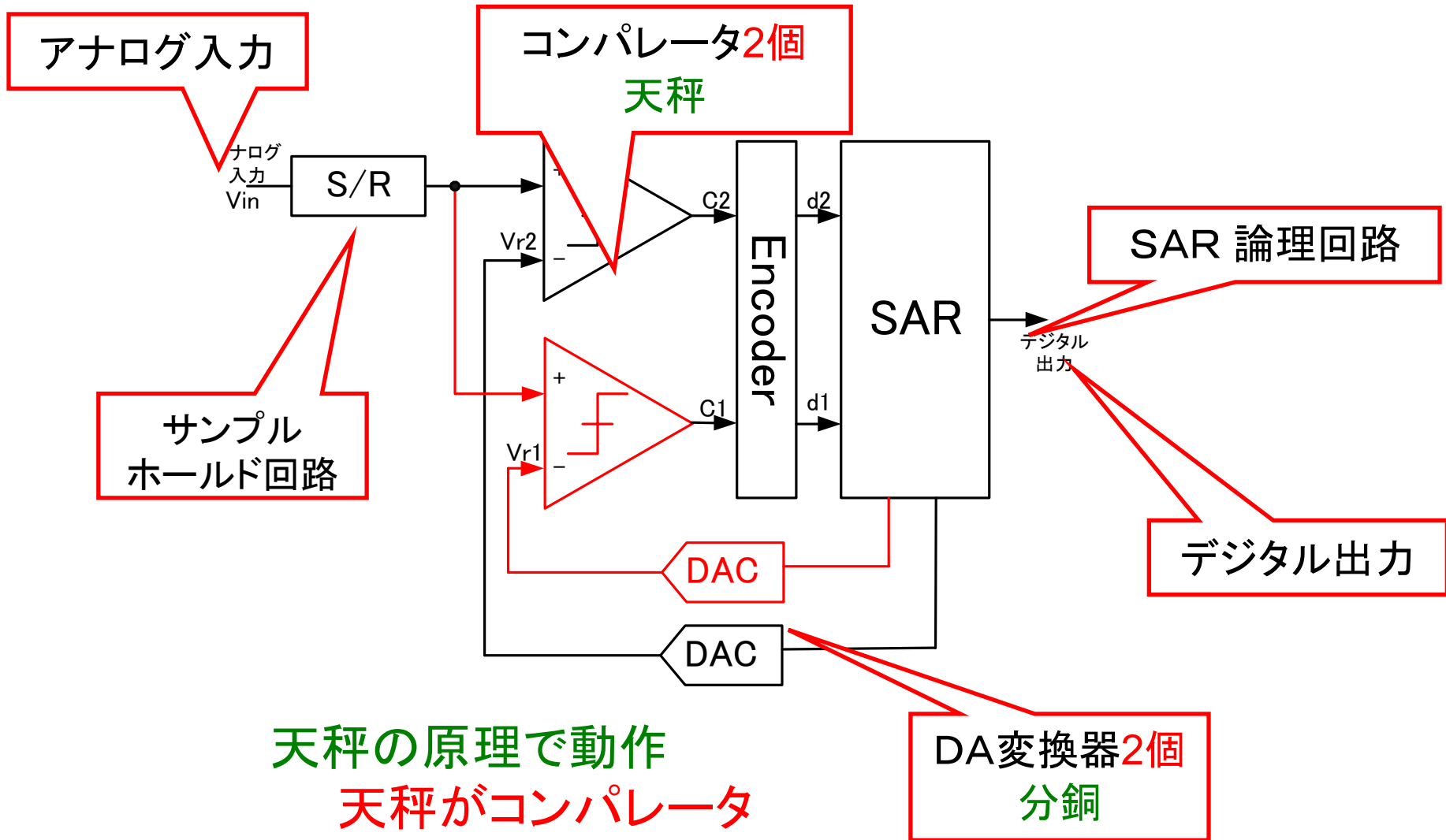


$$\boxed{\text{Vin}} = \begin{matrix} \boxed{1} \\ \boxed{2} \\ \boxed{8} \\ \boxed{16} \end{matrix} - \boxed{4} = \boxed{23}$$

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- **コンパレータ2個の逐次比較近似AD変換器**
 - **構成**
 - **特徴**
 - **動作**
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

検討する逐次比較近似ADCの構成



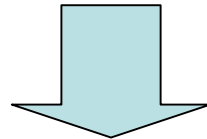
発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- **コンパレータ2個の逐次比較近似AD変換器**
 - 構成
 - **特徴**
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

コンパレータ2個の逐次比較近似ADCの特徴

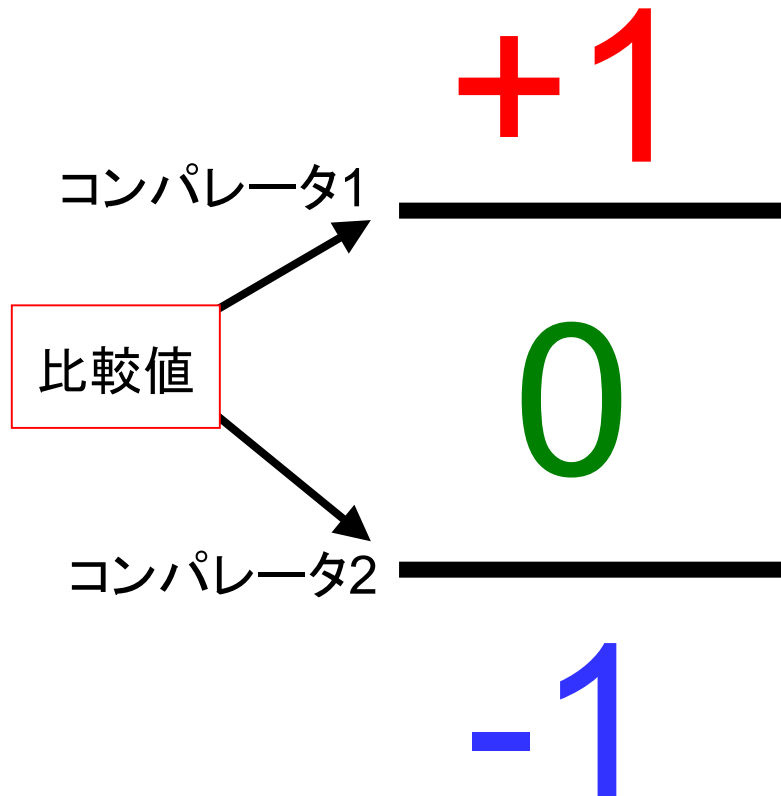
利点

1ステップで3分割
1.5ビット分解能



少ないステップ数
高速

コンパレータ2個による判定

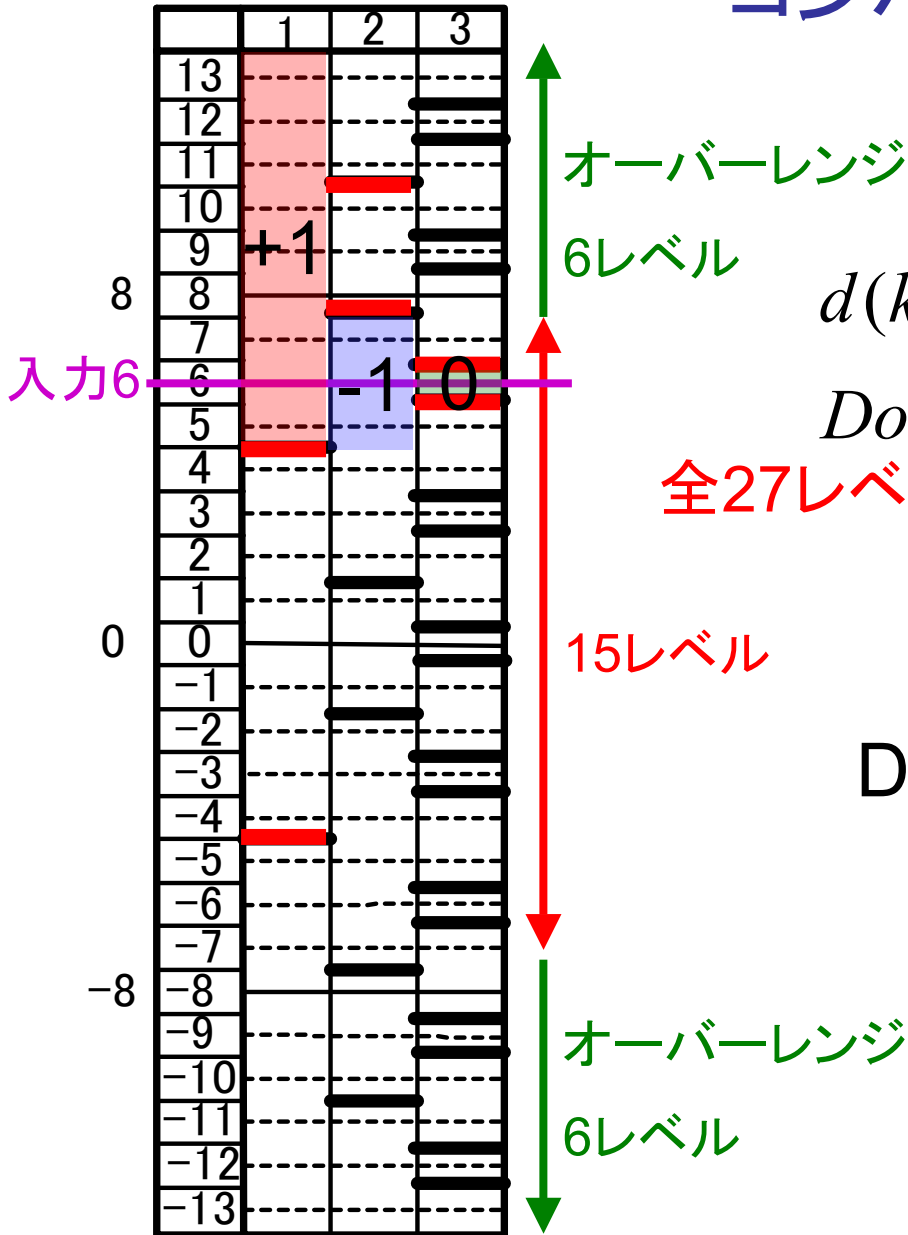


コンパレータ1	コンパレータ2	判定結果 d(k)
High	High	+1
Low	High	0
Low	Low	-1

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- **コンパレータ2個の逐次比較近似AD変換器**
 - 構成
 - 特徴
 - **動作**
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

コンパレータ2個冗長性なし 4ビット3ステップ



$d(k)$: k ステップ目の判定

$$D_{out} = 3^2 \times d(1) + 3 \times d(2) + 1 \times d(3)$$

全27レベル

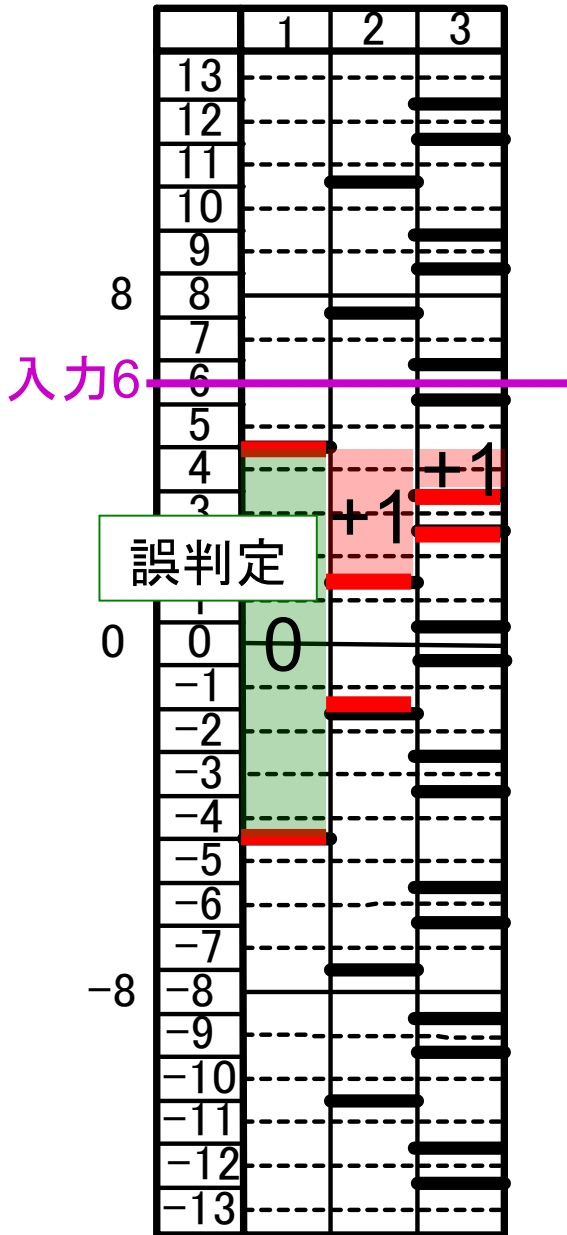
↓ +1 -1 0

$$D_{out} = +9 - 3 + 0 = 6$$

コンパレータ2個冗長性なし 4ビット3ステップ 誤判定した場合

$d(k)$: k ステップ目の判定

$$D_{out} = 3^2 \times d(1) + 3 \times d(2) + 1 \times d(3)$$



↓ 0 +1 +1

$$D_{out} = 0 + 3 + 1 = 4$$

↕ 誤差2
入力6

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- **コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理**
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

コンパレータ2個の冗長アルゴリズム デジタル誤差補正原理(3ビット)

入力5のとき

冗長性なし

判定出力 : +1 -1 -1

$$Dout = +9 - 3 - 1 = 5$$

冗長性あり

判定出力 : +1 **+1** -1

$$Dout = +4 + 2 - 1 = 5$$

判定出力 : +1 **0** +1

$$Dout = +4 + 0 + 1 = 5$$

2通り

2ステップ目で判定誤り
をしてもデジタル補正できる

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- **コンパレータ2個の冗長アルゴリズムの効果の確認**
 - **高信頼性**
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

コンパレータ2個の冗長アルゴリズム の効果の確認

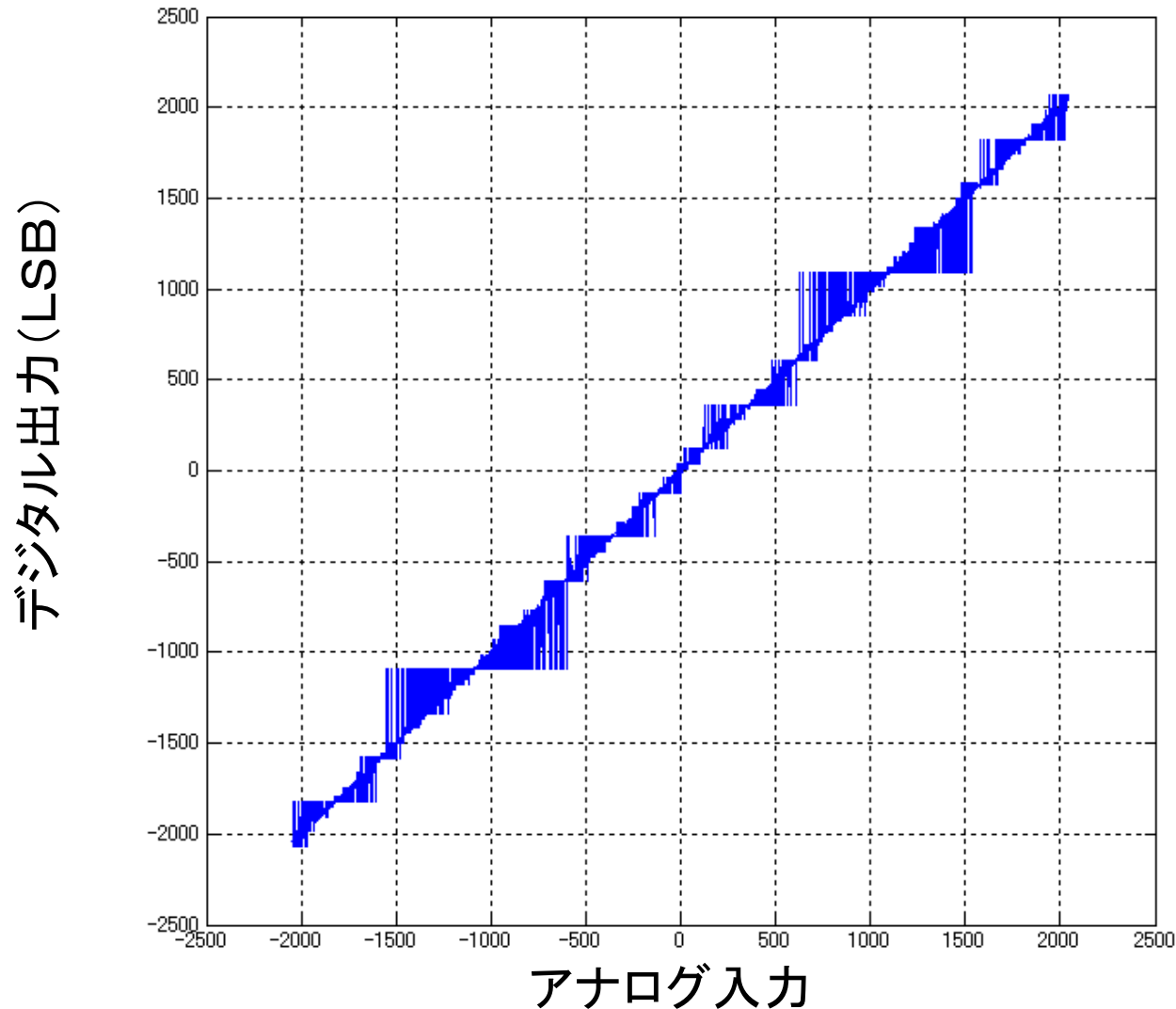
- コンパレータ2個の冗長アルゴリズムの
効果のシミュレーション
 - 高信頼性
 - 高速動作
- コンパレータ2個の冗長アルゴリズムの
詳細は後で述べる。

信頼性

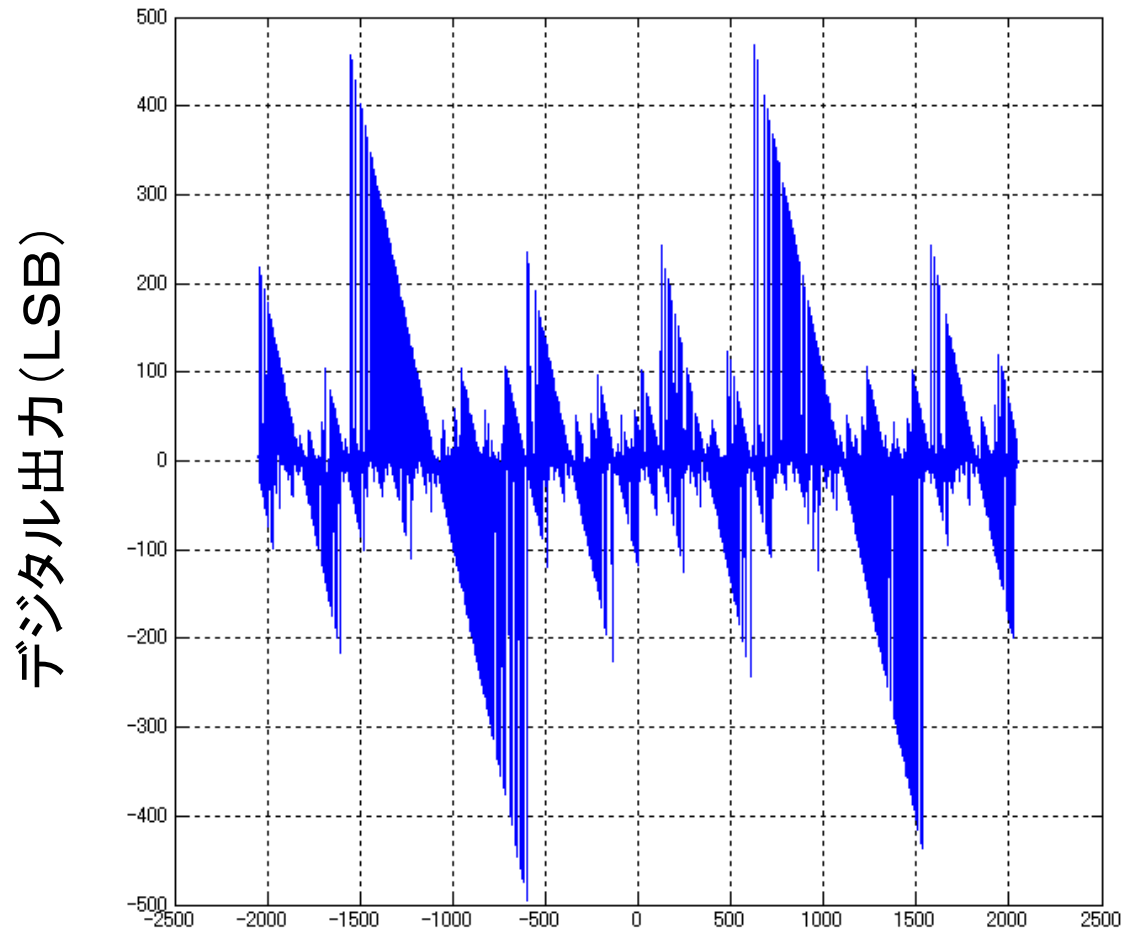
シミュレーション条件

- 比較値にノイズを加える。
- 入力はランプ波
- 12ビット分解能
- コンパレータ2個の冗長アルゴリズム
(12ビット12ステップ)

コンパレータ2個12ビット8ステップ 冗長性なし



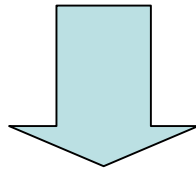
コンパレータ2個12ビット8ステップ 冗長性なし 誤差



アナログ入力

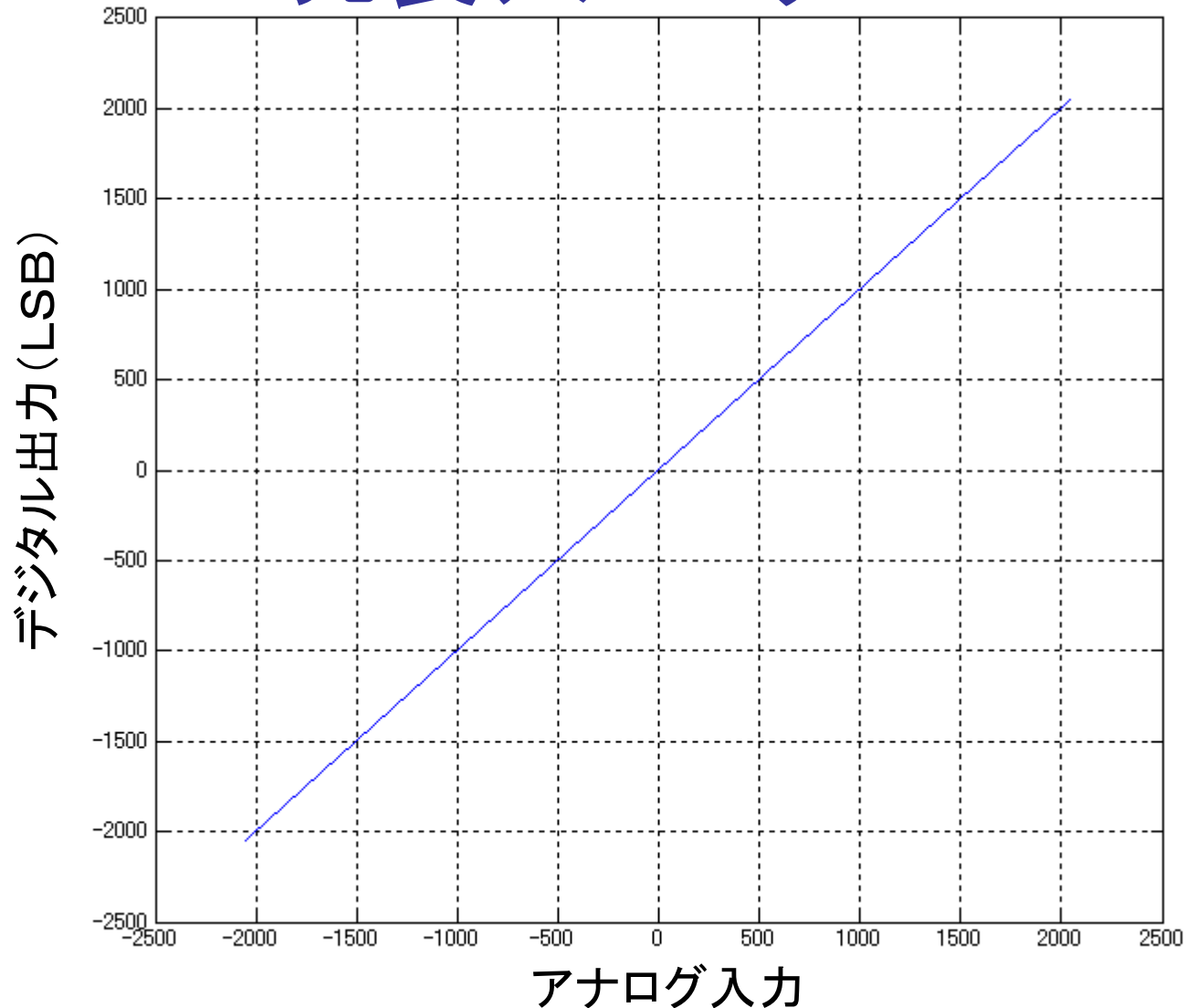
コンパレータ2個12ビット12ステップ 冗長アルゴリズム

ノイズは同じ

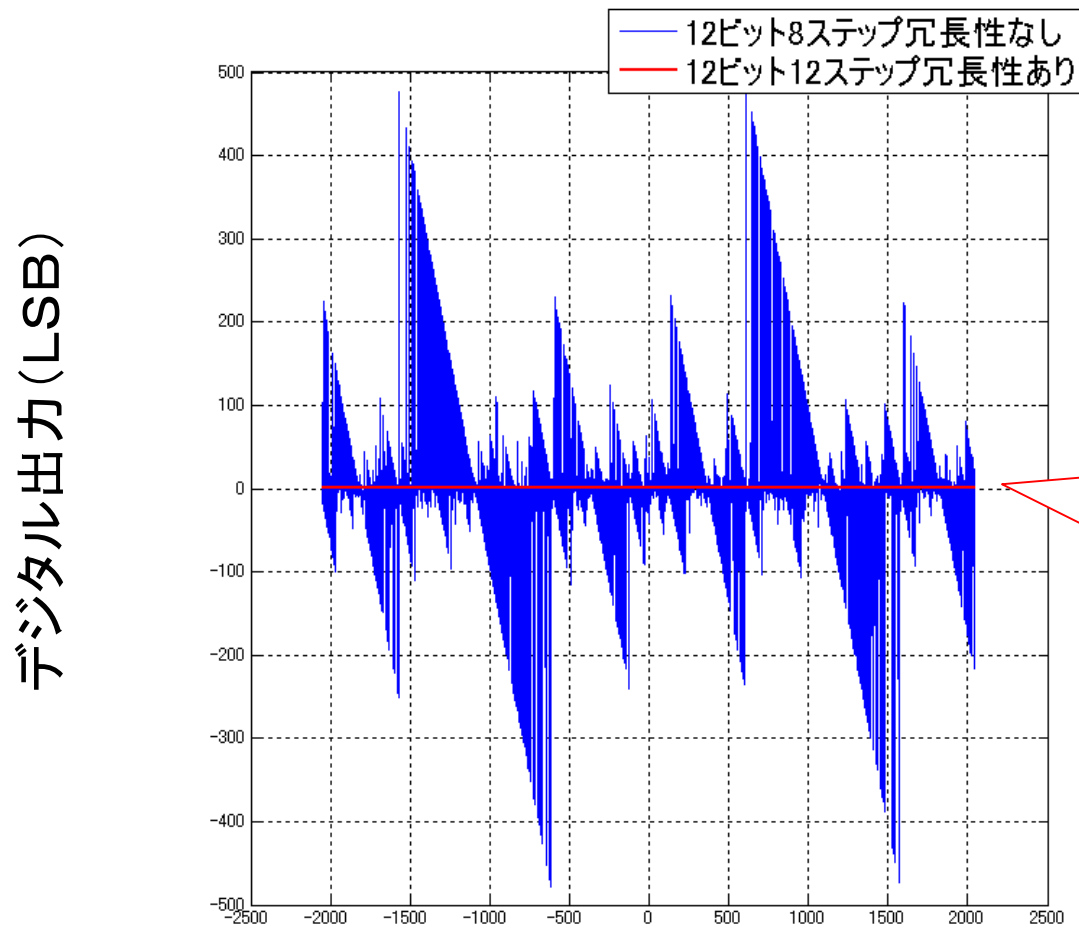


冗長性によりデジタル補正

コンパレータ2個12ビット12ステップ 冗長アルゴリズム



コンパレータ2個12ビット 冗長アルゴリズムの誤差の比較



低消費電力化への応用

前のステップ

低消費電力

ノイズ大

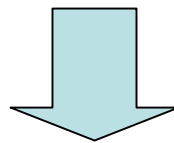
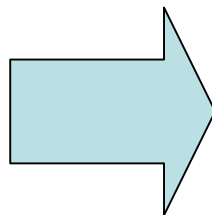
のコンパレータ使用

後ろのステップ

高消費電力

ノイズ小

のコンパレータ使用



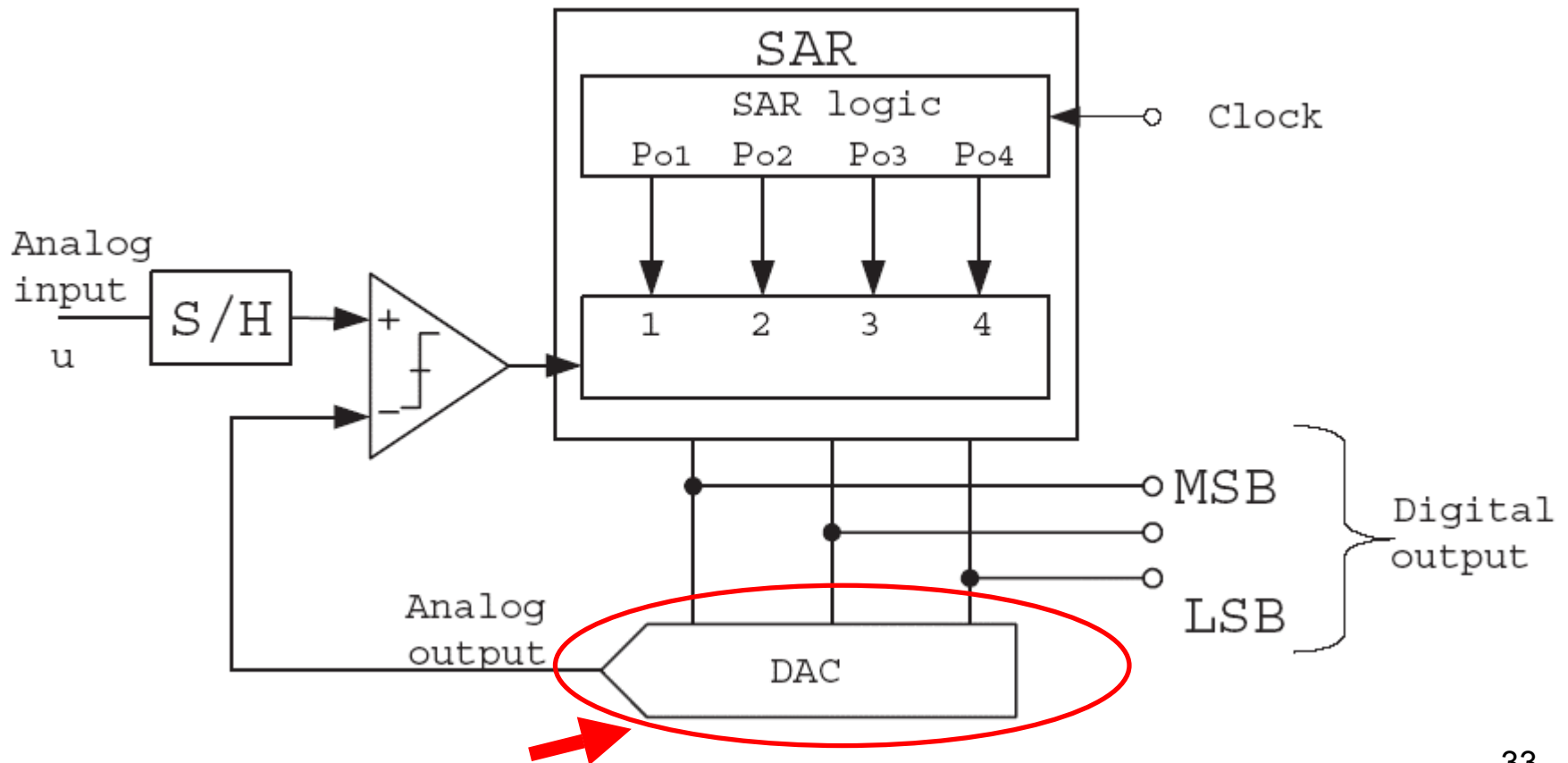
冗長性によりデジタル補正

高精度、低消費電力

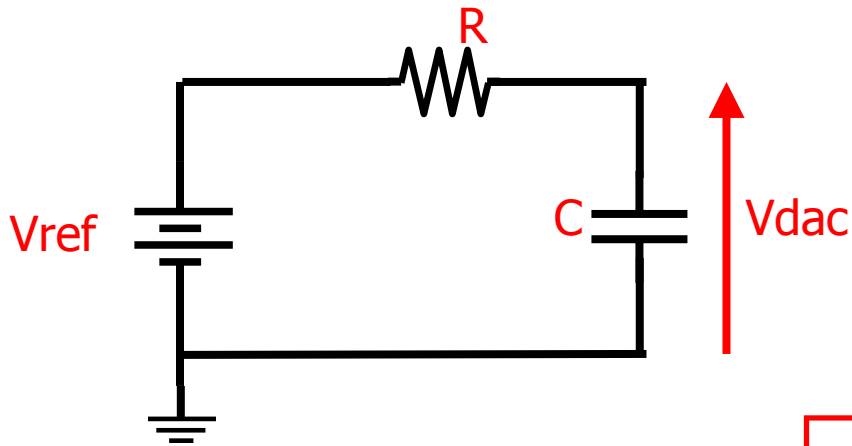
発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- **コンパレータ2個の冗長アルゴリズムの効果の確認**
 - 高信頼性
 - **高速動作**
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

高速動作 DACの不完全整定を考える



DACの整定誤差



$V_{dac}(t)$: 変換時間 t のときの比較電圧

V_{ref} : 比較電圧

V_0 : $t = 0$ の V_{dac}

$$V_{dac}(t) = V_{ref} \left[1 - (V_{ref} - V_0) e^{-\frac{t}{RC}} \right]$$

整定誤差

$$\text{時定数} : \tau = RC$$

変換時間と整定誤差

$$V_{dac}(t) = V_{ref} - (V_{ref} - V_0)e^{-\frac{t}{RC}}$$

整定誤差

$t = \infty$ のとき整定誤差は0

T大



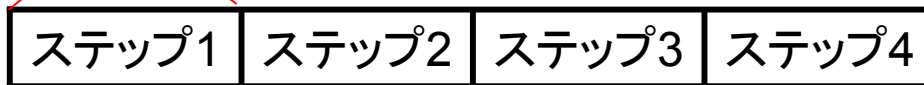
Ttotal

T大



整定誤差	高精度
変換速度	遅い

T小



T小

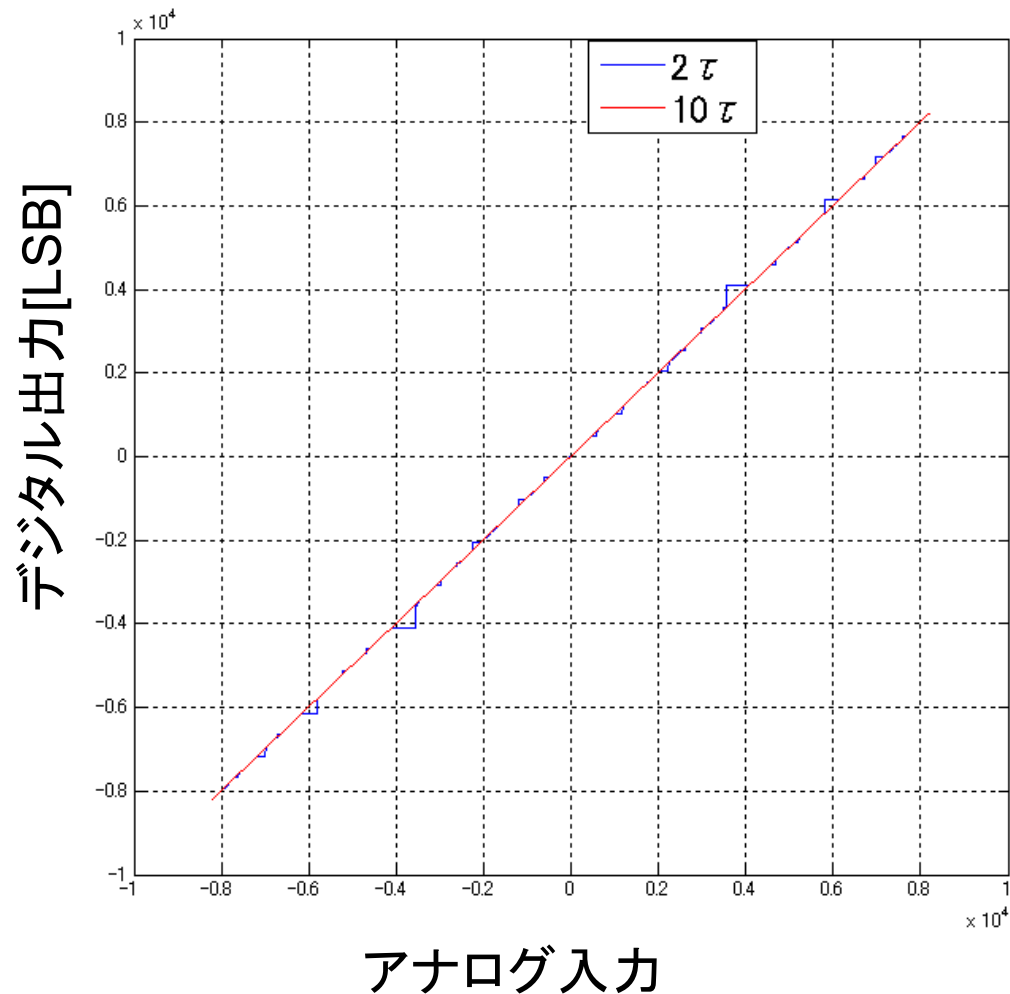


整定誤差	低精度
変換速度	速い

高速動作 シミュレーション条件

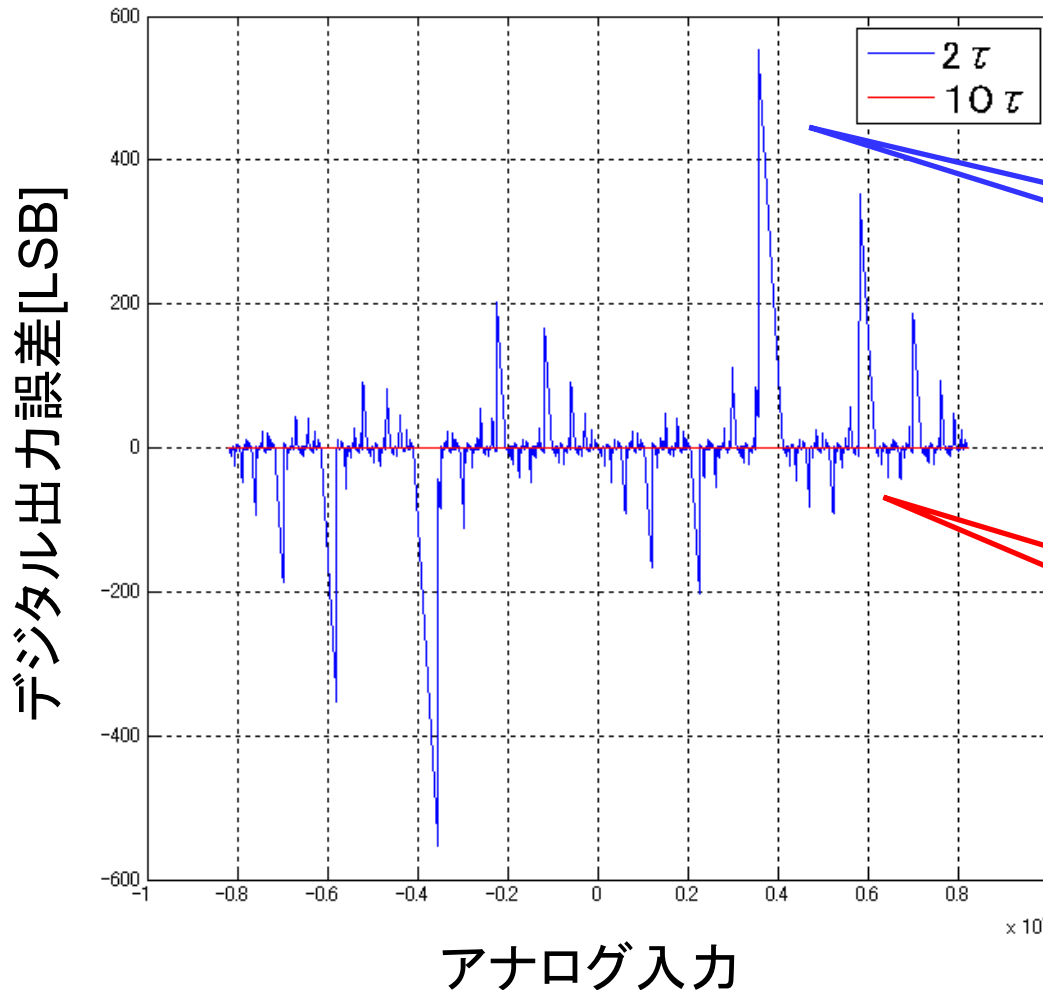
- DACの整定誤差のみを誤差要因とする。
- 14ビット分解能
- 入力はランプ波

コンパレータ1個2進探索アルゴリズム 変換時間 2τ と 10τ の比較



コンパレータ1個2進探索アルゴリズム

整定時間 2τ と 10τ の比較



2τ の場合は
500LSB以上の
誤差が発生

10τ の場合は
誤差0.5LSB以内

変換時間と整定誤差

$$V_{dac}(t) = V_{ref} - (V_{ref} - V_0)e^{-\frac{t}{RC}}$$

整定誤差

$t = \infty$ のとき整定誤差は0

初めのステップ 整定誤差 大

T大  T小

ステップ1	ステップ2	ステップ3	ステップ4
-------	-------	-------	-------

整定誤差	高精度
変換速度	速い

コンパレータ1個2進探索 整定時間の最適化

ステップ	変換時間T[τ]
1	0
2	9.1
3	8.4
4	7.7
5	7.0
6	6.3
7	5.6
8	4.9
9	4.2
10	3.5
11	2.9
12	2.2
13	1.7
14	1.1

各ステップでDACの整定誤差
が0.5LSB以内になる整定時間

整定時間9.1 τ に統一
Ttotal=118.3 τ

高速化

Tを最適化
Ttotal=64.6 τ

コンパレータ2個冗長性なし 14ビット9ステップ 整定時間の最適化

各ステップでDACの整定誤差
が0.5LSB以内になる整定時間

ステップ	変換時間 $T[\tau]$
1	8.8
2	9.8
3	8.7
4	7.6
5	6.5
6	5.4
7	4.3
8	3.3
9	2.2

整定時間 9.8τ に統一
 $T_{total}=88.2\tau$

高速化

T を最適化
 $T_{total}=56.6\tau$

コンパレータ2個の冗長アルゴリズム

- 変換時間 T 短い時間で一定する。
- 前のステップで発生する整定誤差は後ろのステップで冗長性で補正する。

コンパレータ2個冗長アルゴリズム 14ビット13ステップ

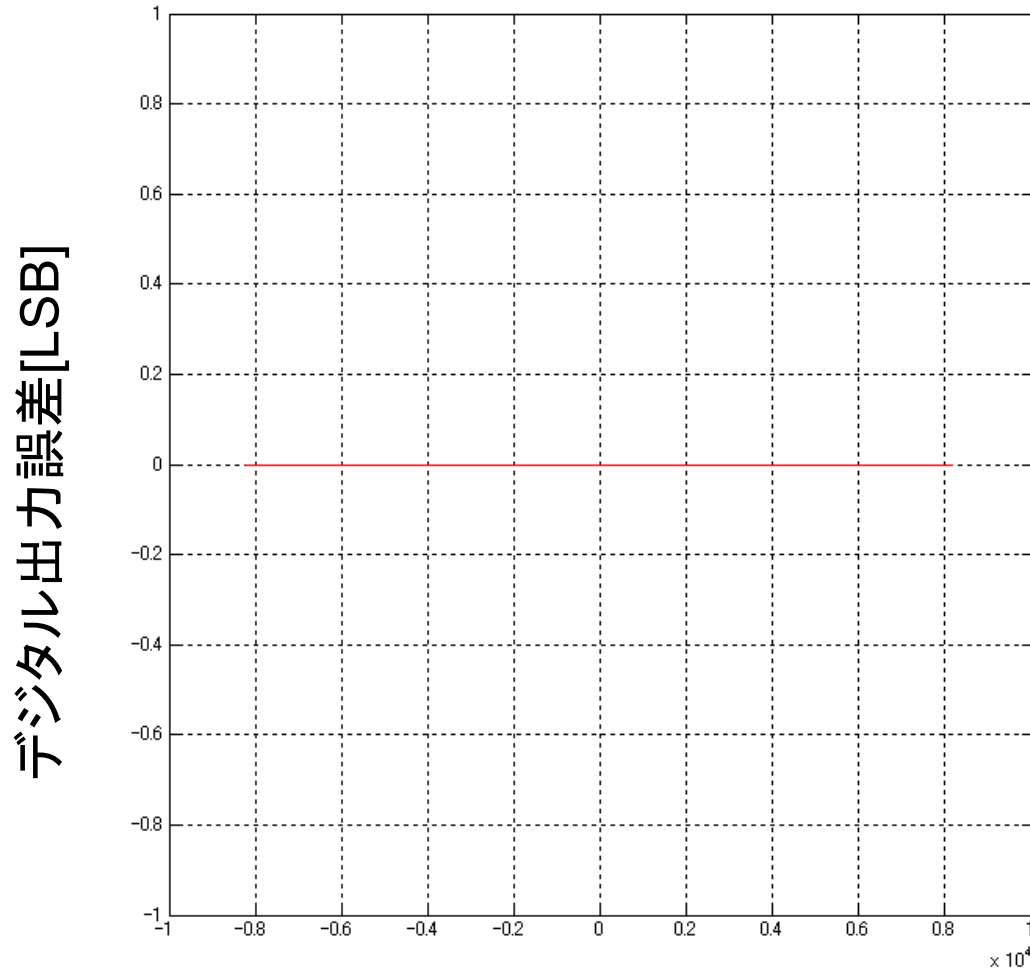
ステップk	冗長性q(k)	比較値に足す値p(k)
1	2047.5	0
2	1023.5	4096
3	511.5	2048
4	255.5	1024
5	127.5	512
6	63.5	256
7	31.5	128
8	15.5	64
9	7.5	32
10	3.5	16
11	1.5	8
12	0.5	4
13	0	2

14ビット13ステップ

各ステップの
変換時間 2.0τ

$T_{total} = 26 \tau$

コンパレータ2個冗長アルゴリズム 誤差



誤差0.5LSB以内

アナログ入力

ADC速度の比較

14ビット分解能ADCの誤差を
0.5LSB以下に抑える場合

コンパレータの数	1	1	2	2	2
冗長性	なし	なし	なし	なし	あり
変換時間	一定	可変	一定	可変	一定
合計変換時間[τ]	118.3	64.6	88.2	56.6	26

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- **コンパレータ2個の探索アルゴリズムの詳細**
 - **比較アルゴリズム**
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- まとめ

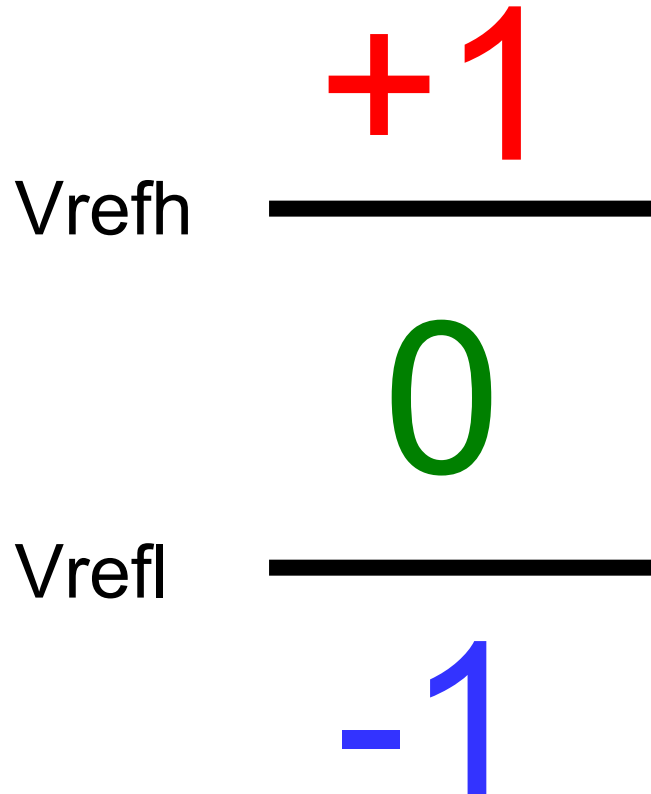
コンパレータ2個による 冗長アルゴリズムの一般化

- N ビット分解能を M ステップで実現。

$$2^N = 3^M \quad \longrightarrow \quad \text{冗長性なし}$$

$$2^N < 3^M \quad \longrightarrow \quad \text{冗長性あり}$$

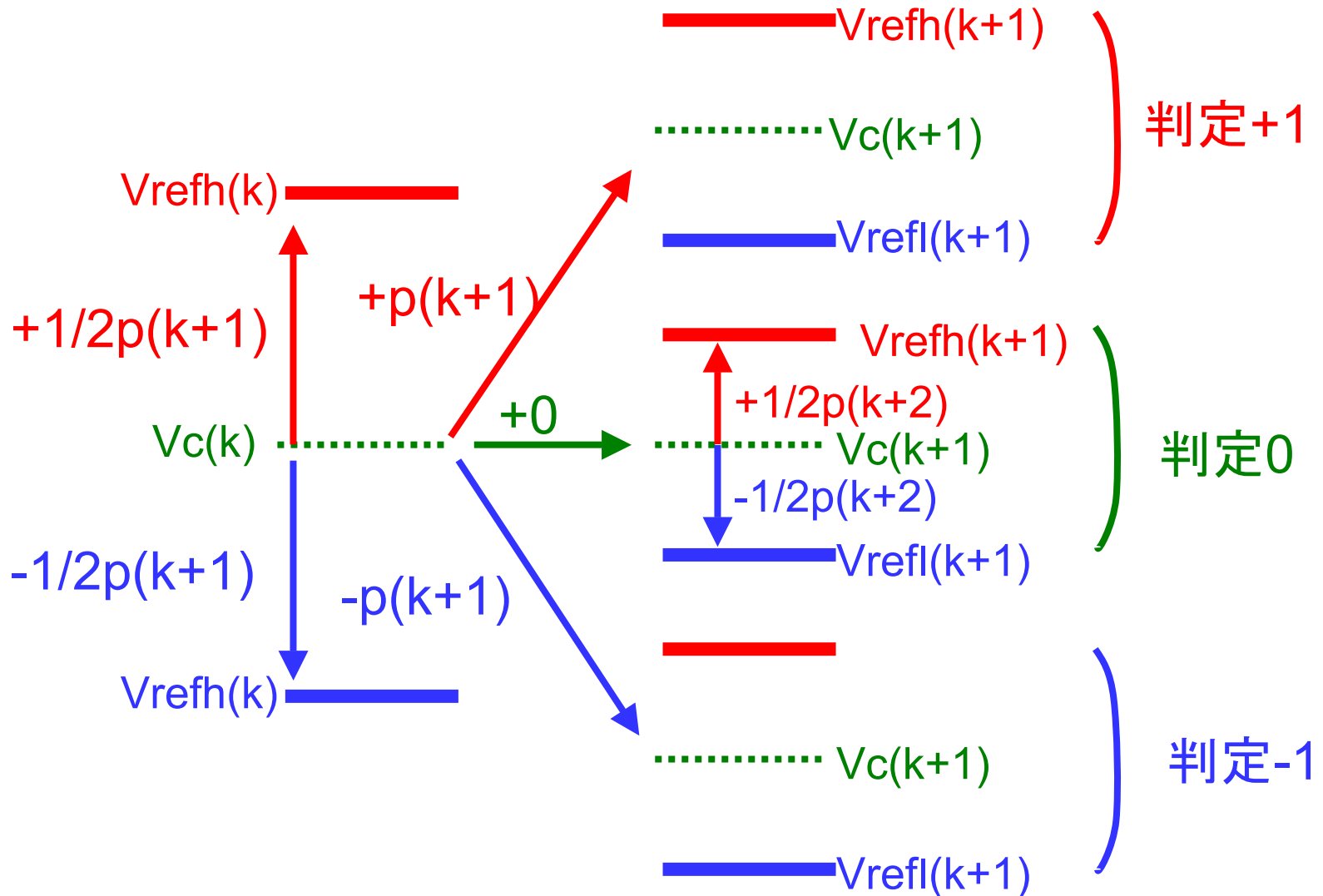
コンパレータ2個の判定



コンパレータ1	コンパレータ2	判定結果 d(k)
High	High	+1
Low	High	0
Low	Low	-1

3通り

比較値の決め方



コンパレータ2個のADC出力

$d(k)$: k ステップ目の判定

$p(k)$: k ステップ目の分銅

$$D_{out} = \left(\sum_{i=2}^M d(i-1) \cdot p(i) \right) + d(M)$$

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- **コンパレータ2個の探索アルゴリズムの詳細**
 - 比較アルゴリズム
 - **デジタル誤差補正範囲**
 - 設計手順
- 実現上の問題
- まとめ

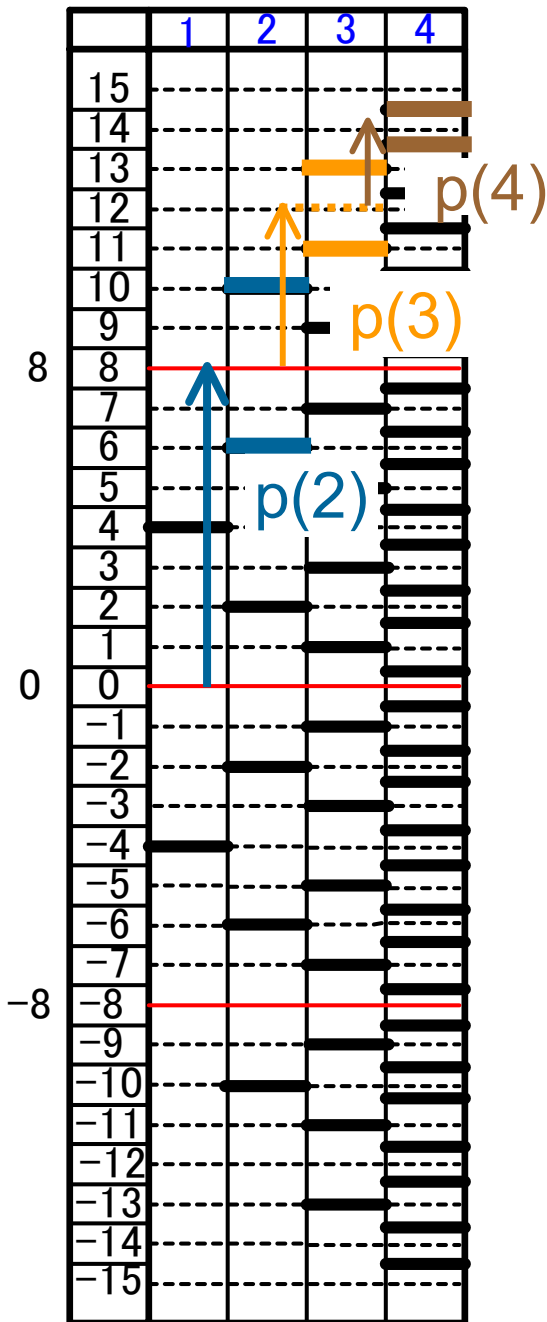
コンパレータ2個の 探索アルゴリズム

5ビット分解能(32レベル)
4ステップ($k=1, \dots, 4$)の場合
設計例1

$$p(2)=8$$

$$p(3)=4$$

$$p(4)=2 \quad \text{と設計する。}$$

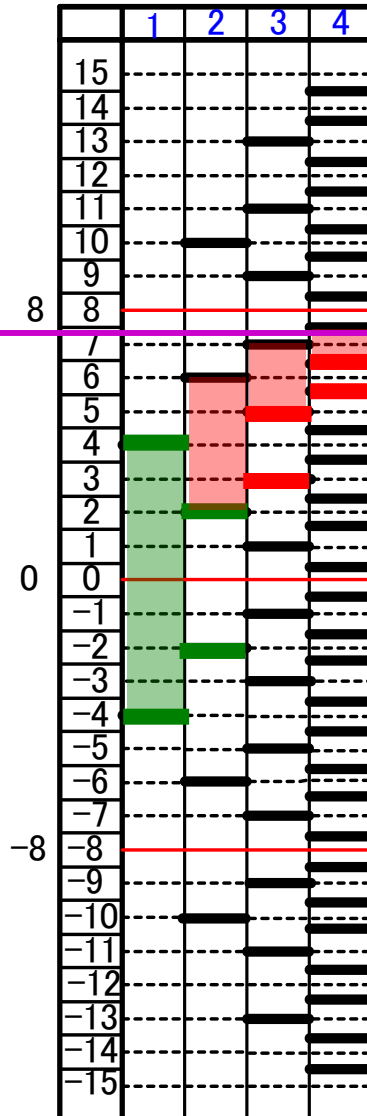
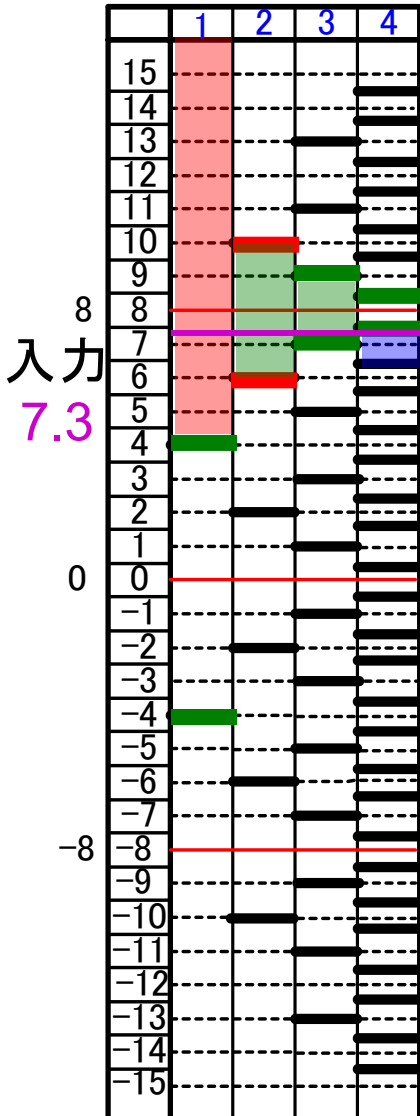


デジタル誤差補正の動作例

設計例1

正しい場合

1ステップ目
誤判定



$$p(2)=8, p(3)=4, p(4)=2$$

出力7

4判定出力

+1 0 0 -1
0 +1 +1 +1

2進5ビット 7

00111

$$D_{out} = \left(\sum_{i=2}^M d(i-1) \cdot p(i) \right) + d(M)$$

4判定出力から2進5ビットへの計算

+1 0 0 -1
0 +1 +1 +1

8+0+0-1=7
0+4+2+1=7

コンパレータ2個の デジタル誤差補正範囲

$q(k)$: デジタル誤差補正できる範囲

$$q(k) = -\frac{p(k+1)}{2} + 1.5 + \sum_{i=k+2}^M p(i)$$

kステップ目で誤判定しても、後の全てのステップの比較が正しいとき、

$$|V_{\text{ref}}(k) - V_{\text{in}}| < q(k)$$

ならば、正確にAD変換できる。

デジタル誤差補正範囲の計算

設計例1

$$p(2)=8, p(3)=4, p(4)=2$$

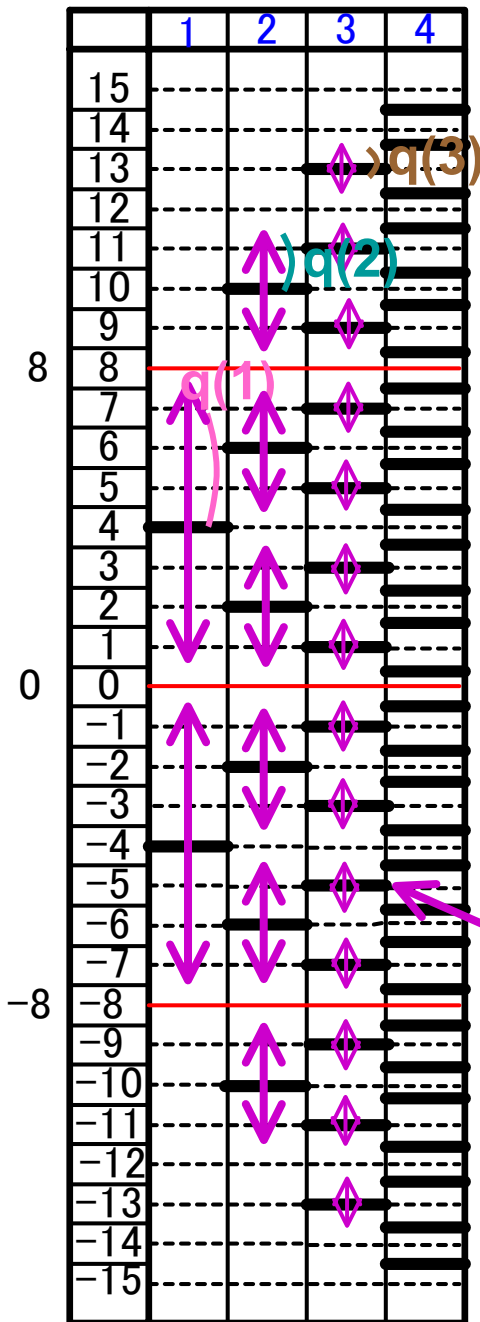
$$q(k) = -\frac{p(k+1)}{2} + 1.5 + \sum_{i=k+2}^M p(i)$$

$$q(1) = -4 + 1.5 + 4 + 2 = 3.5$$

$$q(2) = -2 + 1.5 + 2 = 1.5$$

$$q(3) = -1 + 1.5 = 0.5$$

誤判定しても補正
できる範囲



コンパレータ2個の 探索アルゴリズム

5ビット分解能(32レベル)
4ステップ($k=1, \dots, 4$)の場合

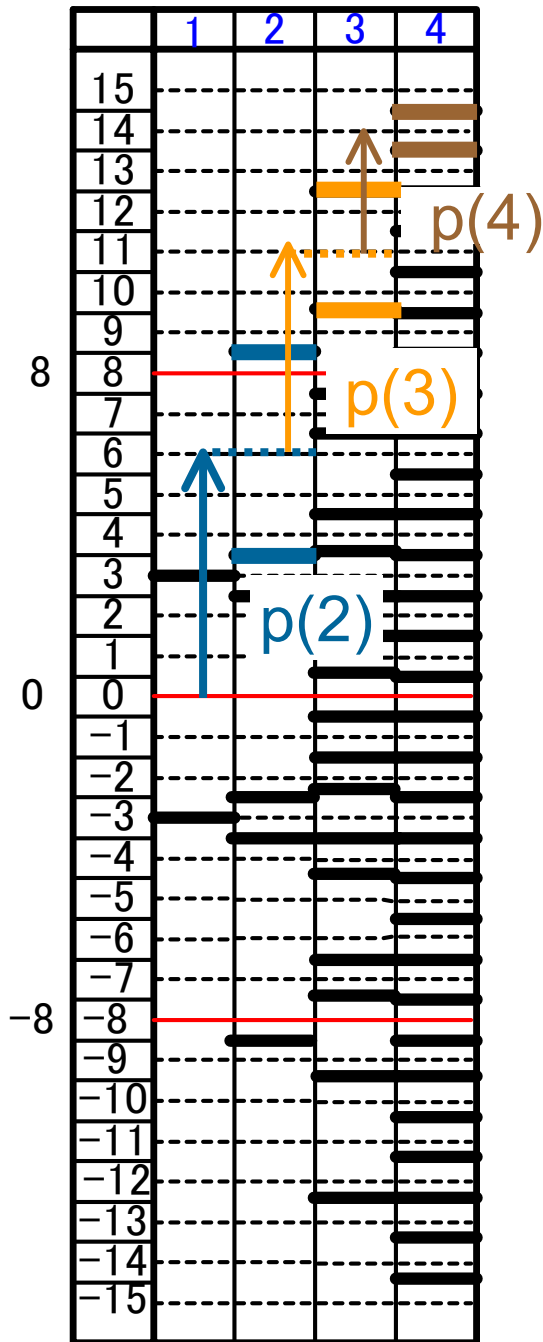
設計例2

$$p(2)=6$$

$$p(3)=5$$

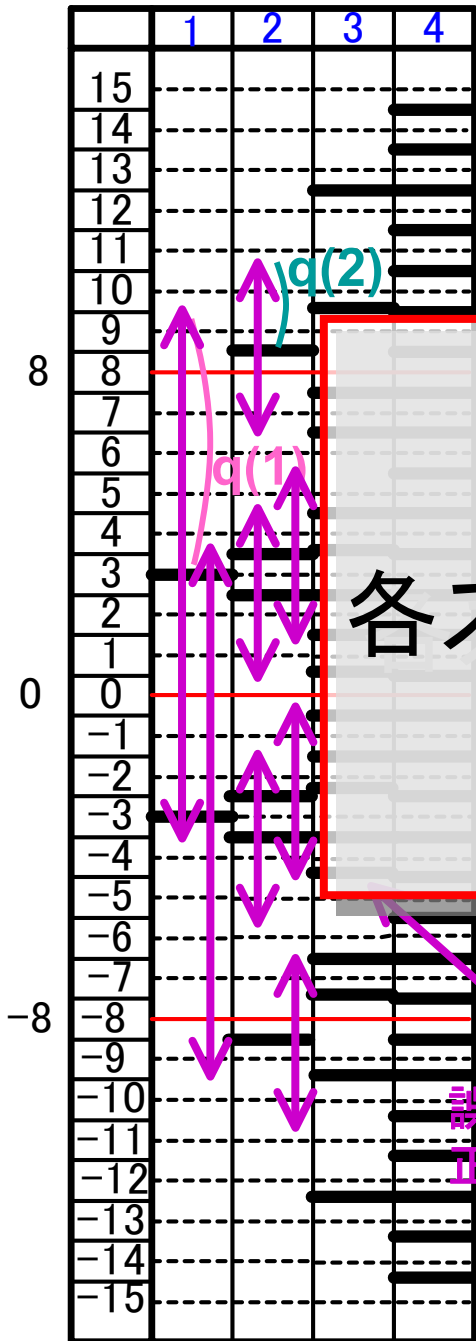
$$p(4)=3$$

と設計する。



デジタル誤差補正範囲の計算

設計例2



比較値の設計次第で
各ステップの冗長性のバランス
変化

誤判定しても補
正できる範囲

設計例1に比べ、
1,2ステップの誤差補正範囲→**広い**
3ステップ目の誤差補正範囲→**狭い**

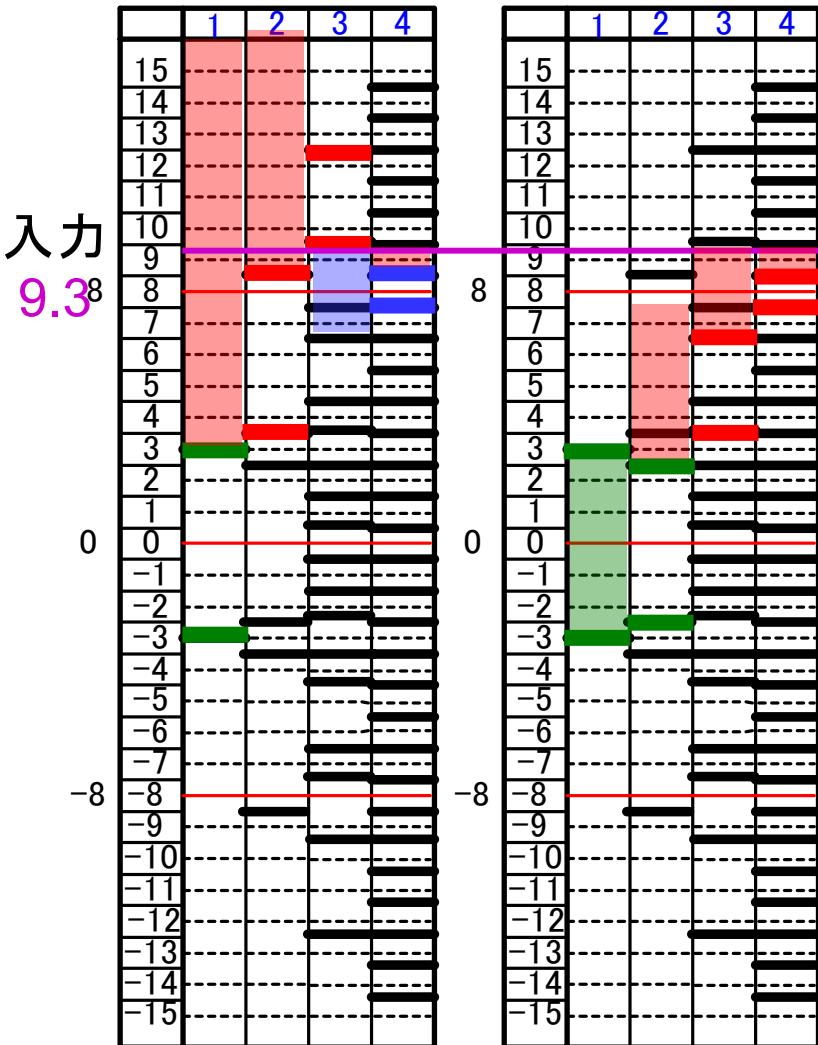
デジタル誤差補正の動作例

設計例2

正しい場合

1ステップ目
誤判定

$$p(2)=6, p(3)=5, p(4)=3$$



出力9

4判定出力

$+1 +1 -1 +1$
 $0 +1 +1 +1$

2進5ビット 9

01001

$$Dout = \left(\sum_{i=2}^M d(i-1) \cdot p(i) \right) + d(M)$$

4判定出力から2進5ビットへの計算

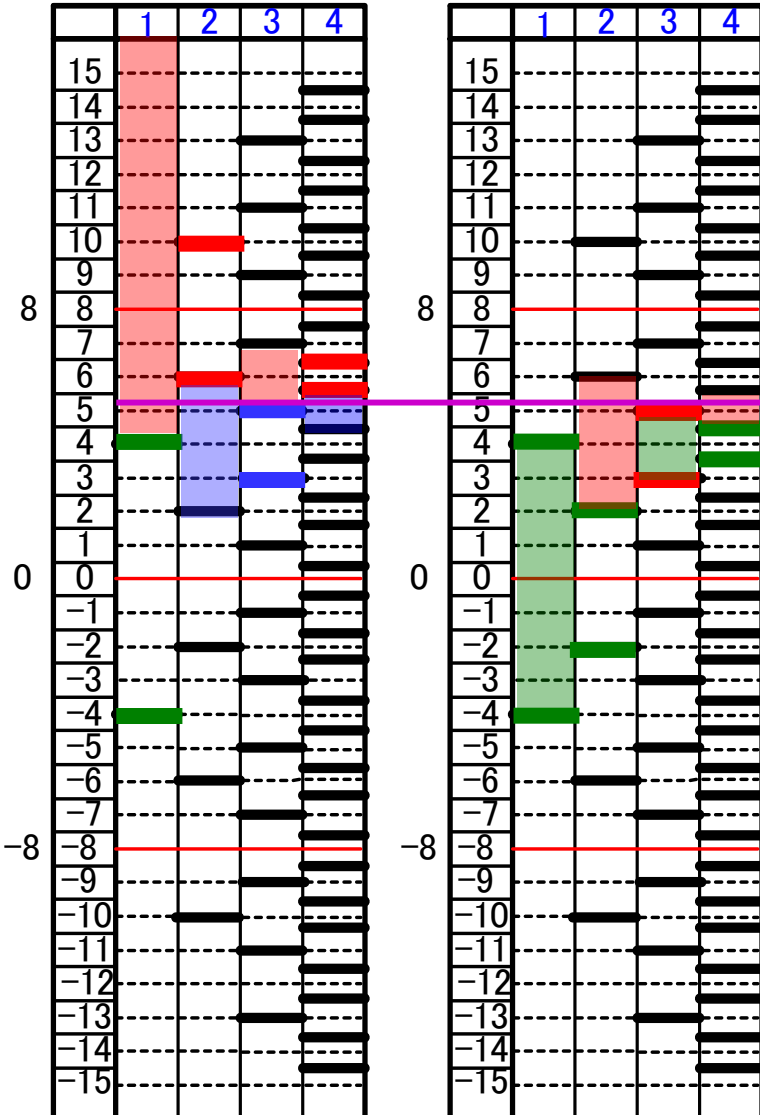
$+1 +1 -1 +1$
 $0 +1 +1 +1$

$6+5-3+1=9$
 $0+5+3+1=9$

複数回間違えられる場合

正しい場合

1、3ステップ目
誤判定



$$p(2)=8, p(3)=4, p(4)=2$$

$$q(1)=3.5, q(2)=1.5, q(3)=0.5, r=0$$

例: $V_{in}=5.3$

1ステップ目と3ステップ目で誤判定

1、3ステップ目で誤判定しても、補正可。

出力5

$$\begin{array}{l} +1 \quad -1 \quad +1 \quad -1 \\ 0 \quad +1 \quad 0 \quad +1 \end{array} \longrightarrow \begin{array}{l} 8-4+2-1=5 \\ 0+4+0+1=5 \end{array}$$

$$|V_{ref}(k) - V_{in}| < q(k)$$

ならば、正確にAD変換できる。

↓ 1,3ステップで満たす

$$q(1) = 3.5 > V_{in} - V_{refh}(1) = 1.3$$

$$q(3) = 0.5 > V_{in} - V_{refh}(3) = 0.3$$

デジタル誤差補正範囲 $q(k)$ の拘束条件

$$\underline{3^M} - \underline{(2^N - 1)} = \left(\underline{4 \sum_{i=1}^{M-1} 3^{i-1} q(i)} \right) + \underline{2r}$$

全場合の数

正確な比較
の場合の数

誤判定しても補正
可能な場合の数

出力レベルの
オーバーレンジ数

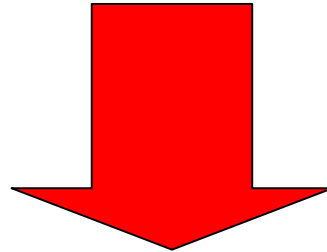
発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- **コンパレータ2個の探索アルゴリズムの詳細**
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - **設計手順**
- 実現上の問題
- まとめ

手順①

分解能のビット数N、ステップ数Mの決定

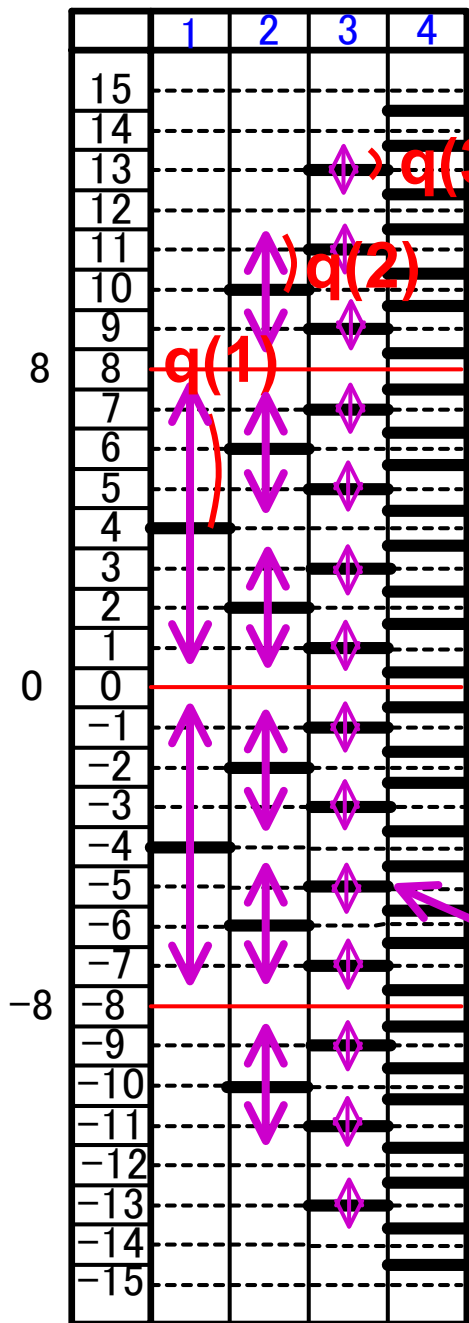
$$3^M - (2^N - 1) = \left(4 \sum_{i=1}^{M-1} 3^{i-1} q(i) \right) + 2r$$



M=4, N=5を代入

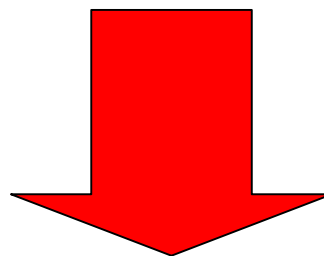
$$50 = 4q(1) + 12q(2) + 36q(2) + 2r$$

q(k):kステップ目のデジタル誤差補正範囲



手順② デジタル誤差補正範囲 $q(k)$ の設計

$$50 = 4q(1) + 12q(2) + 36q(2) + 2r$$

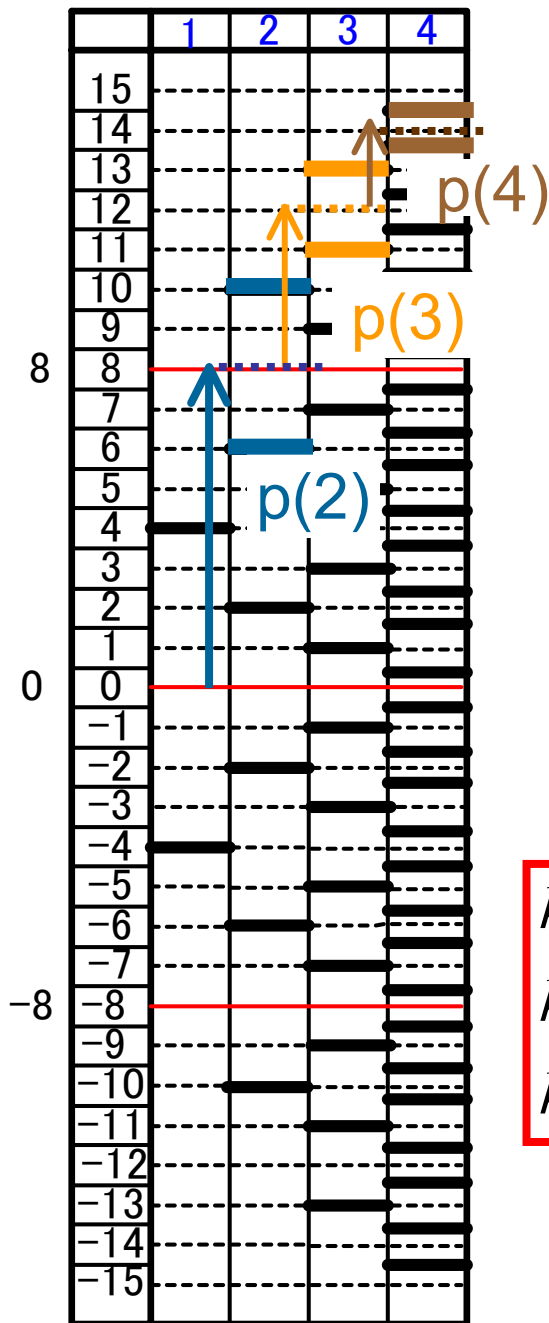


$q(k)$ と r を設計

$$q(1)=3.5, q(2)=1.5, q(3)=0.5, r=0$$

(設計例1)

誤判定しても補正
できる範囲



手順③ 分銅の重み $p(k)$ の計算

$q(1)=3.5, q(2)=1.5, q(2)=0.5, r=0$

$$p(k+1) = -2q(k) + 3^{M-k} - 4 \sum_{i=k+1}^{M-1} 3^{i-k-1} q(i)$$

$q(k)$ を代入

$$\begin{aligned}
 k = 1 \text{ のとき} & \quad p(2) = -2q(1) + 27 - 4q(2) - 12q(3) = 8 \\
 k = 2 \text{ のとき} & \quad p(3) = -2q(2) + 9 - 4q(3) = 4 \\
 k = 3 \text{ のとき} & \quad p(3) = -2q(3) + 3 = 2
 \end{aligned}$$

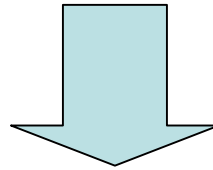
設計例1になる

発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- **実現上の問題**
- まとめ

実現上の問題

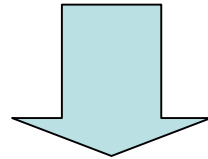
- 2個のコンパレータのオフセットのミスマッチ
- 2個のDACのミスマッチ



精度劣化

解決策

後ろのステップでコンパレータ1個の冗長アルゴリズムに切り替える。



1個のコンパレータと1個のDACにより、
バラツキ誤差が発生しない。
コンパレータ1個の冗長アルゴリズムで
前のステップの誤差を補正。

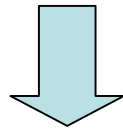
発表内容

- 研究背景と目的
- 逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の逐次比較近似AD変換器
 - 構成
 - 特徴
 - 動作
- コンパレータ2個の冗長アルゴリズムのデジタル誤差補正原理
- コンパレータ2個の冗長アルゴリズムの効果の確認
 - 高信頼性
 - 高速動作
- コンパレータ2個の探索アルゴリズムの詳細
 - 比較アルゴリズム
 - デジタル誤差補正範囲
 - 設計手順
- 実現上の問題
- **まとめ**

まとめ

逐次比較近似AD変換器の性能改善のために、

- コンパレータ2個を使用した冗長アルゴリズムを一般化
- デジタル誤差補正可能な範囲からの参照電圧の設計法を確立
- 2回誤っても補正できる範囲の明確化を行った。



高信頼性化

高速動作化

今後はチップ化実現を目指す。