

少量ハードウェア タイムデジタイザ回路

清水 一也, 金田雅人, 小林 春夫, 高井伸和, 堀田正生 †

群馬大学工学部電気電子工学科 〒 376-8515 群馬県桐生市天神町 1-5-1

tel:0277-30-1788 fax:0277-30-1707 e-mail:k.haruo@el.gunma-u.ac.jp

† 武蔵工業大学知能工学部情報通信ネットワーク工学科 〒 158-8557 東京都世田谷区玉堤 1-28-1

tel/fax:03-5707-2131 e-mail:mhotta@sc.musashi-tech.ac.jp

A Time-to-Digital Converter with Small Circuitry

Kazuya SHIMIZU , Masato KANETA , Haruo KOBAYASHI ,

Nobukatu TAKAI , Masao HOTTA†

Electronic Engineering Department, Faculty of Engineering, Gunma University

1-5-1 Tenjin-cho Kiryu Gunma Japan 376-8515

† Department of Electronics & Communication Engineering, Musashi Institute of Technology

1-28-1 Tamatsutsumi, Setagaya Tokyo 158-8557 Japan

要約 - A Time-to-Digital-Converter (TDC) circuit measures the interval time between two signals, and its application is now gradually expanding; it is used in, an all digital PLL and a time-domain ADC. The TDC circuit consists of mostly digital circuits, and advanced CMOS process enables its time resolution of several pico seconds.

This paper describes a TDC architecture with small CMOS circuitry as well as fine time resolution and low jitter compared to a conventional vernier delay line TDC; the number of the delay buffers in the proposed TDC is half of the conventional TDC, which leads to small chip area and low power. Also the nonlinearity due to delay mismatch among buffers is reduced, which we have demonstrated by MATLAB simulation. We have also designed and laid out its circuitry using TSMC 0.18um CMOS process.

キーワード : タイムデジタイザ回路、ジッタ、時間領域回路

Keywords: Time-to-Digital-Converter (TDC), Jitter, Time Domain Circuit

1. はじめに

Time-to-Digital-Converter(TDC) は時間間隔を測定する回路であり、測定器としてはタイムインターバルアナライザやデジタル・サンプリング・オシロスコープにおいて時間計測に用いられている。また近年の CMOS プロセス技術の微細化により、高速デジタル回路を利用することによって、TDC の性能は数ピコ秒の時間分解能のものが実現されている。図 1 に、報告されている TDC の時間分解能を示す [1],[2],[3],[4],[5],[6],[7],[8],[9]。

CMOS 微細化により耐圧が低下し、従来のアナログ回路の電圧領域での動作ではなく、時間領域を利用するというアナログ回路設計でのパラダイムシフトが起こっている [10]。時間領域であれば、微細化とともに高分解能化され、システム全体として高性能化して

いく。最近では、TDC は All-Digital-PLL(ADPLL) の位相比較器や、センサ関係や変復調回路においても用いられている [10],[11],[12],[18],[19]。我々も、TDC を利用した AD 変換器について検討している [20],[21]。

微細 CMOS では、高速スイッチング動作可能である利点を活かした時間領域信号処理が重要である。そこで、TDC は今後ますます重要になっていく技術であり、多くのシステムのキーコンポーネントとなる。

本論文では、TDC の小回路規模 (したがって低消費電力、低コスト)、低ジッタ、高線形性の構成法の検討と、TSMC の 0.18um CMOS プロセスを用いた回路・レイアウト設計を報告する。

2. 基本 TDC の構成と動作

基本 TDC の構成を図 2 に示す。TDC は Reference

CLK のパスに遅延バッファを挿入し、バッファ遅延によるディレイラインを構成する。図 2 に示すように、バッファ遅延 τ_1 の整数倍だけ遅延させ、被測定信号の立ち上がりでディレイラインの Reference CLK の状態をフリップ・フロップで取り込む。これによって被測定信号の立ち上がりまでの時間間隔がバッファ遅延何段に相当するか測定することができ、時間をデジタル値へと変換することができる。この TDC の構成では Reference CLK のパスに使われているバッファの遅延時間 τ_1 が TDC の最小時間分解能になる。

3. Vernier delay line TDC の構成と動作

図 3 に従来型の Vernier delay line TDC の回路構成を示す。Reference CLK と被測定信号パスにそれぞれ異なる遅延時間 τ_1, τ_2 ($\tau_1 > \tau_2$) を持つ遅延バッファを縦続接続することによって 2 種類のディレイラインを構成する。そして、図 3 のようにそれぞれの Reference CLK と被測定信号パスの遅延バッファ出力にフリップ・フロップを接続する。図 3 に示すようなバーニア・ディレイライン構成にすることで、フリップ・フロップは Reference CLK と被測定信号をのバッファの遅延時間の差で比較する動作になる。つまり TDC の時間分解能は $\tau_1 - \tau_2$ となる。

その他にも、図 4 のように、ラッチ回路の特性を用いて入力時間差を増幅し時間分解能を向上させる方法 [5],[6] や、図 5 に示すように時間分解能が荒いものと細かい分解能のディレイラインの組み合わせによって、fine と coarse のパスに分けて 2 ステップで時間間隔を測定する方式も提案されている [3],[13]。

4. 提案 Vernier delay line TDC 回路構成

提案する Vernier delay line TDC の回路構成を図 6 に示す。提案 Vernier delay line TDC は従来型の Vernier delay line TDC とは異なり、遅延時間の異なる遅延バッファ τ_1 と τ_2 を Reference CLK へ組み込む。そして、 τ_1 のバッファにより構成したディレイラインの接続点に、 τ_2 のバッファによるディレイラインを構成することによって、階層的に縦続接続する。このような構成にすることで、従来型の vernier delay line TDC と同様の $\tau_1 - \tau_2$ の時間分解能を実現することができる。提案する TDC の動作例として、 $\tau_1 = 30\text{ps}$, $\tau_2 = 20\text{ps}$ としたとき、図 7 から図 10 には 20ps から 50ps までの検出方法を示している。このように、選ぶパスにより 2 種

類のバッファの整数倍と足し算により $\tau_1 - \tau_2 = 10\text{ps}$ の時間分解能で変換することが可能である。また、従来の Vernier delay line TDC 構成で遅延時間 30ps のバッファ τ_1 と 20ps の遅延バッファ τ_2 で 200ps までの測定を行う場合を考えると、バッファの数は 40 個必要となり、最大直列接続段数は 20 段となる。しかし今回の提案方式ではバッファは 19 個で構成することができ、直列接続段数は最大 7 段となり小面積化が可能になる。

同様にして、3 種類の異なる遅延のバッファを用いることにより、さらに直列接続段数を減らすことができる。図 11 に設計例を示す。この場合の最大直列段数は 4 段となる。

5. Vernier delay line TDC のジッタと線形性

従来の Vernier delay line TDC の構成では被測定信号パスに遅延バッファを入れて、Reference CLK の遅延バッファによる遅延との差を利用して、時間間隔を検出するというものであった。このため従来の構成では、被測定信号パスと Reference CLK の両方に遅延バッファが入るので、両方のバッファでの遅延時間のばらつきが時間分解能に影響を与える。さらに遅延バッファの縦続段数も多いためにバッファの遅延時間のばらつきによる時間測定時における線形性が問題になる。

この直列接続段数による線形性の影響を解析するために、図 12 のようなモデルを考える。従来構成と今回提案する TDC の構成によって 1000ps まで測定を行うことを考える。この場合、従来構成では最大直列接続段数が 100 段となる、一方で提案する TDC では、34 段に削減することができる。

図 13 は、ここのバッファ τ_1 の遅延ばらつき rms 値を 3ps、 τ_2 の遅延ばらつき rms 値を 2ps とし、従来 Vernier delay line TDC で 1000ps の遅延を作ったときのトータル遅延ばらつきのヒストグラムである。このシミュレーション結果では従来の Vernier delay line TDC の遅延時間ばらつきの実効値は 34.5ps.rms で最大 100ps 程度のばらつきが生じてしまうことがわかる。

図 14 は提案 Vernier delay line TDC で 1000ps の遅延を作ったときのヒストグラムを示している。提案型では被測定信号パスにはバッファが入らず、Reference CLK に使われる遅延バッファの数も減るため遅延バッファのばらつきが原因となる非線形性は減少する。最

終段での遅延時間のばらつきについては、従来方式の場合は 34.5ps.rms で提案方式では 16.8ps.rms となった。この結果より直列接続段数削減によって、遅延ばらつきによる非線形性を軽減できることがわかる。

6. Vernier delay line TDC の回路及びレイアウト

TSMC の 0.18 μ m CMOS にて IC の回路、レイアウト設計を行った。図 15 に設計した回路を示す。Vdd=1.8[V]、時間分解能 100ps として 5bit 出力で 200ps ~ 3300ps までの測定が可能である。内部回路を、図 16、17 に、図 18 にレイアウト設計を示す。

7. Vernier delay line TDC の測定法

測定は、図 19 のような環境で行うことを考えている。信号発生器からの出力を TDC に入力して、その出力信号をマルチプレクサで選択してロジックアナライザで取り込む。そして MATLAB で計算を行い、INL、DNL の特性の測定を行う予定である。

8. まとめと今後の課題

この論文では、時間領域信号処理を行う上で、キーコンポーネントとなる TDC の回路構成の検討を行った。ディレイラインから階層的にディレイラインを構成することと、バッファの遅延時間の値により、従来の TDC の構成に比べて最大の直列接続段数の削減とディレイラインのバッファ数の削減を行うことができる。また、それによってバッファの遅延時間のばらつきによる TDC の時間測定におけるジッタも軽減し線形性を改善する。

今後の課題としては、現在準備を進めている試作 IC の測定、評価を行うことである。

謝辞

有意義なご討論をいただきましたの益子耕一郎様、松浦達治様、八木勝義様、阿部彰様、傘吳先生、小室貴紀先生に謝意を表します。この研究を支援していただいている株式会社 半導体理工学センター (STARC) に感謝致します。

参考文献

- [1] S.Henzler, et.al., "90nm 4.7ps-Resolution 0.7-LSB Single-Shot Precision and 19pJ-per-Shot Local Passive Interpolation Time-to-Digital Converter with On-Chip Characterization", *IEEE International Solid-State Circuits Conference*, pp.548-549, (2008).
- [2] J.Jansson, et.al., "A Delay Line Based CMOS Time Digitizer IC with 13 ps Single-shot Precision", *IEEE International Symposium on Circuits and Systems*, pp.4269-4272, Kobe (2005).
- [3] J.Jansson, et.al., "A CMOS Time-to-Digital Converter With Better Than 10ps Single-Shot Precision", *IEEE Journal of Solid-State Circuits*, vol.41, no.6, pp.1286-1296,(June 2006).
- [4] R.B.Staszewski, et.al., "1.3V 20p Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS", *IEEE Transaction on Circuits and Systems-Express Briefs*,Vol.53,No3.(Mar.2006).
- [5] A.M.Abas, et.al., "Time Difference Amplifier", *ELECTRONICS LETTERS*,7th Vol.38 ,No.23 (Nov.2002).
- [6] M.Lee,A.A.Abidi, "A 9b,1.25ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue", *Symposium on VLSI Circuits Desigest of Technical Papers* (2007).
- [7] L.Lee,D.Weinlader,C.K.Yang, "A Sub-10-ps Multi-phase Sampling System Using Redundancy", *IEEE Journal of Solid-State Circuits*,Vol.41,No.1,(Jan.2006).
- [8] K.Nose,M.Kajita,M.Mizuno, "A 1-ps Resolution Jitter Measurement Macro Using Interpolated Jitter Oversampling", *IEEE Journal of Solid-State Circuits*,Vol.41,No.12,(Dec.2006).
- [9] K.Nose,M.Mizuno, "A 0.016mm²,2.4GHz RF signal quality measurement macro for RF test and diagnosis", *Symposium on VLSI Circuits Desigest of Technical Papers* (2007).
- [10] R.B.Staszewski ,et.al., "All-Digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS",*IEEE Journal of Solid-State Circuits* , vol.39, no.12, pp.2278- 2291 (Dec. 2004).
- [11] H.Chang, et.al., "A Fractional Spur-Free ADPLL with Loop-Gain Calibration and Phase-Noise Cancellation for GSM/GPRS/EDGE", *IEEE International Solid-State Circuits Conference*, pp.200-201, (2008).
- [12] C.Hsu, et.al., "A Low-Noise,Wide-BW 3.6GHz Digital Fractional-N Frequency Synthesizer with a Noise-Shaping Time-to-Digital Converter and Quantization Noise Cancellation",*IEEE International Solid-State Circuits Conference*, pp.340-341, (2008).
- [13] M.H.Perrott, "Digital Phase-Locked Loops", *IEEE International Solid-State Circuits Conference Tutorial*, (2008).

- [14] W.Maichen, "Digital Timing Measurements From Scopes and Probes to Timing and Jitter", Springer, (2006).
- [15] J.Rivoir, "Fully-Digital Time-to-Digital Converter for ATE with Autonomous Calibration," *Proc. IEEE International Test Conference*, Paper 6.3 (CD-ROM), Santa Clara, CA, (Oct. 2006).
- [16] J.Rivoir, "Statistical Linearity Calibration of Time-to-Digital Converters Using a Free-Running Ring Oscillator," *Proc. Fifteenth Asian Test Conference*, pp.45-50, Fukuoka (Nov. 2006).
- [17] B.M.Helal, et.al., "A Low Jitter 1.6GHz Multiplying DLL Utilizing a Scrambling Time-to-Digital Converter and Digital Correlation", *Symposium on VLSI Circuits Design of Technical Papers* (2007).
- [18] B.J.Moon, et.al., "A Full-Digital Multi-Channel CMOS Capacitive Sensor" *IEEE Asian Solid-State Circuits Conference* (2006).
- [19] H.S.Kao, et.al., "A Delay-Line-Based GFSK Demodulator for Low-IF Receivers" *IEEE International Solid-State Circuits Conference* (2007).
- [20] 小室 貴紀、ヨッヘン・リヴォアル、清水 一也、光野 正志、小林 春夫、「タイムデジタイザを用いたAD変換器アーキテクチャ」、電子情報通信学会誌 和文誌C vol. J90-C, no.2, pp.125-133 (2007年2月)。
- [21] 小室貴紀、清水一也、真鍋亘、小林 春夫、「タイムデジタイザを用いたAD変換器の展開と高性能化」、電気学会 電子回路研究会 豊橋 (2008年3月)。

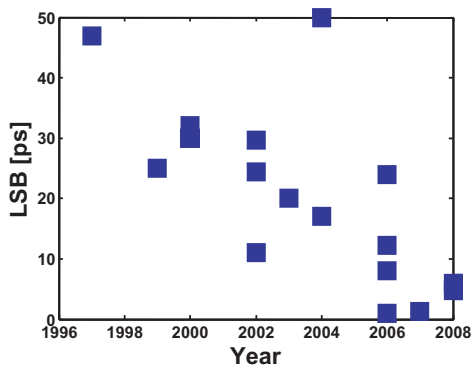


図 1: 報告されている TDC の時間分解能.

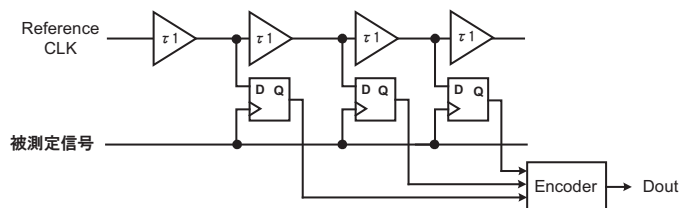


図 2: 基本 TDC の構成.

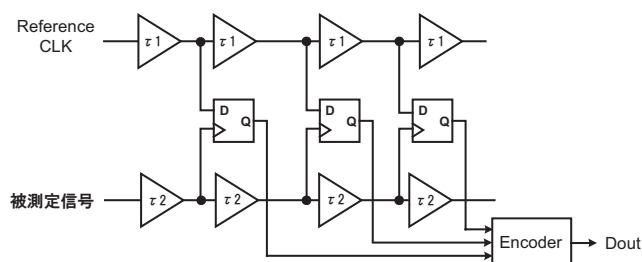


図 3: 従来型の vernier delay line TDC の構成.

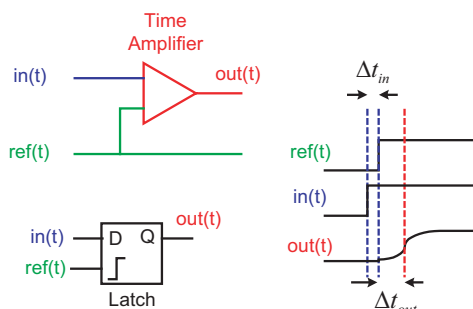


図 4: 時間増幅回路.

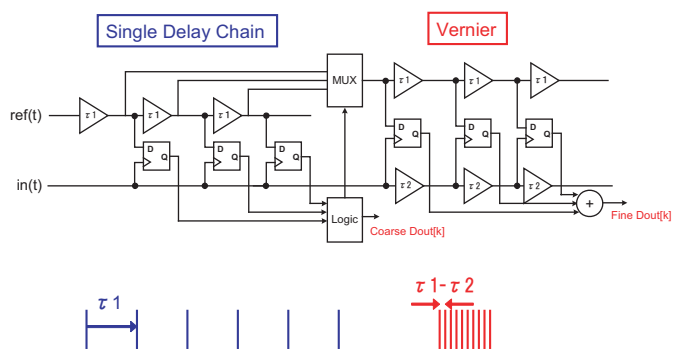


図 5: 2 ステップ TDC.

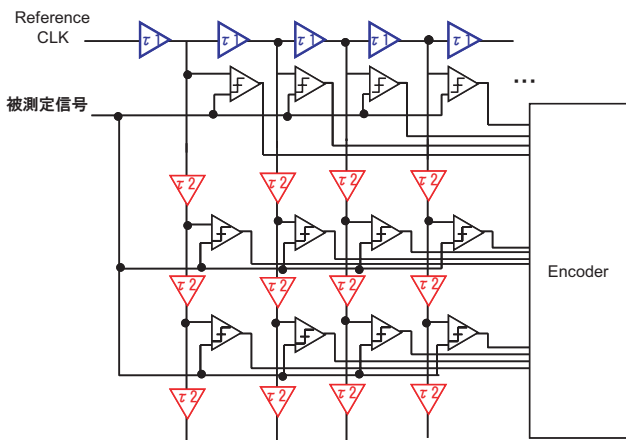


図 6: 提案 vernier delay line TDC の構成.

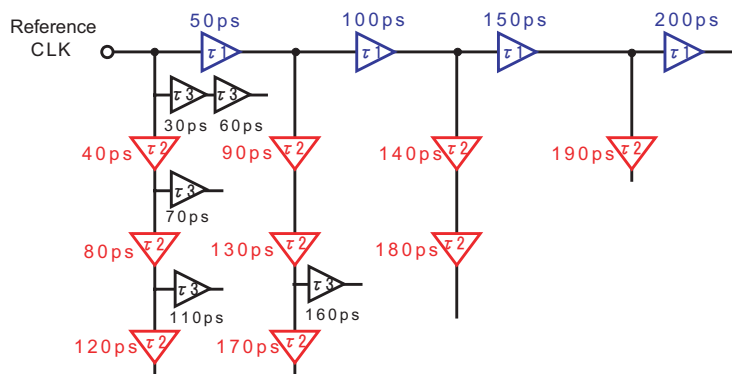


図 11: 提案 vernier delay line TDC の構成 (3 種類のバッファ).

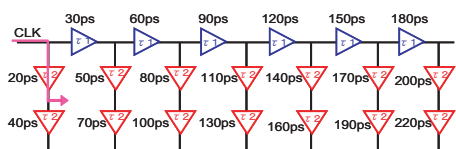


図 7: 20ps の遅延時間の出力.

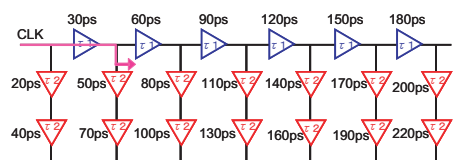


図 8: 30ps の遅延時間の出力.

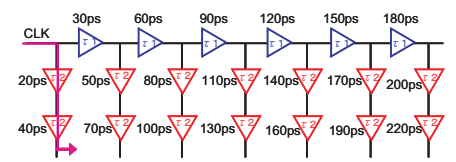


図 9: 40ps の遅延時間の出力.

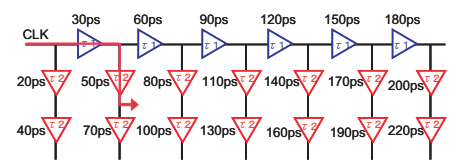


図 10: 50ps の遅延時間の出力.

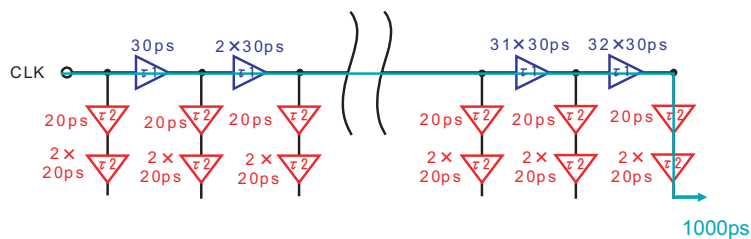
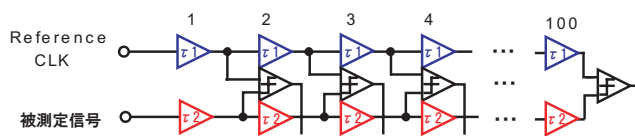


図 12: 非線形性の解析モデル.

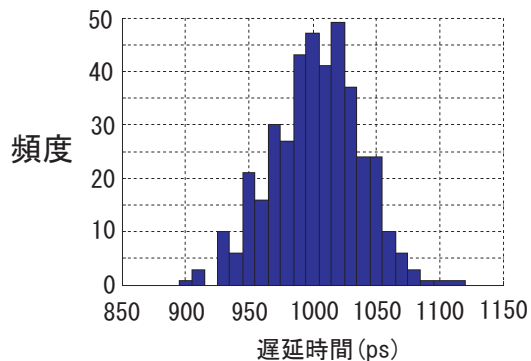


図 13: Vernier delay line TDC のバッファ遅延ばらつき.

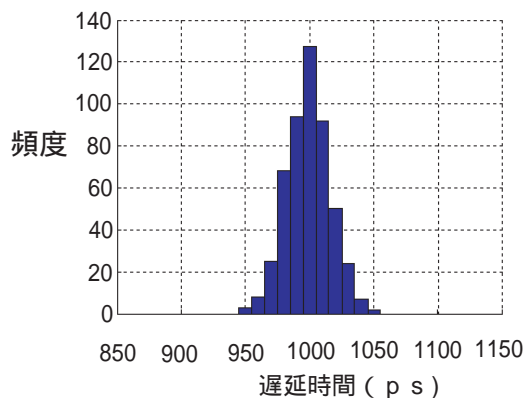


図 14: 提案 Vernier delay line TDC のバッファ遅延ばらつき.

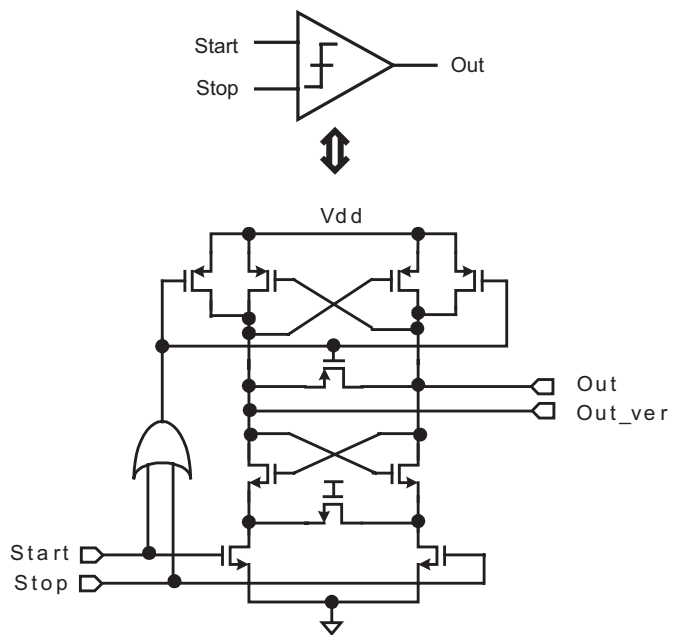


図 17: コンパレータ.

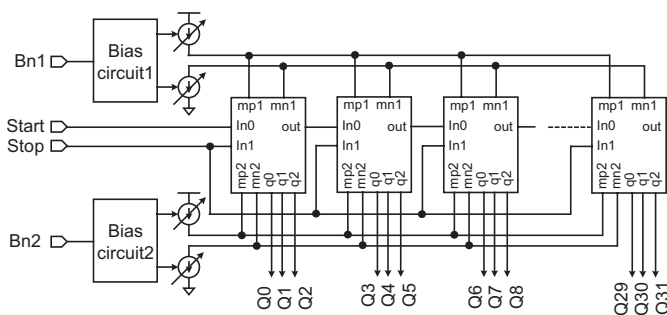


図 15: TDC の設計回路.

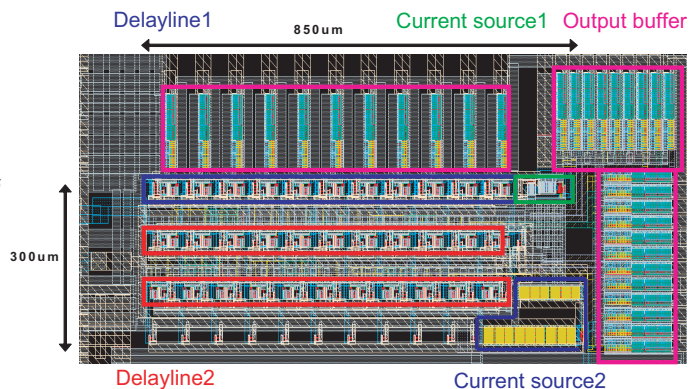


図 18: レイアウト図.

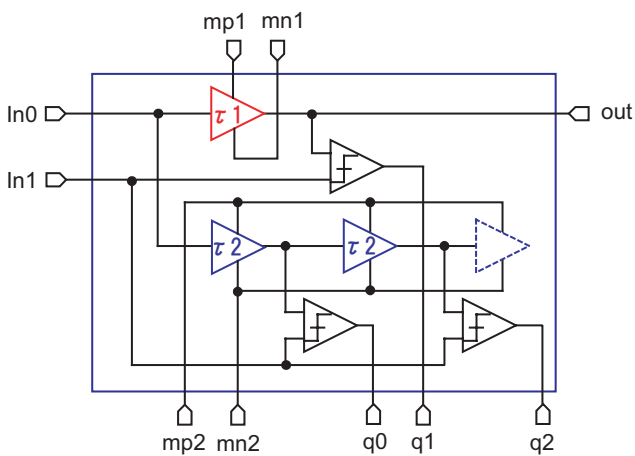


図 16: ユニットセル内部構成.

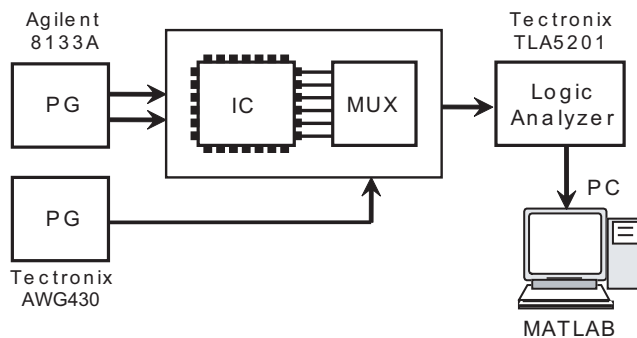


図 19: 測定環境.