

ECT-08-38

少量ハードウェア タイムデジタイザ回路

2008.03.27

○清水一也 金田雅人 小林春夫
高井伸和(群馬大学)
堀田正生(武蔵工業大学)

アウトライン

- 研究背景
- Time-to-Digital-Converter (TDC)
 - 構成
 - 動作原理
- 提案TDC
 - 構成
 - 動作原理
 - 他の実現法との比較
- まとめ

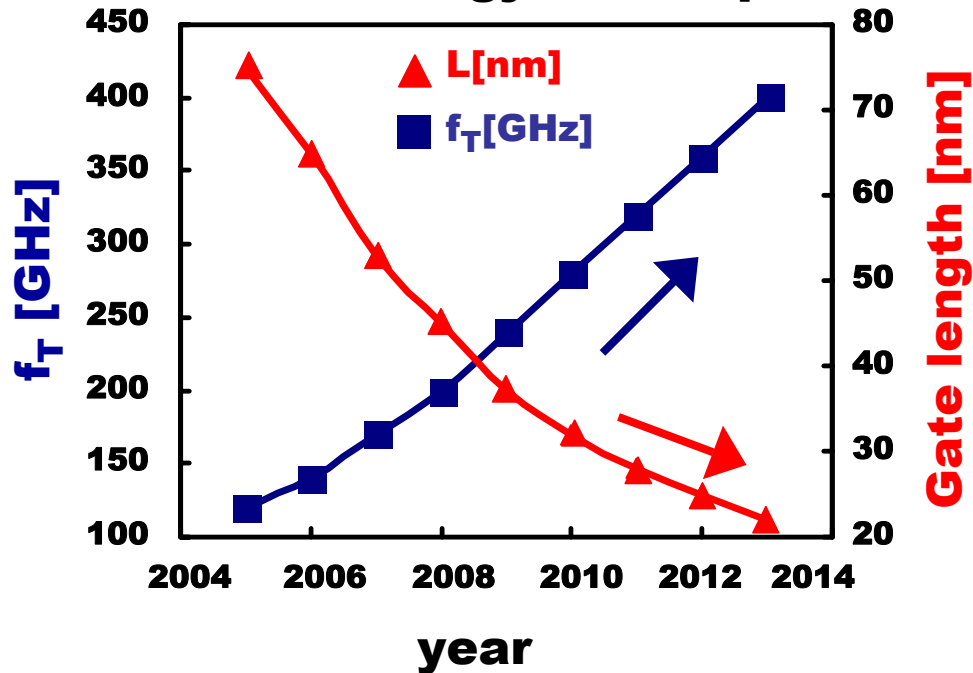
アウトライン

- 研究背景
- Time-to-Digital-Converter (TDC)
 - 構成
 - 動作原理
- 提案TDC
 - 構成
 - 動作原理
 - 他の実現法との比較
- まとめ

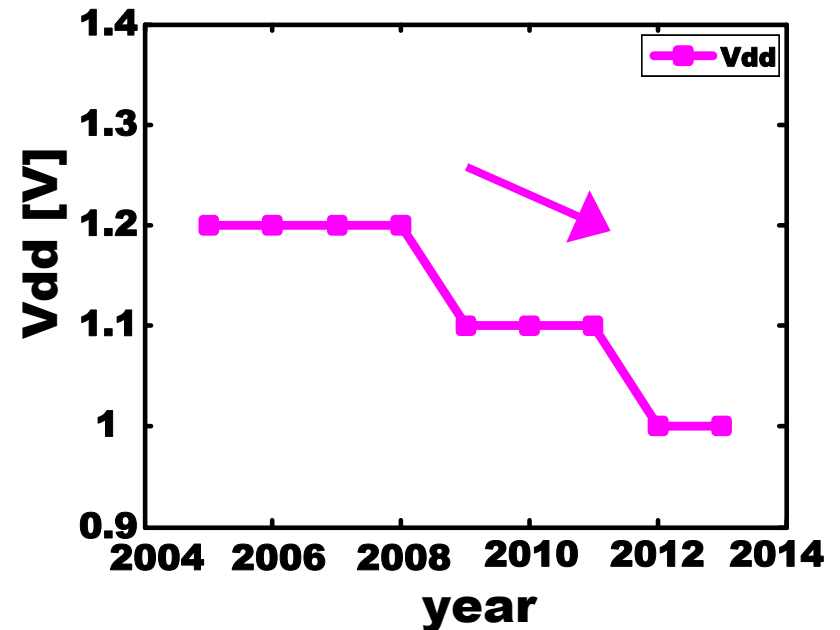
研究背景

参考文献:[1] ITRS 2006

Technology loadmap



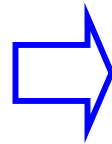
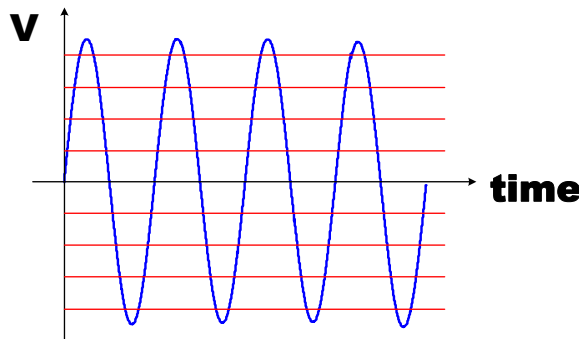
Technology loadmap



□ CMOSプロセス微細化 ⇒ 高速動作（時間領域:分解能向上）

耐圧低下 ($V_{dd} \rightarrow$ 小), ドレイン抵抗 \rightarrow 小

微細CMOSでのアナログ回路の 実現法



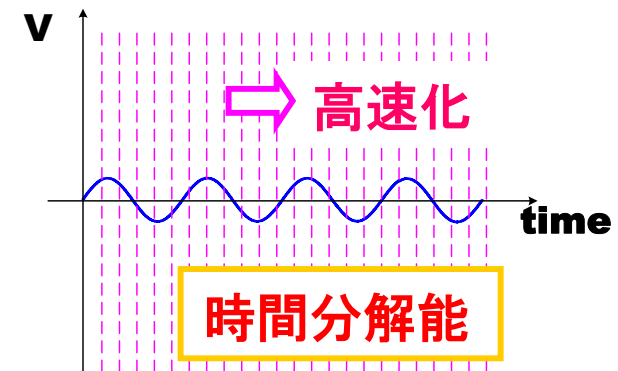
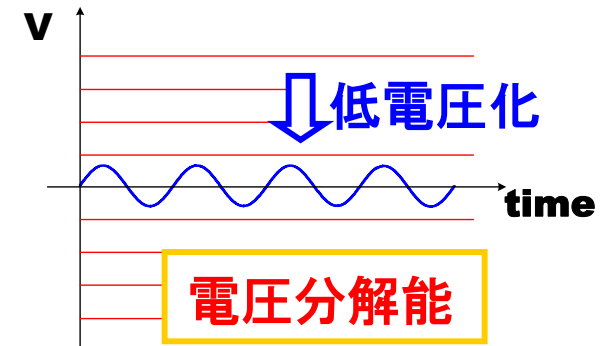
低電圧化
⇒ 振幅: 小

CMOSの微細化、電源電圧の低下

$\left\{ \begin{array}{l} \mathbf{V_{dd}} \rightarrow \text{小} \\ \text{スイッチング時間} \rightarrow \text{高速} \end{array} \right.$

微細CMOSアナログ
高性能化のためのパラダイムシフト

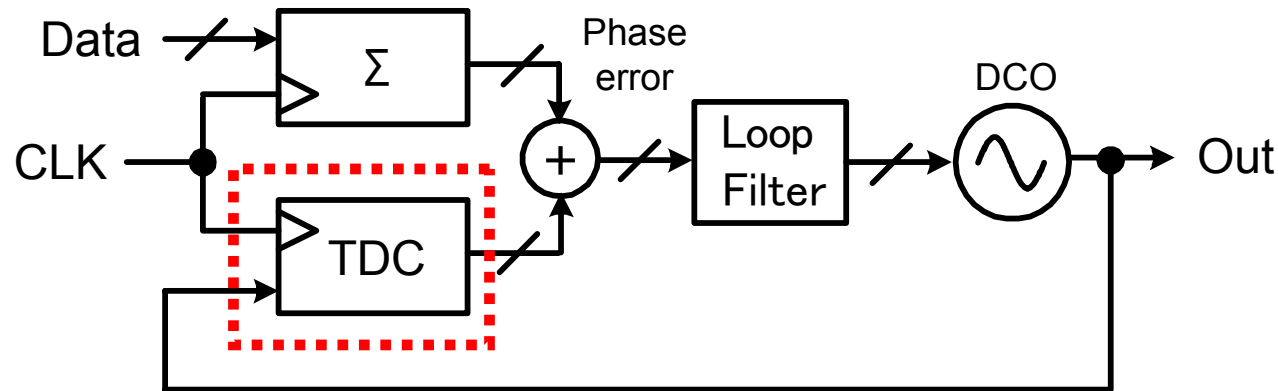
アナログ信号: 電圧分解能  デジタル信号端遷移: 時間分解能



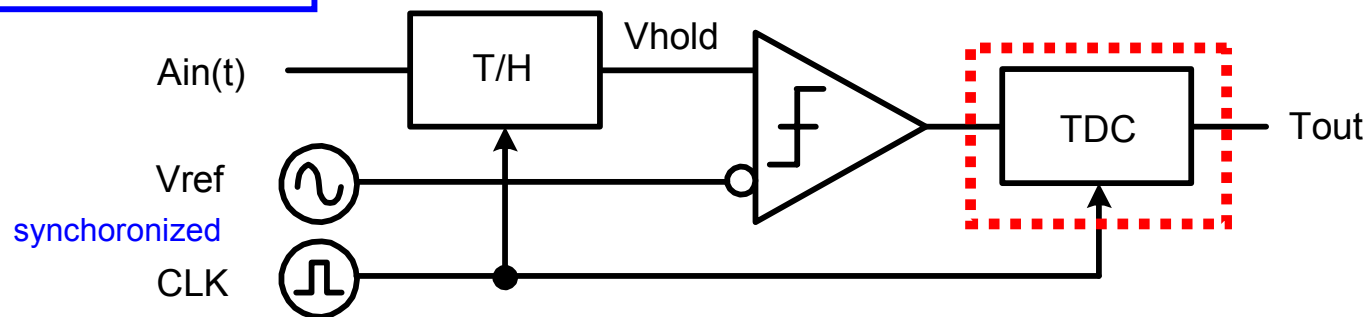
⇒ 時間領域信号処理

時間領域信号処理

ADPLL (All Digital PLL)



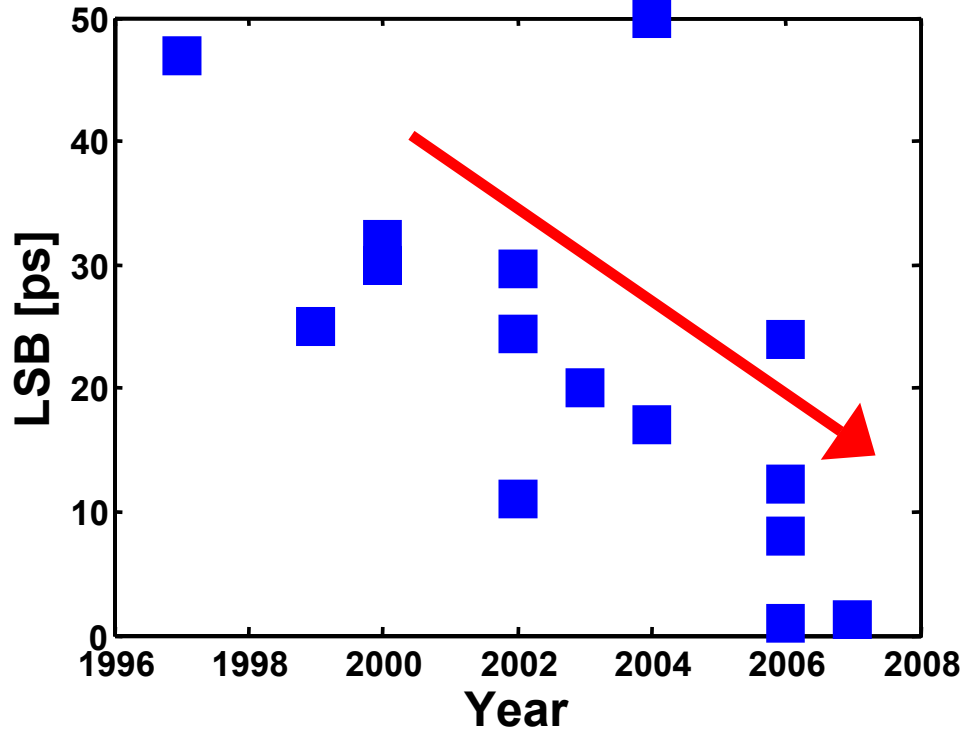
TDC based ADC



⇒ **TDC**がキーコンポーネント

研究目的

プロセス微細化とともに高分解能化



Time-to-Digital Converter

→ 回路、アーキテクチャの工夫により

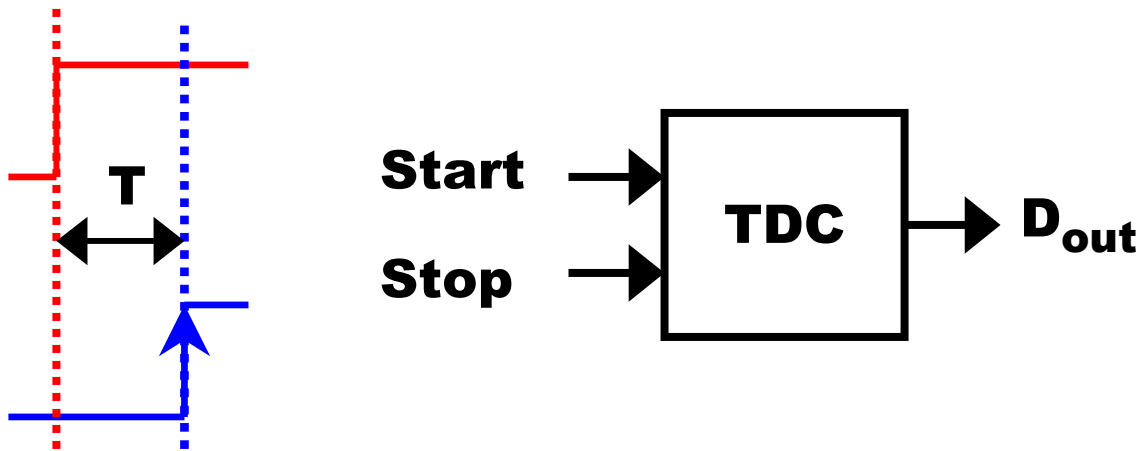
- ・高時間分解能
- ・高線形性
- ・小面積、低消費電力

アウトライン

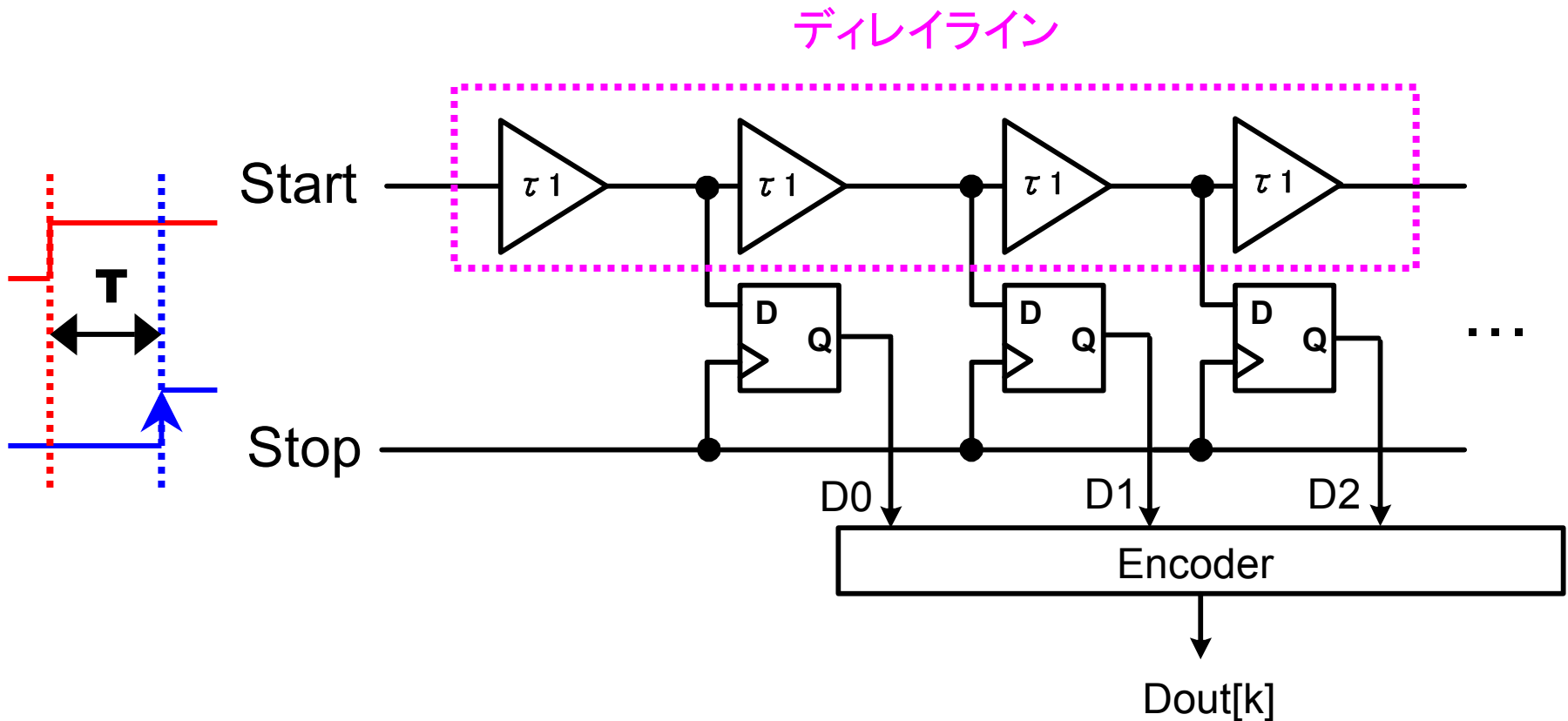
- 研究背景
- Time-to-Digital-Converter (TDC)
 - 構成
 - 動作原理
- 提案TDC
 - 構成
 - 動作原理
 - 他の実現法との比較
- まとめ

TDC (Time-to-Digital-Converter)

■ 時間間隔 → 計測 → デジタル値

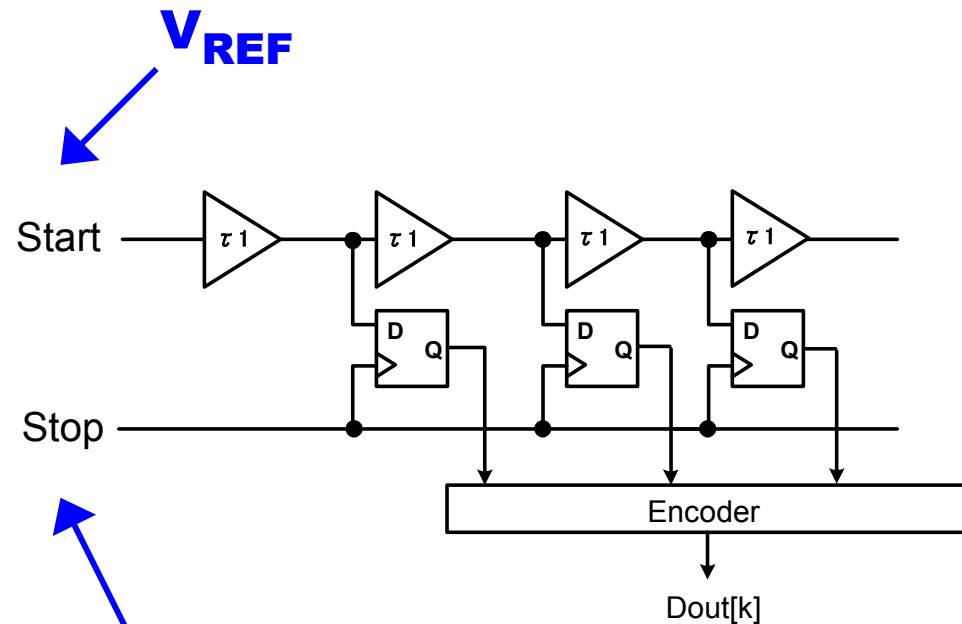
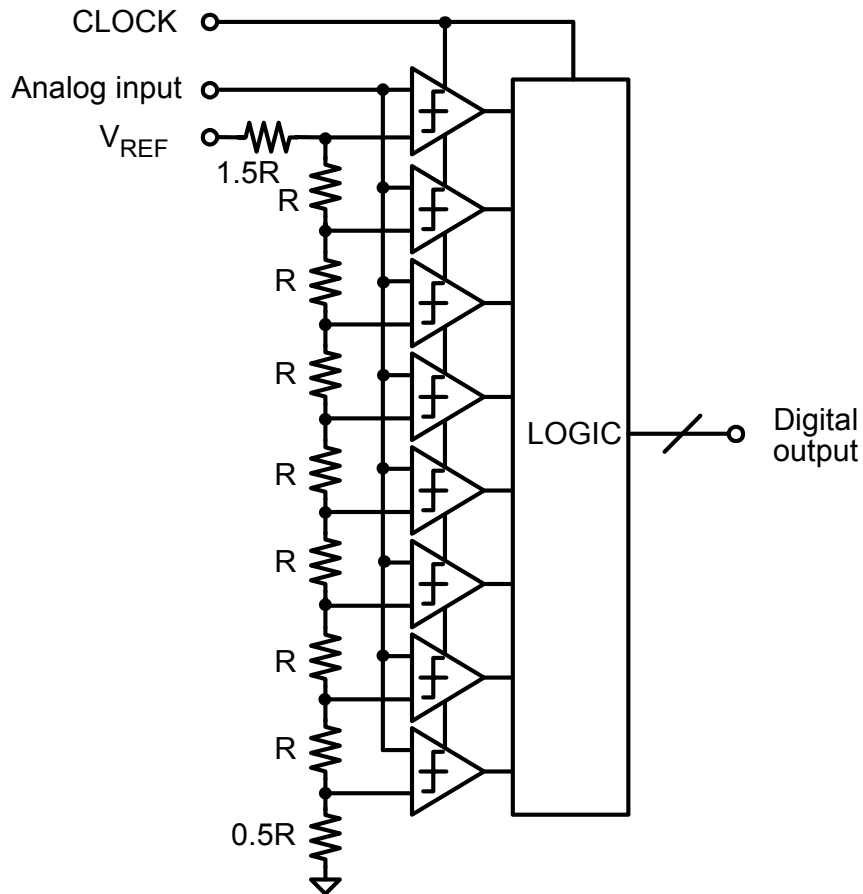


基本TDCの構成



TDCとADCの比較

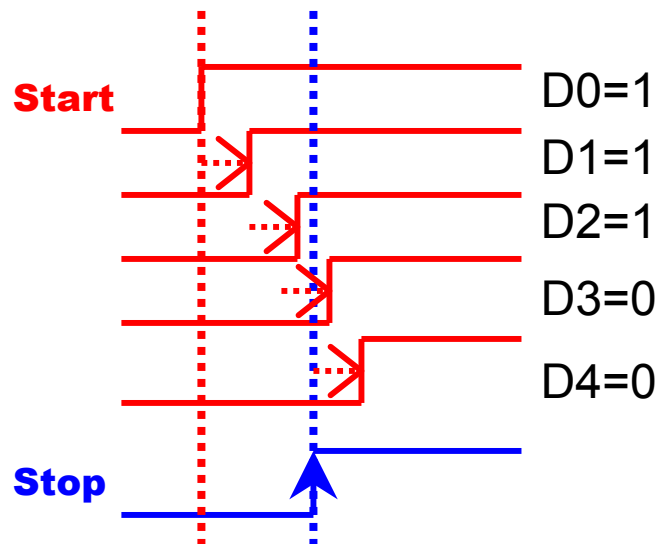
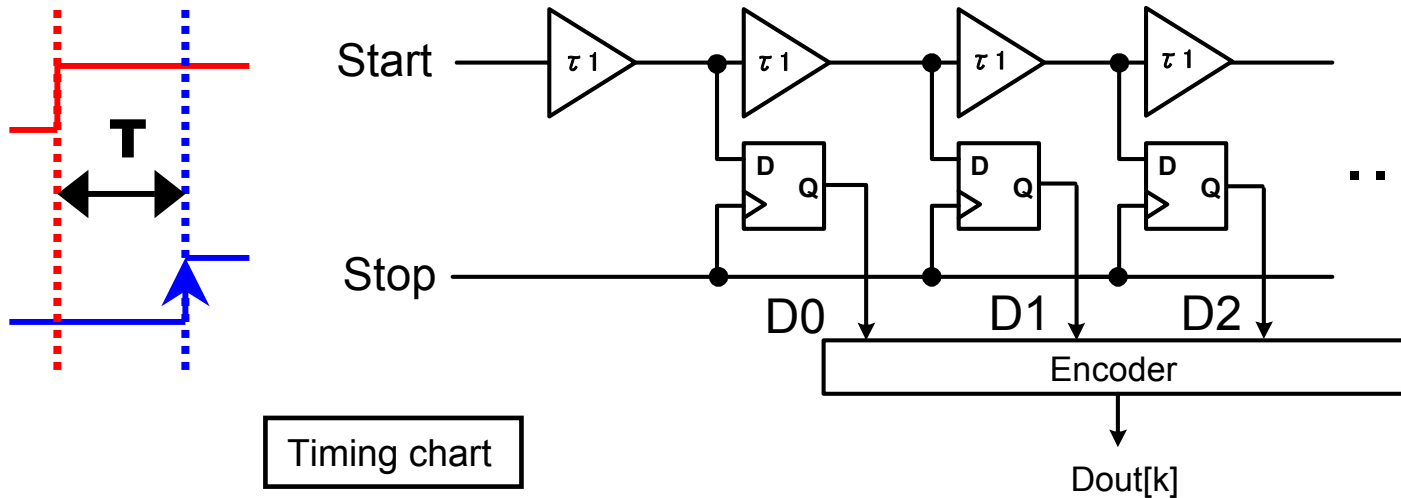
Flash ADC



Analog input

Flash ADCに対応

基本TDCの動作



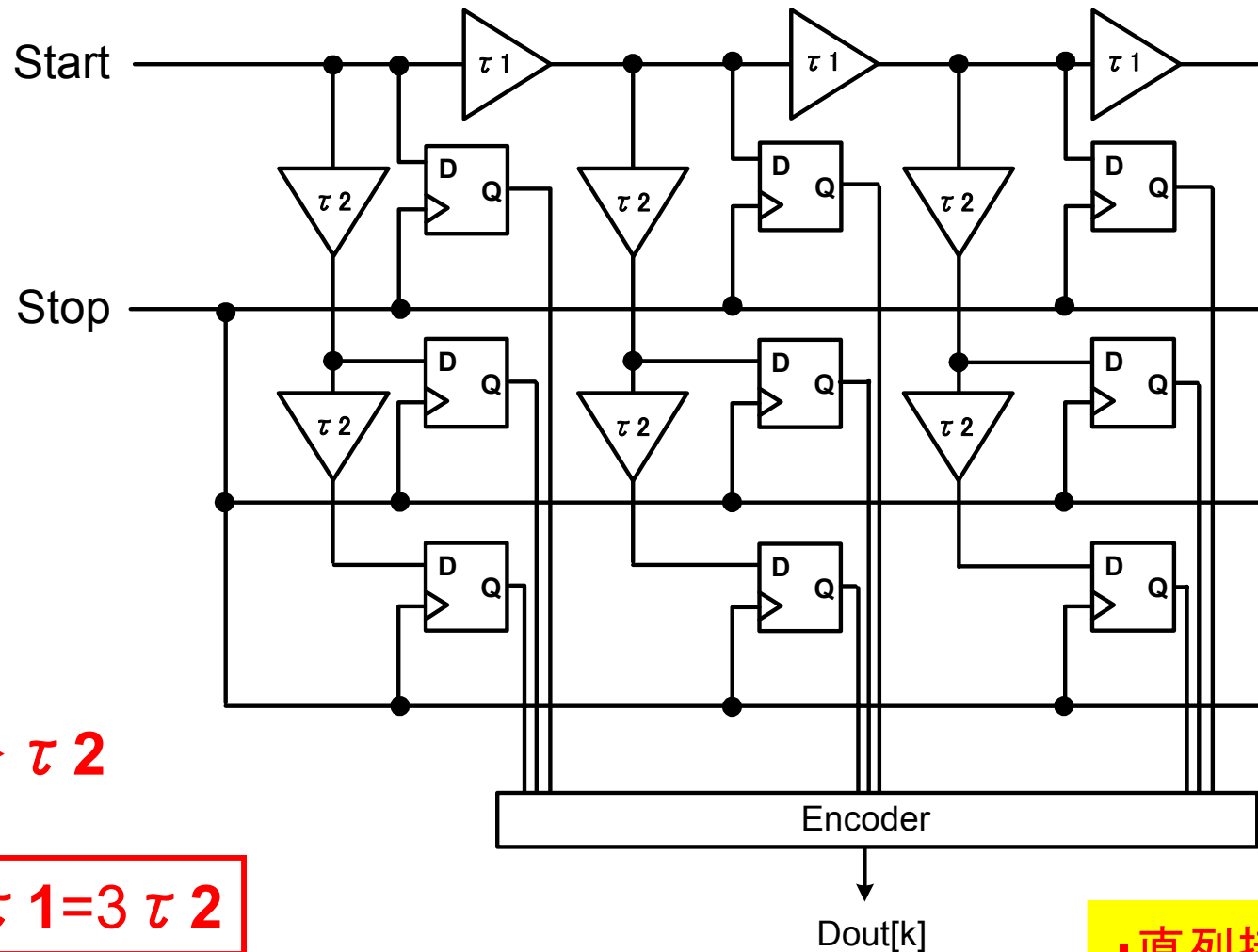
Encoder

Thermometer code → binary code

→ デイレイタップ何段に相当するかを測定

$$1\text{LSB} = \tau_1$$
 (最小値: プロセスルール依存)

階層型TDCの構成

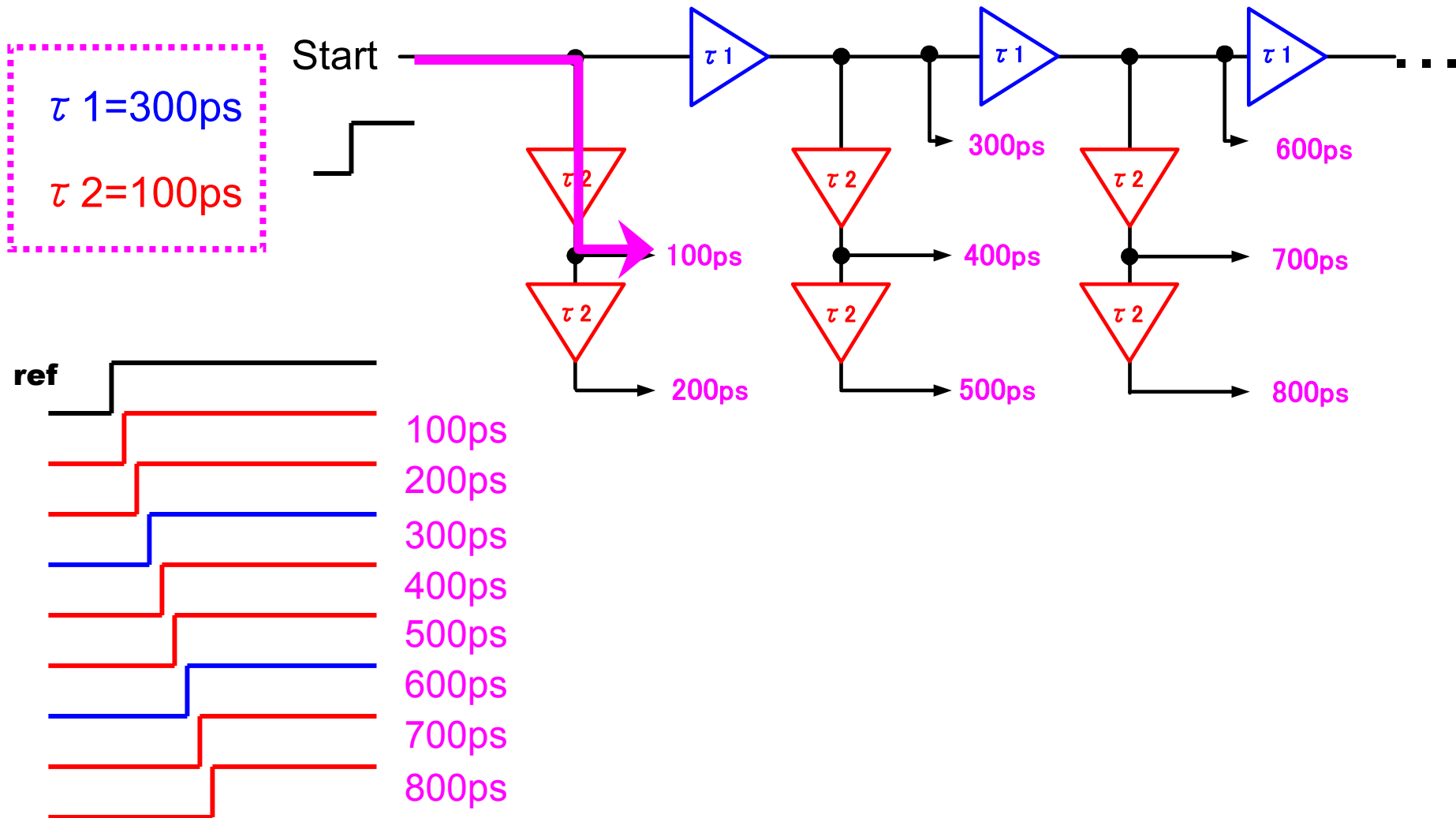


$$\tau_1 > \tau_2$$

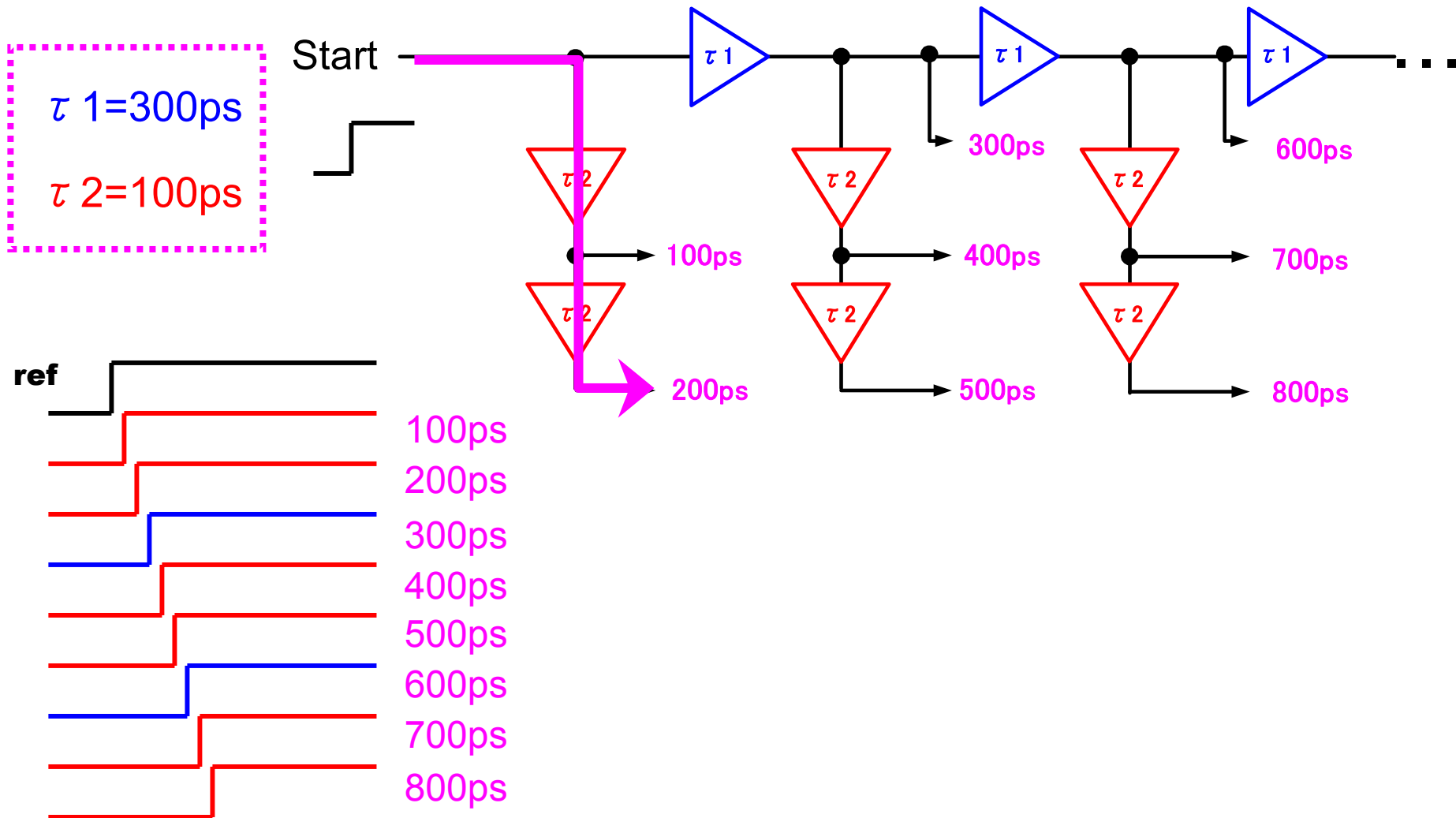
$$\tau_1 = 3\tau_2$$

・直列接続段の削減

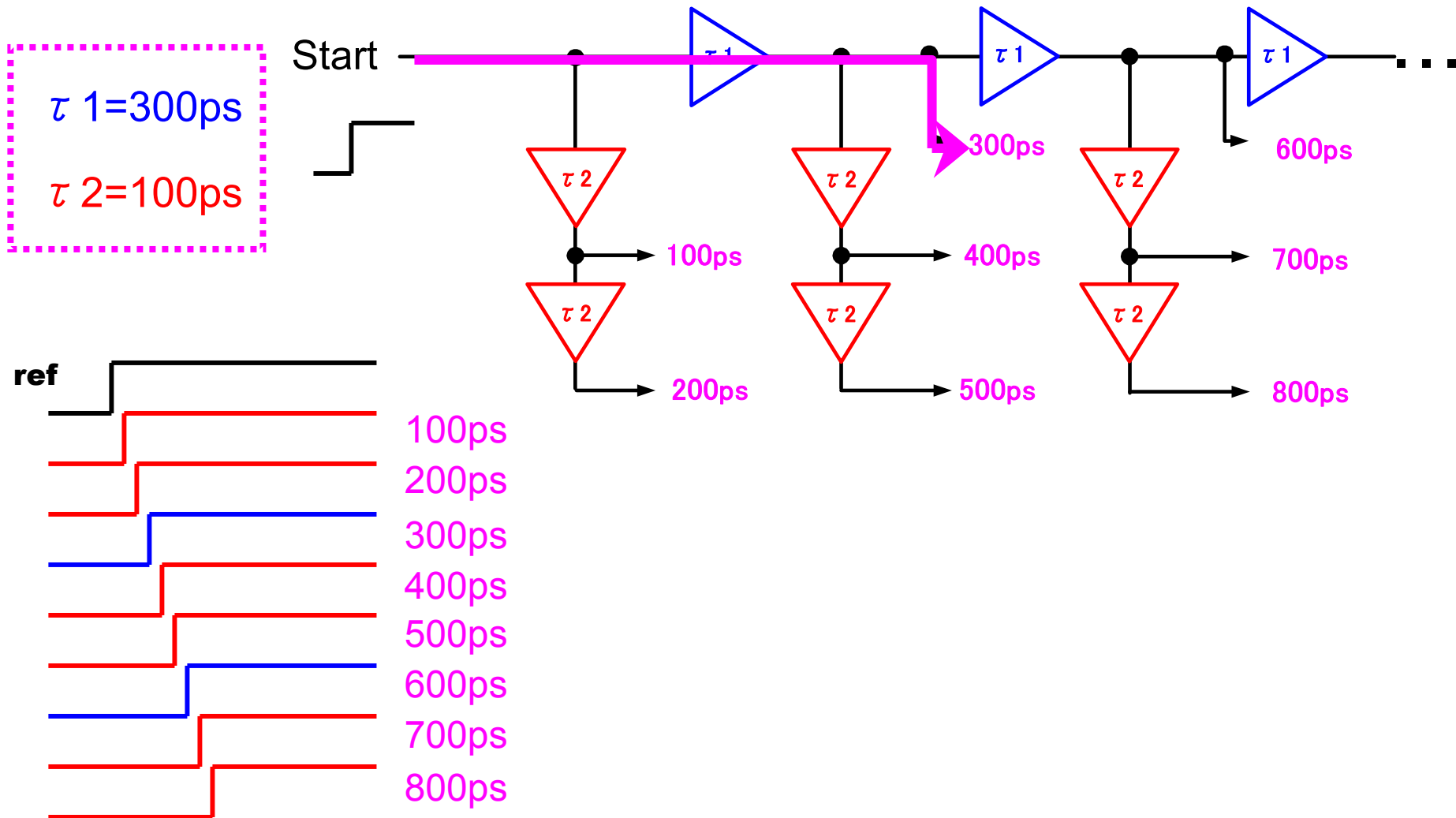
階層構成TDCの動作



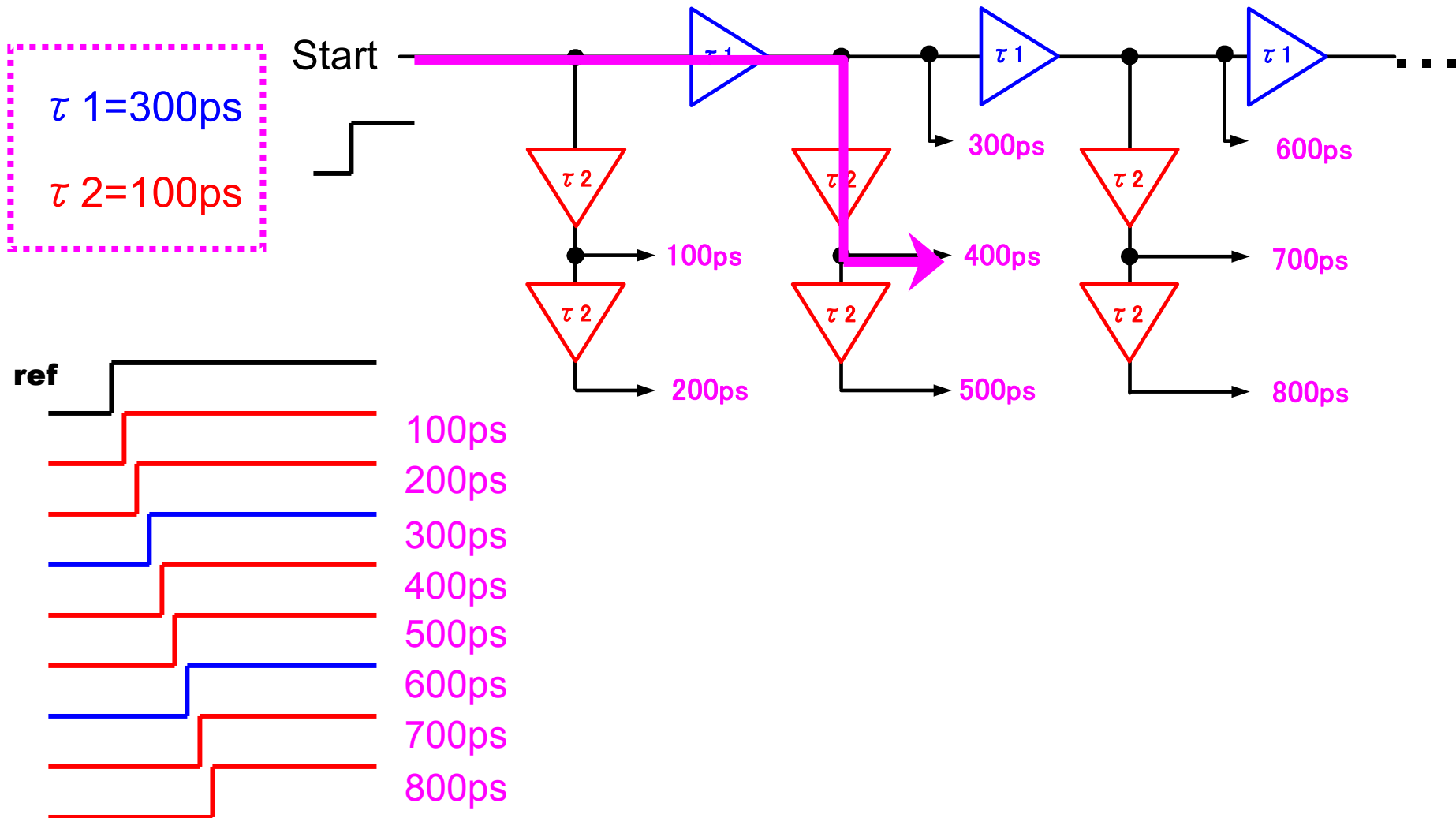
階層構成TDCの動作



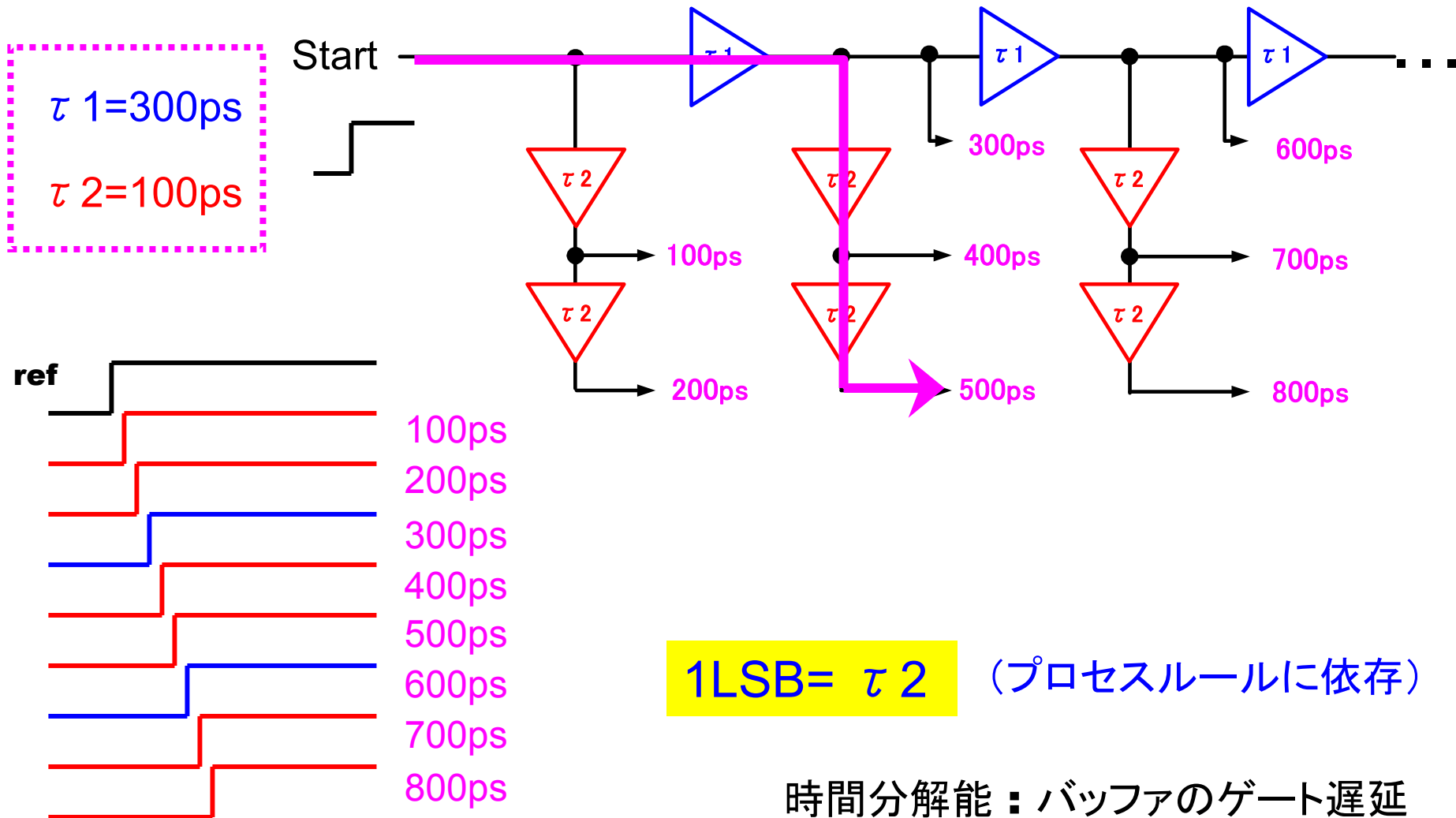
階層構成TDCの動作



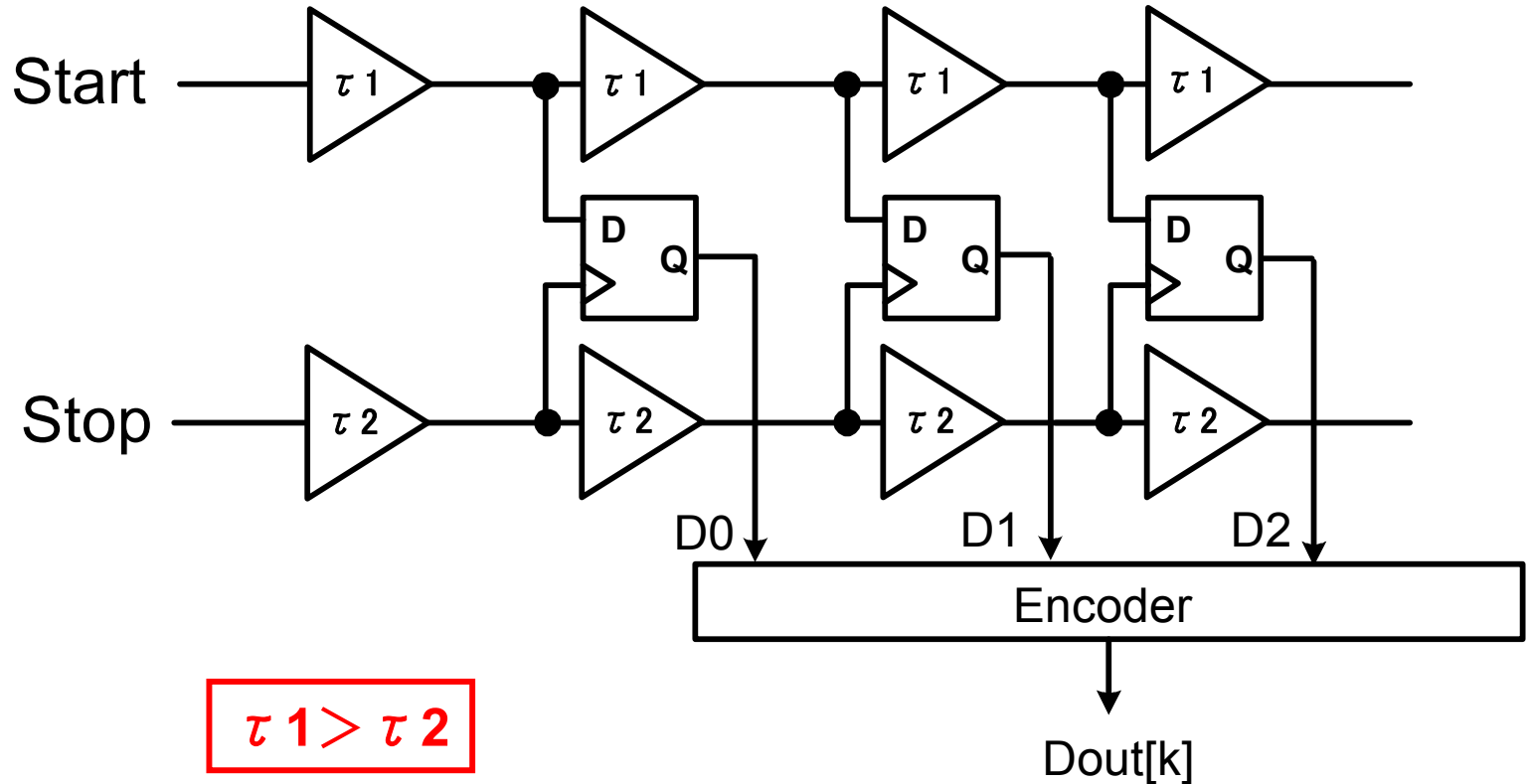
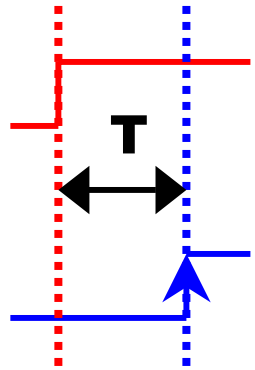
階層構成TDCの動作



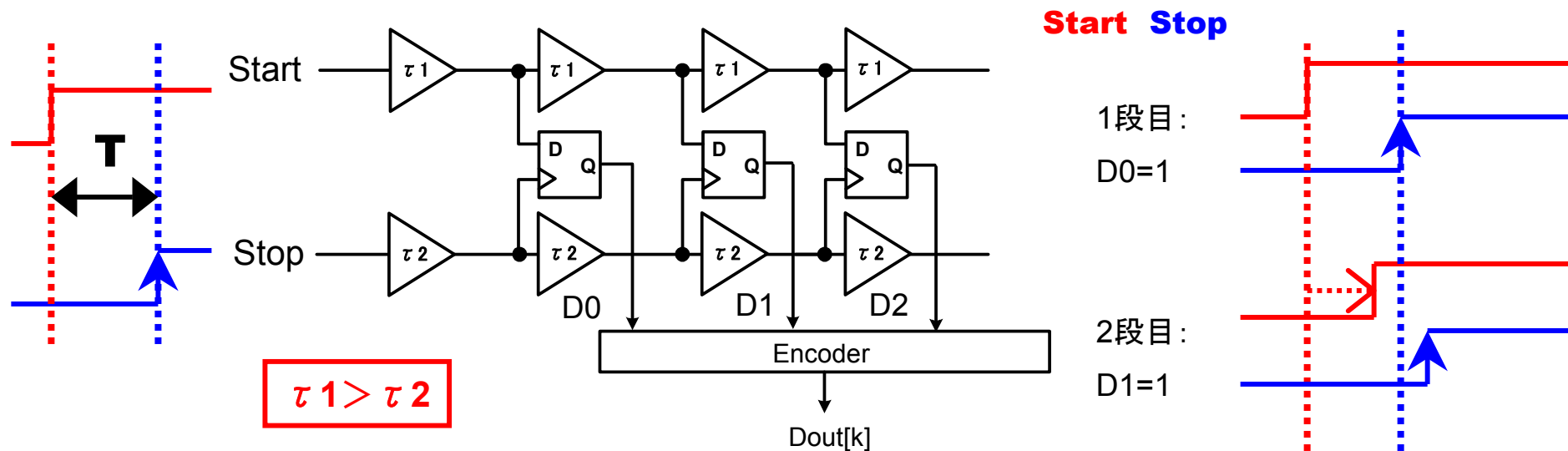
階層構成TDCの動作



バーニアディレイラインTDCの構成



バーニアディレイラインTDCの動作



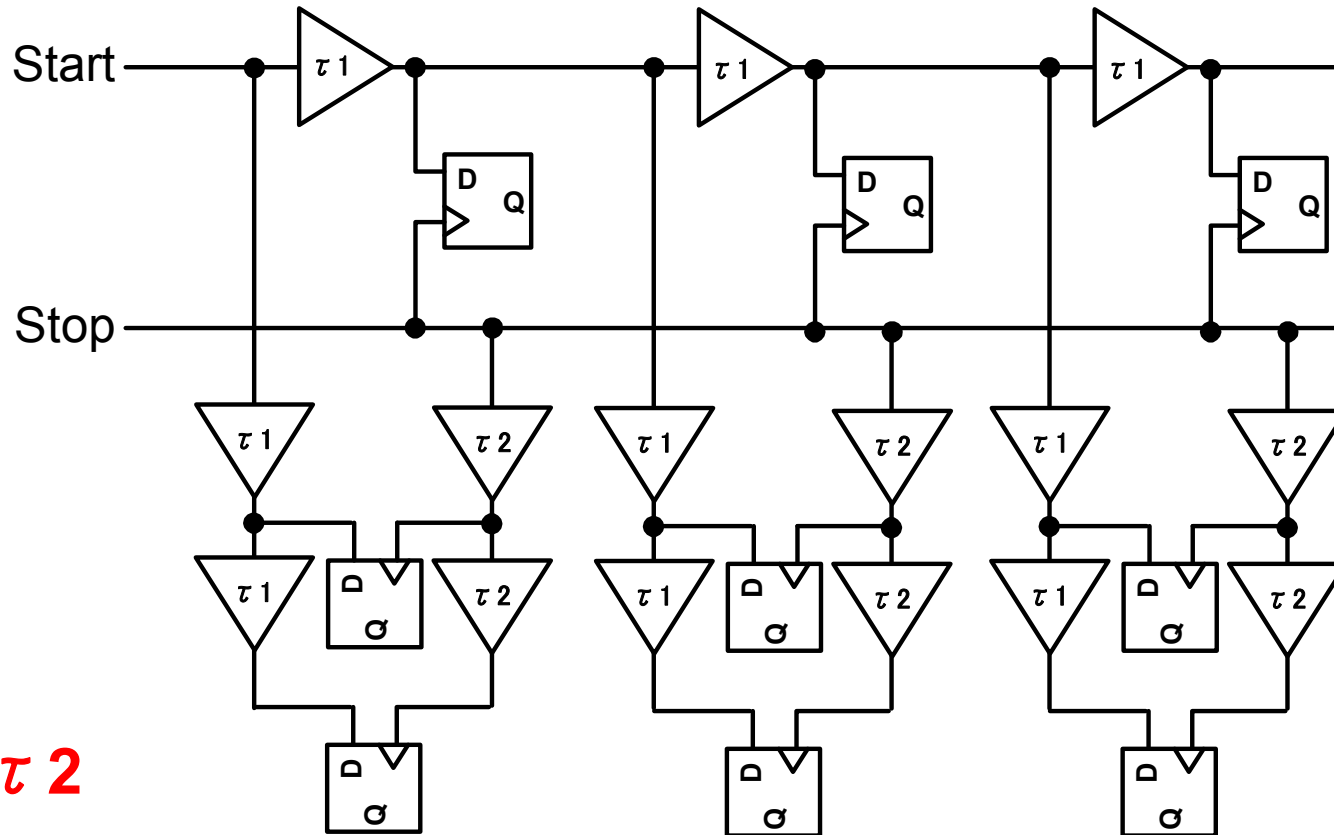
パルスエッジのレーシング ⇒ 時間間隔を測定

$$T = (\tau_1 - \tau_2) \times M$$

$$1\text{LSB} = \tau_1 - \tau_2 \quad \text{高分解能}$$

→ バッファ遅延差を利用

バーニアディレイライン 階層構成TDC



$\tau_1 > \tau_2$

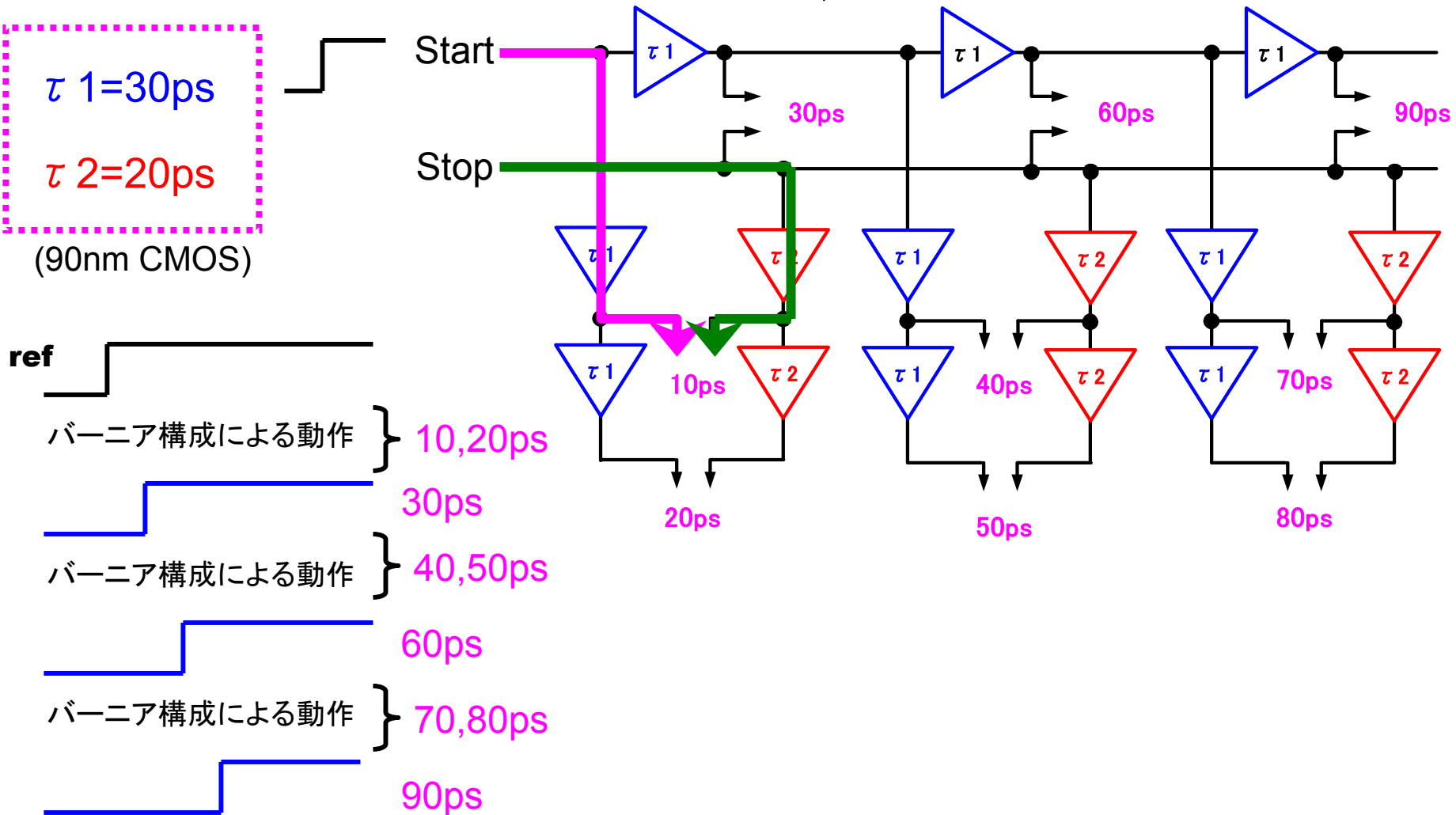
$$\tau_1 = 3/2 * \tau_2$$

・直列接続段の削減

バーニアディレイライン階層構成

TDCの動作

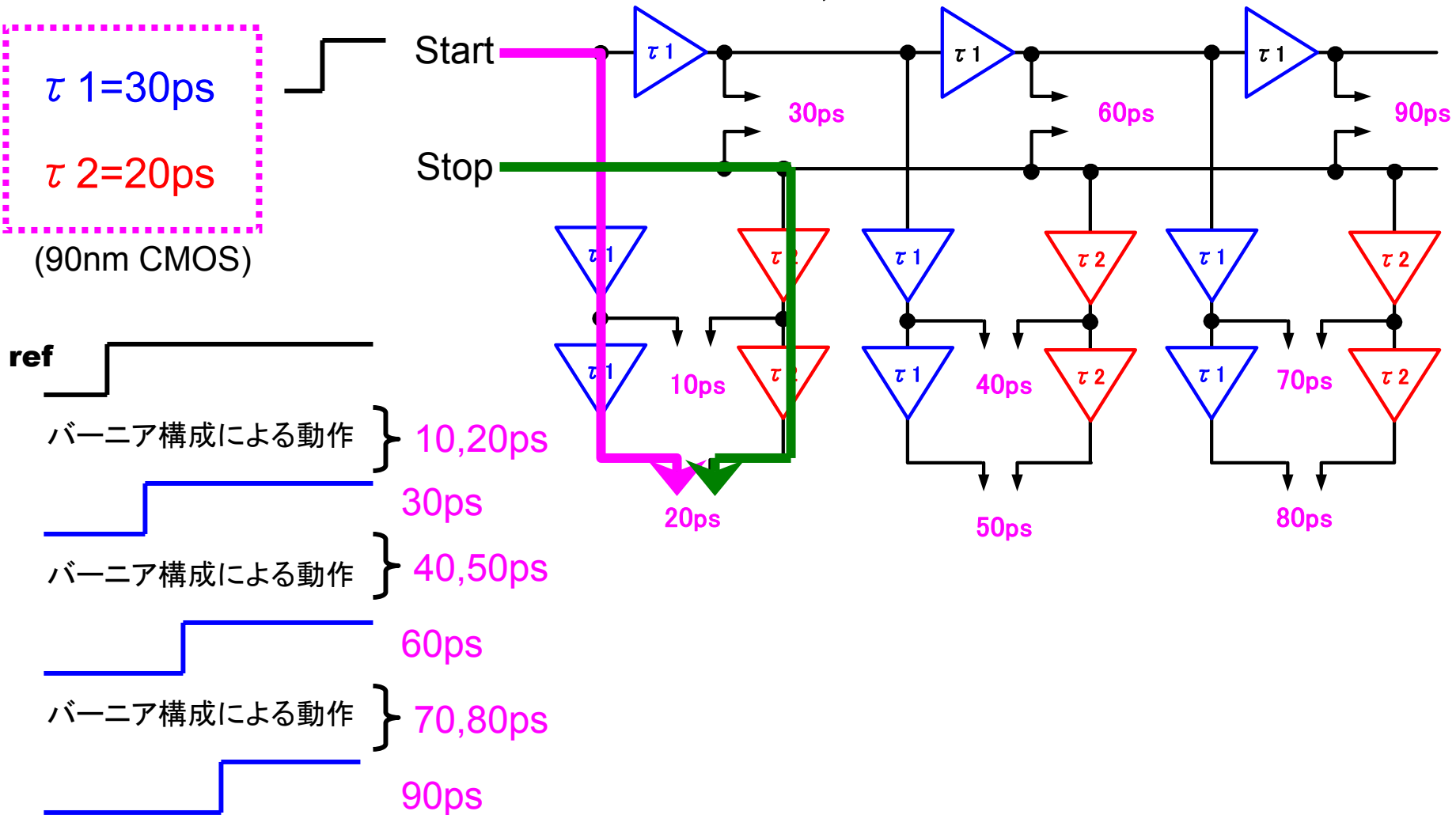
$\tau_1 = 30\text{ps}$
 $\tau_2 = 20\text{ps}$
 (90nm CMOS)



バーニアディレイライン階層構成

TDCの動作

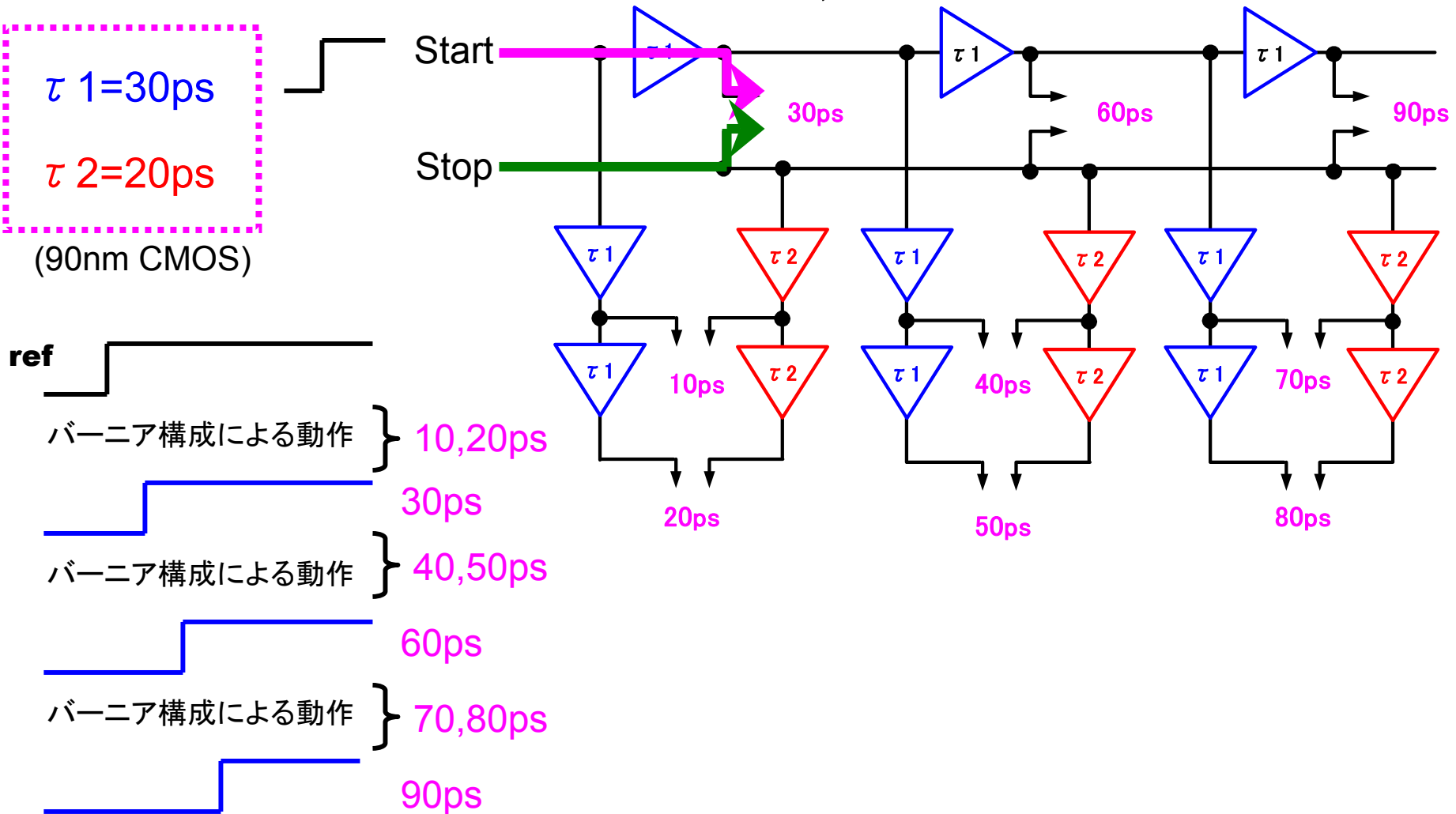
$\tau 1 = 30\text{ps}$
 $\tau 2 = 20\text{ps}$
 (90nm CMOS)



バーニアディレイライン階層構成

TDCの動作

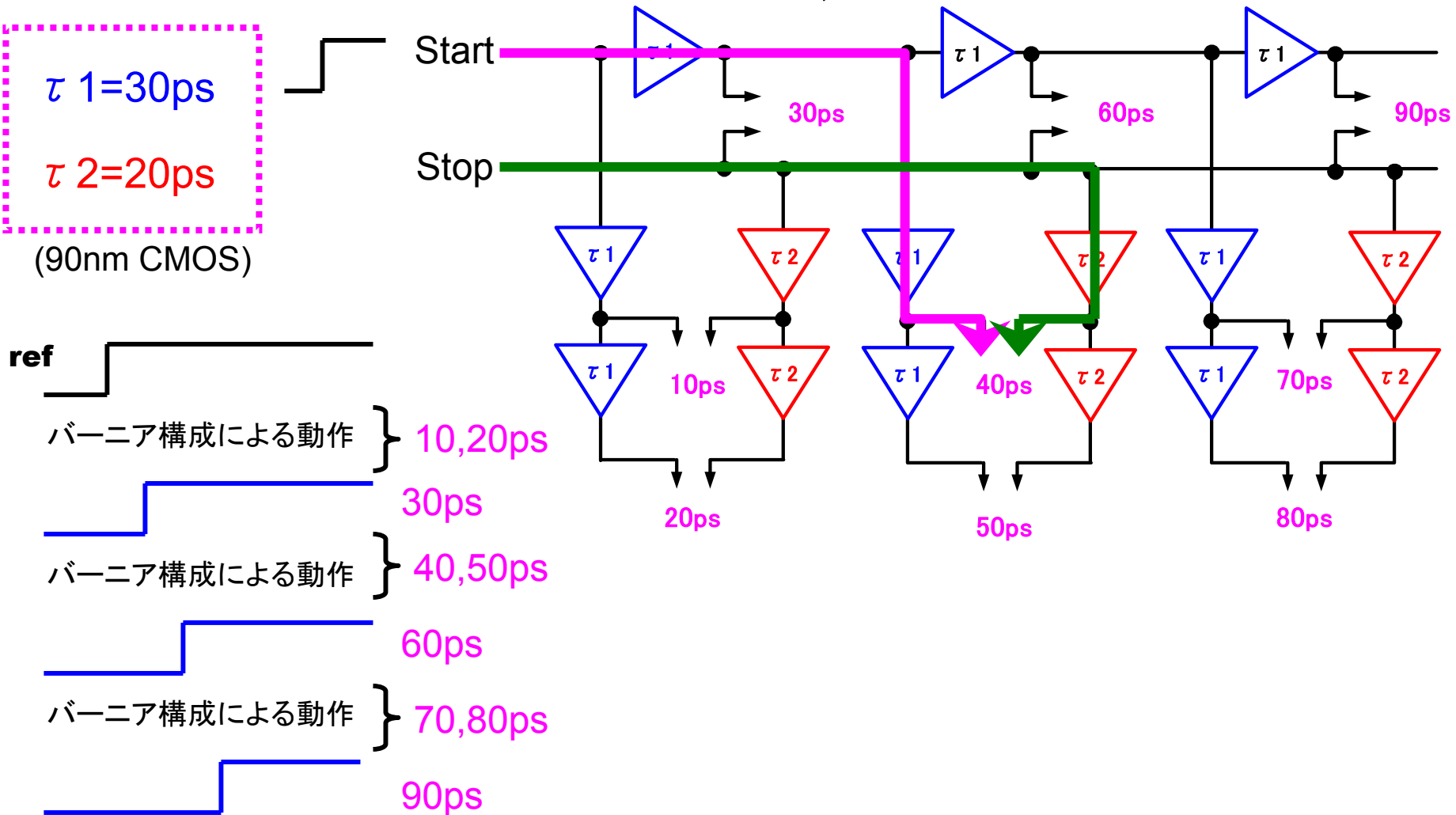
$\tau 1=30\text{ps}$
 $\tau 2=20\text{ps}$
 (90nm CMOS)



バーニアディレイライン階層構成

TDCの動作

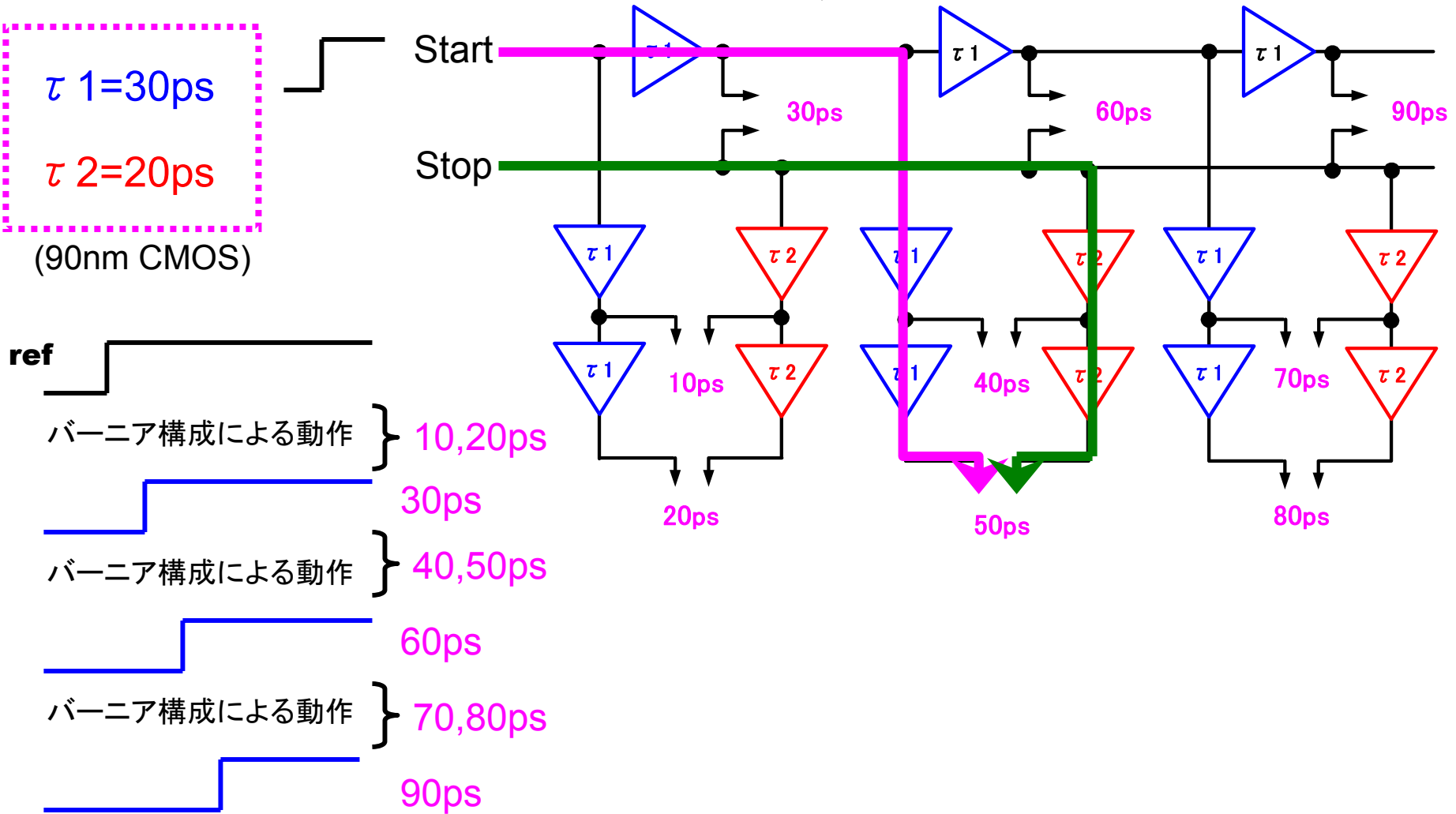
$\tau 1=30\text{ps}$
 $\tau 2=20\text{ps}$
 (90nm CMOS)



バーニアディレイライン階層構成

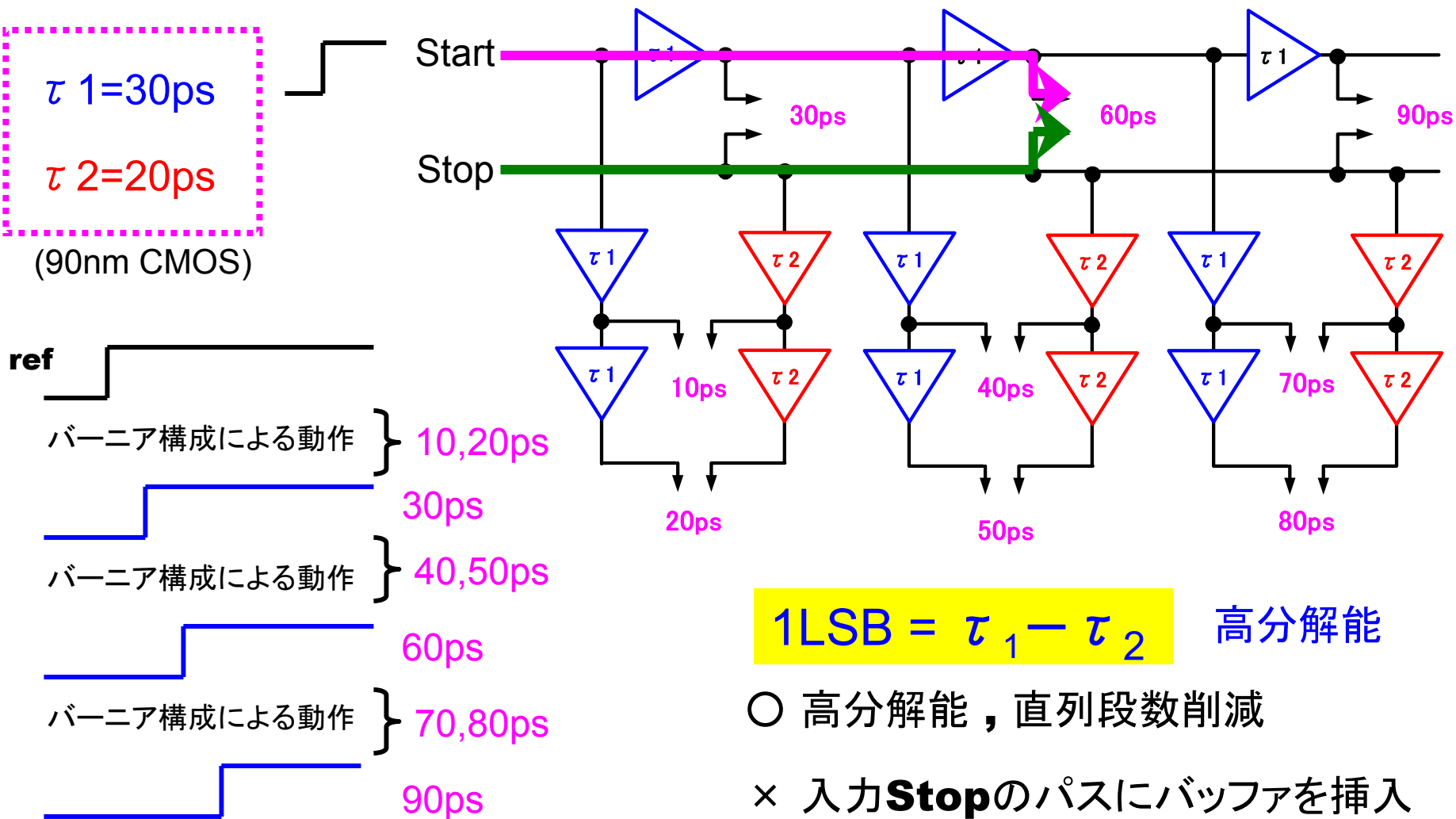
TDCの動作

$\tau 1 = 30\text{ps}$
 $\tau 2 = 20\text{ps}$
 (90nm CMOS)



バーニアディレイライン階層構成 TDCの動作

$\tau_1 = 30\text{ps}$
 $\tau_2 = 20\text{ps}$
(90nm CMOS)



$1\text{LSB} = \tau_1 - \tau_2$ 高分解能

○ 高分解能 , 直列段数削減

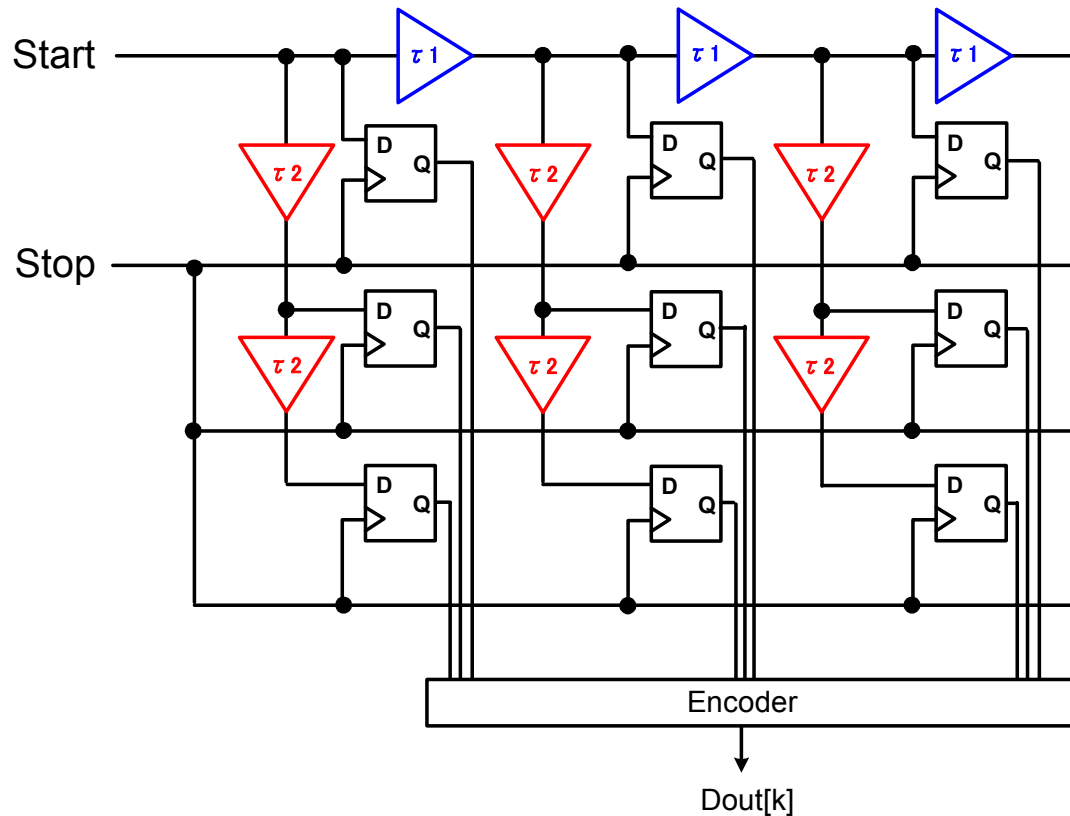
× 入力**Stop**のパスにバッファを挿入

アウトライン

- 研究背景
- Time-to-Digital-Converter (TDC)
 - 構成
 - 動作原理
- 提案TDC
 - 構成
 - 動作原理
 - 他の実現法との比較
- まとめ

提案TDCの構成

ディレイラインの経路とバッファ遅延時間の選択によって高分解能を実現



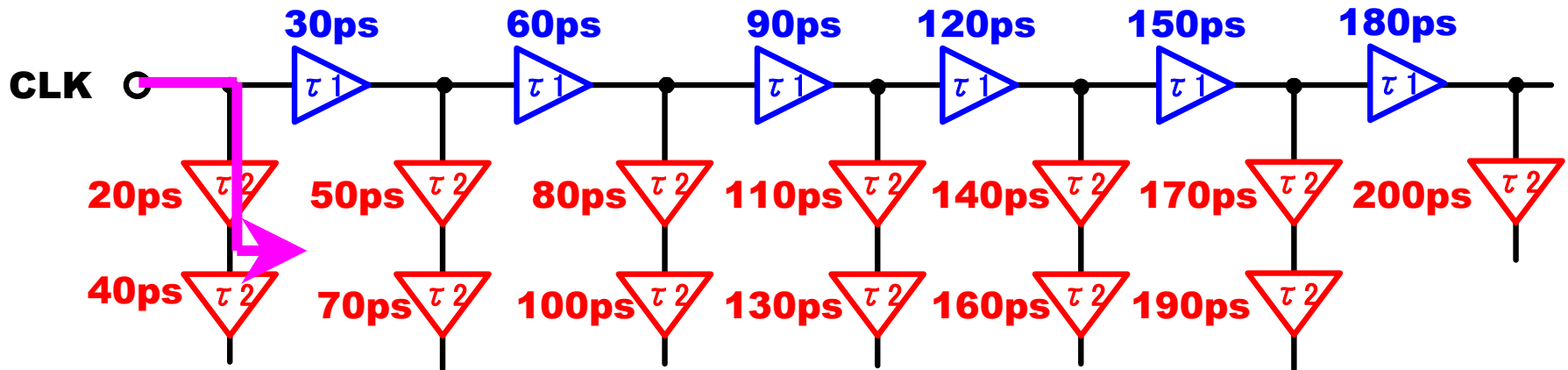
階層構成**TDC** (時間分解能: τ_2)

提案**TDC** (時間分解能: $\tau_1 - \tau_2$)

提案TDCの動作原理

- 出力遅延: 20psのとき

時間分解能: 10ps



$$\tau_1 = 30\text{ps}$$

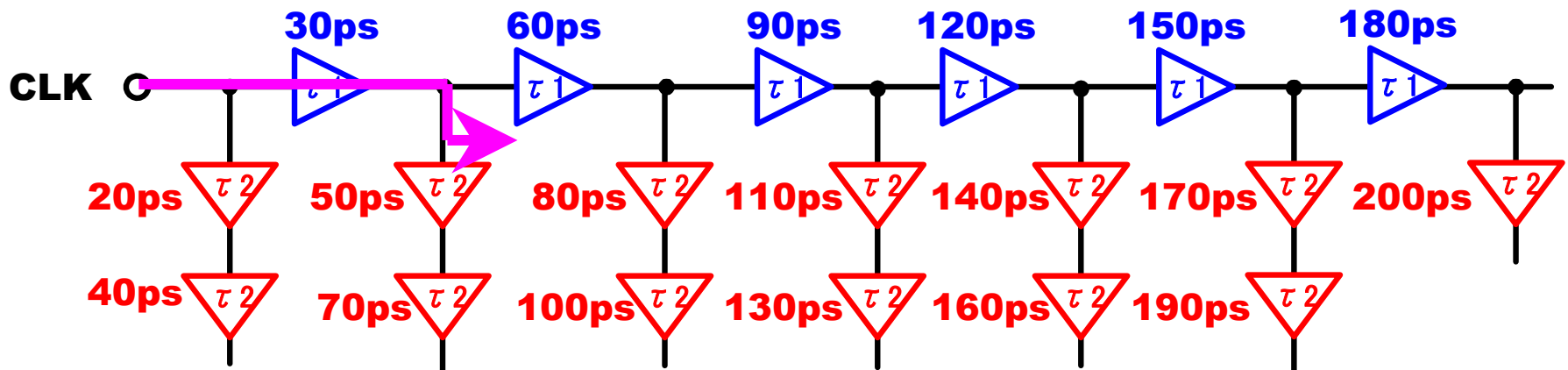
$$\tau_2 = 20\text{ps}$$

(90nm CMOS)

提案TDCの動作原理

- 出力遅延: 30psのとき

時間分解能: 10ps



$\tau_1 = 30\text{ps}$

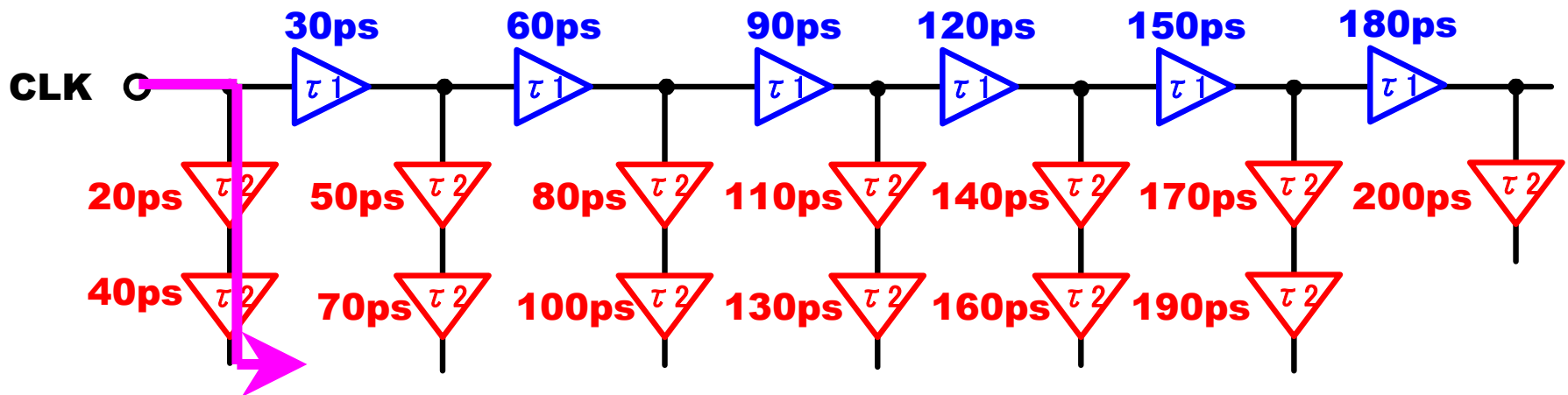
$\tau_2 = 20\text{ps}$

(90nm CMOS)

提案TDCの動作原理

- 出力遅延: 40psのとき

時間分解能: 10ps



$\tau_1 = 30\text{ps}$

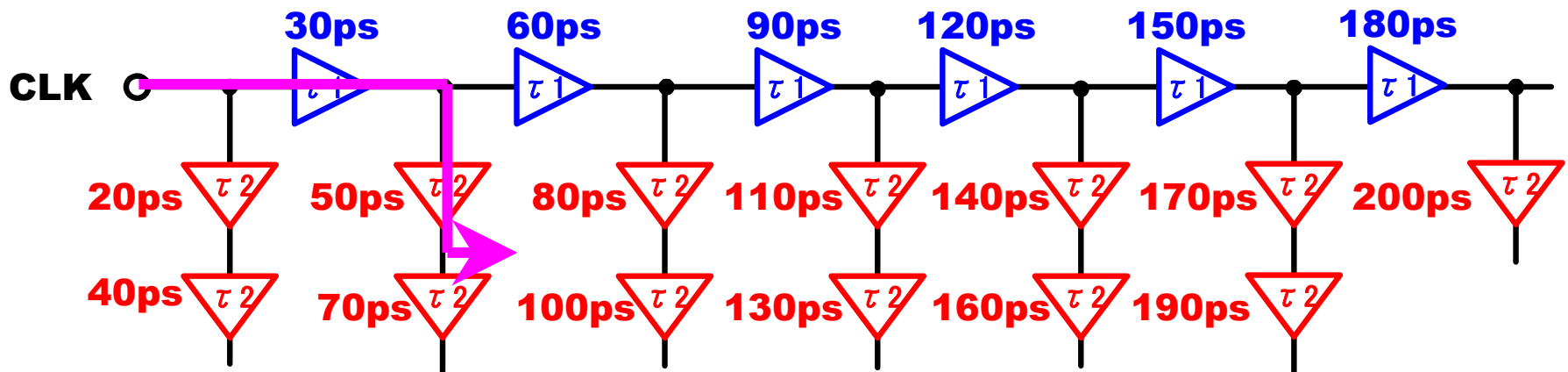
$\tau_2 = 20\text{ps}$

(90nm CMOS)

提案TDCの動作原理

- 出力遅延: 50psのとき

時間分解能: 10ps



$\tau_1 = 30\text{ps}$

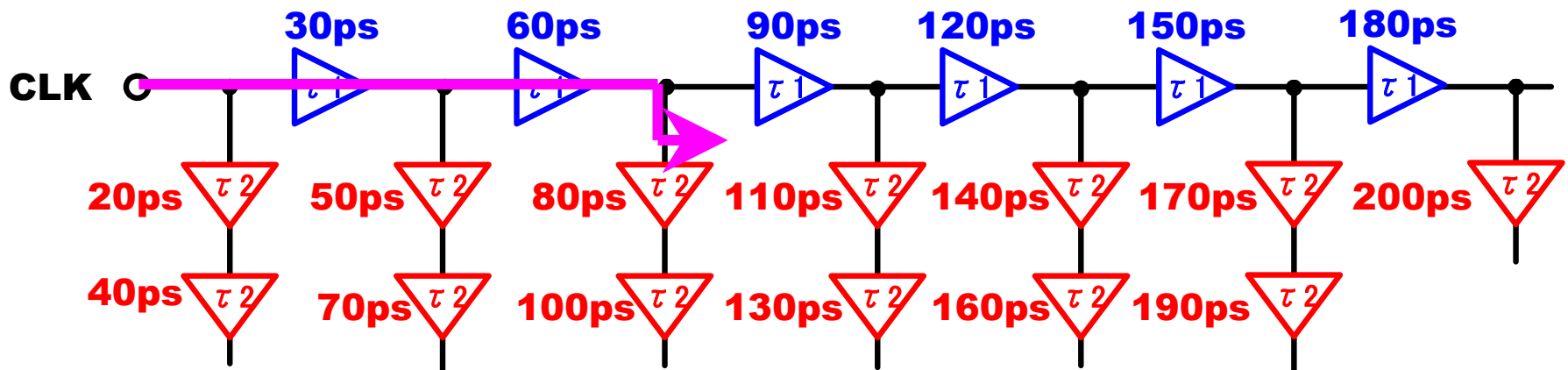
$\tau_2 = 20\text{ps}$

(90nm CMOS)

提案TDCの動作原理

- 出力遅延: 60psのとき

時間分解能: 10ps



$$\tau_1 = 30\text{ps}$$

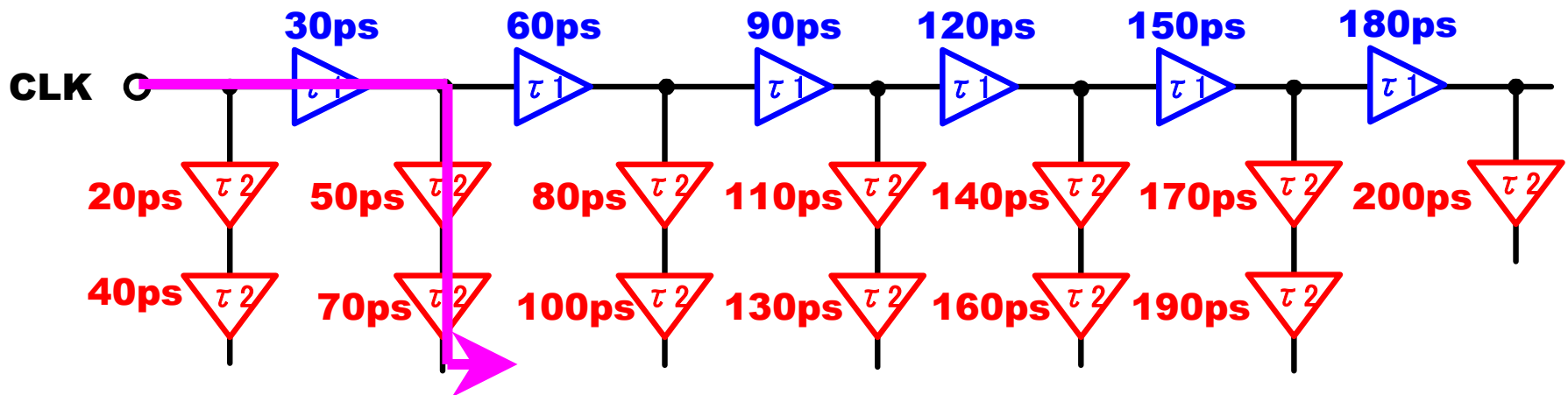
$$\tau_2 = 20\text{ps}$$

(90nm CMOS)

提案TDCの動作原理

- 出力遅延: 70psのとき

時間分解能: 10ps



$\tau_1 = 30\text{ps}$

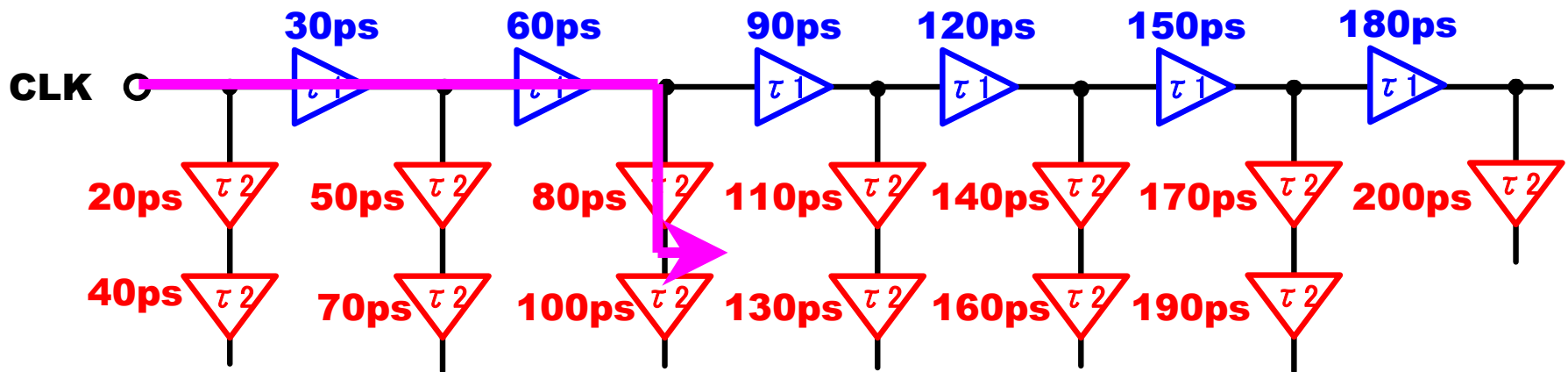
$\tau_2 = 20\text{ps}$

(90nm CMOS)

提案TDCの動作原理

- 出力遅延: 80psのとき

時間分解能: 10ps



$\tau_1 = 30\text{ps}$

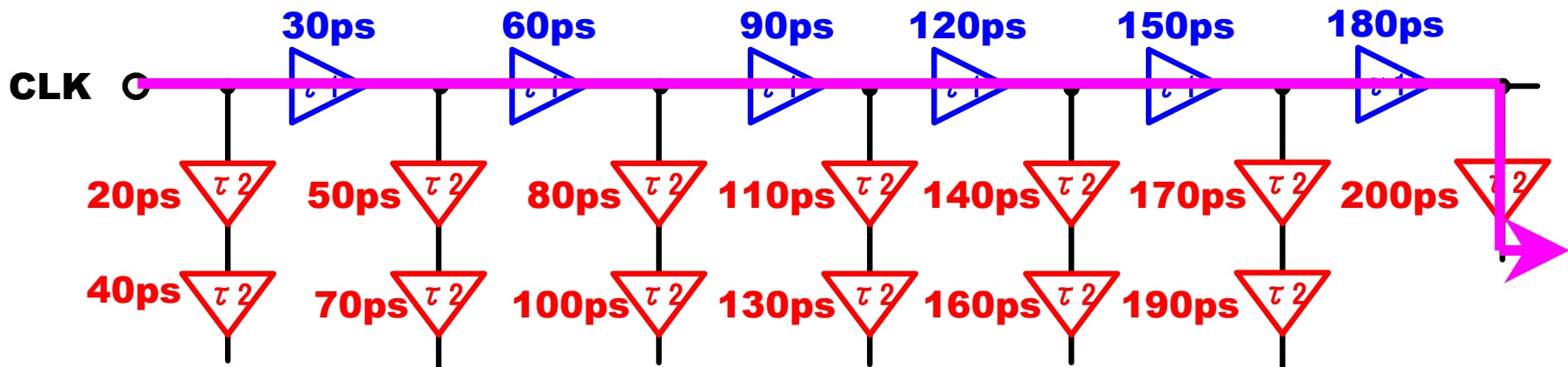
$\tau_2 = 20\text{ps}$

(90nm CMOS)

提案TDCの動作原理

- 出力遅延: 200psのとき

時間分解能: 10ps



$\tau_1 = 30\text{ps}$

$\tau_2 = 20\text{ps}$

カスケード接続: 最大段数 7 段

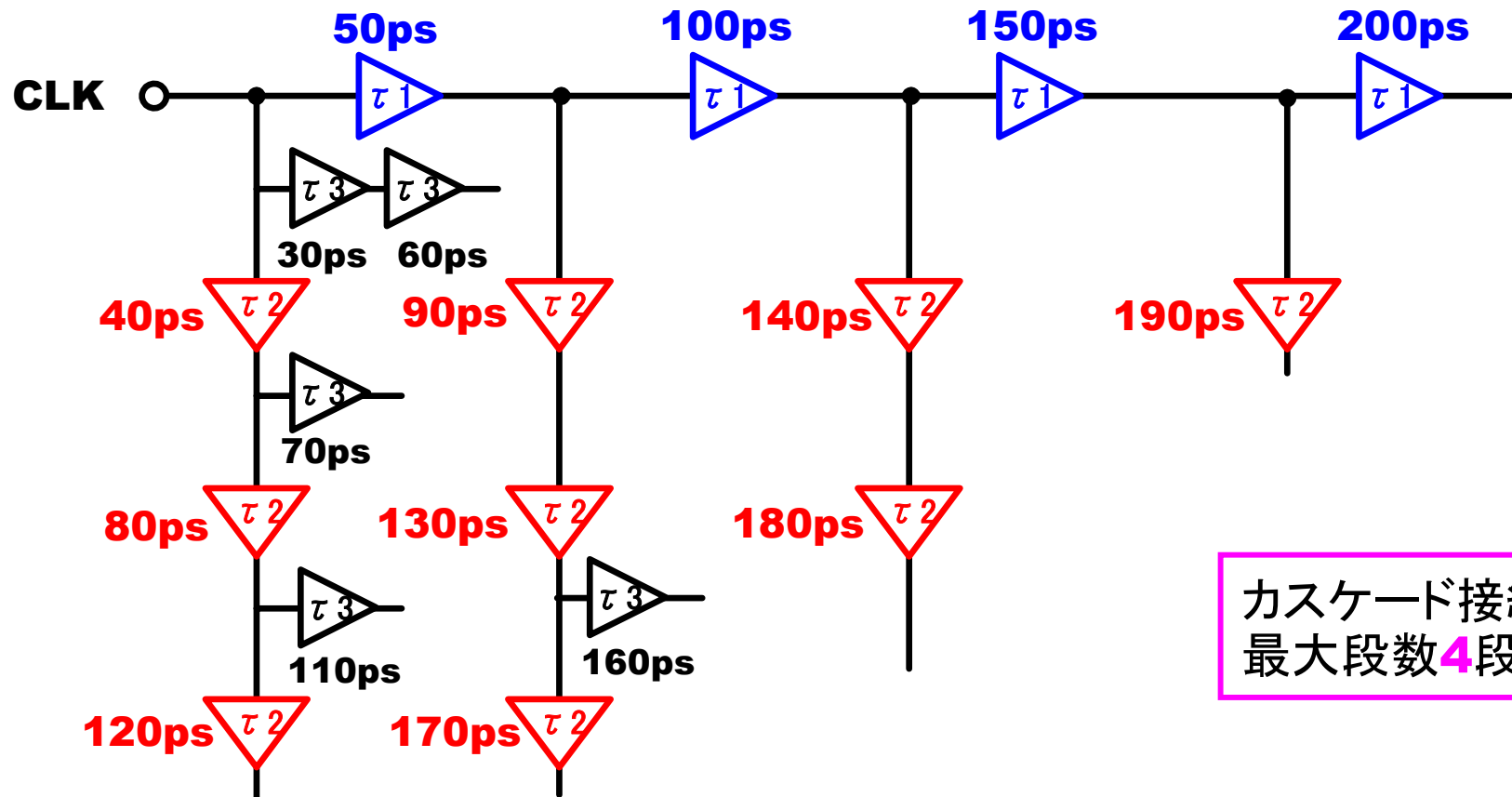
(90nm CMOS)

バーニアデレイラインTDC: 20 段

提案TDCの構成例2

- $\tau_1=50\text{ps}$, $\tau_2=40\text{ps}$, $\tau_3=30\text{ps}$

時間分解能: 10ps

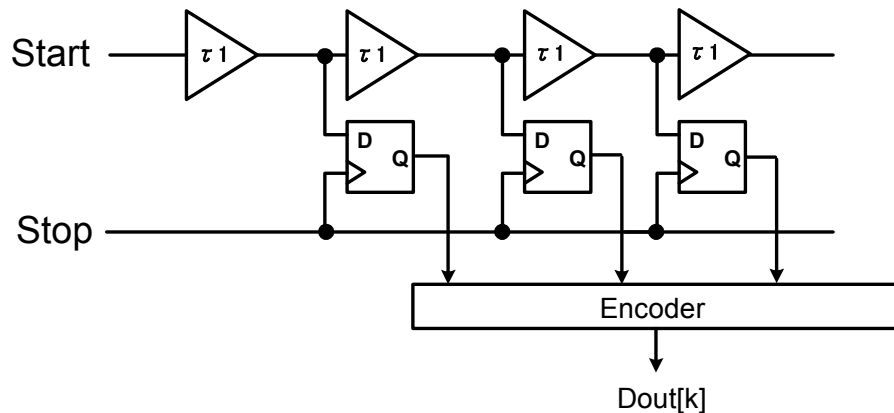


カスケード接続:
最大段数4段

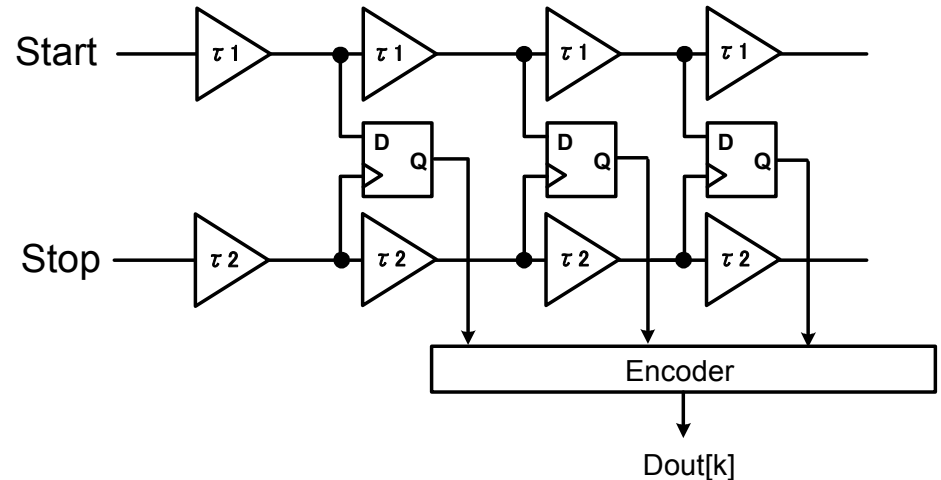
3種類のバッファ遅延の使用により構成

既存TDCの問題点

基本TDC



バーニアディレイラインTDC



× 分解能: τ_1

○ 入力Stopパスのバッファなし

○ バッファ数: N

○ 分解能: $\tau_1 - \tau_2$

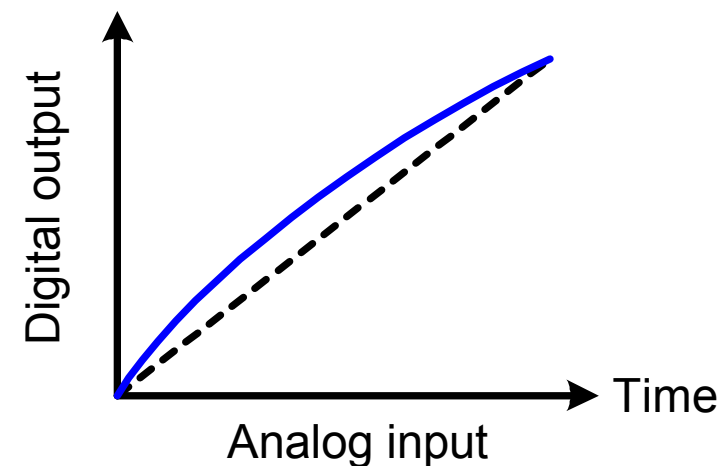
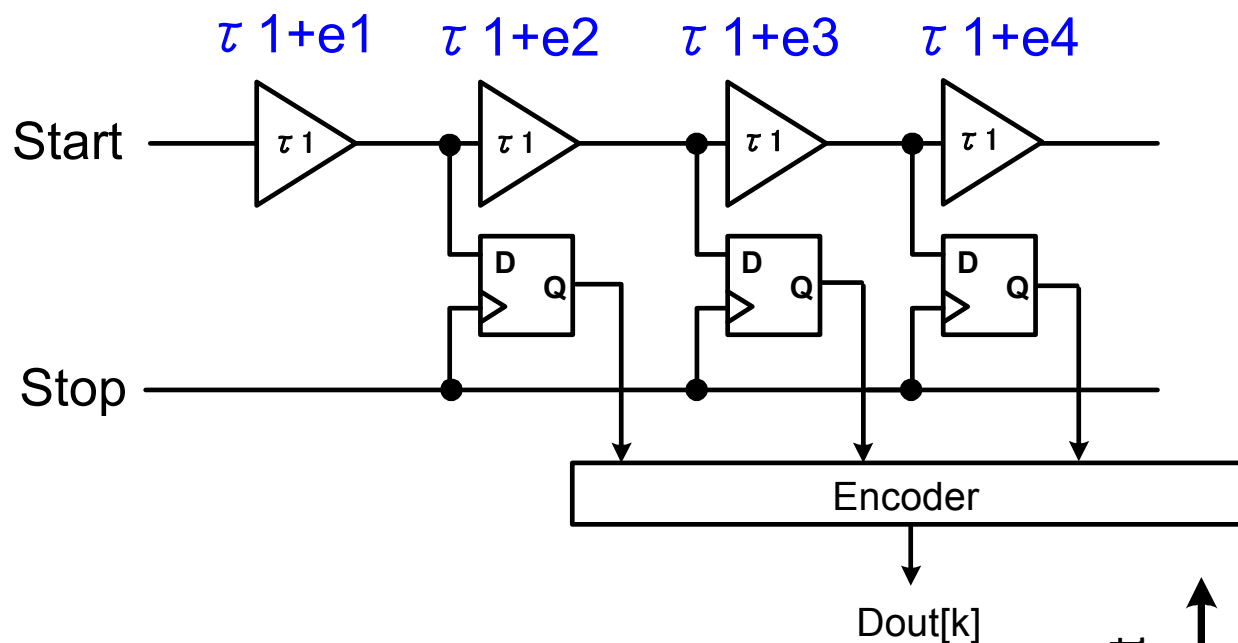
× 入力Stopパスのバッファあり

× バッファ数: $2N$

(∵ バッファ2コで1つの遅延をつくっているため)

○ 階層構成 → 直列段数の削減

TDCのバッファ遅延ばらつきによる 非線形性

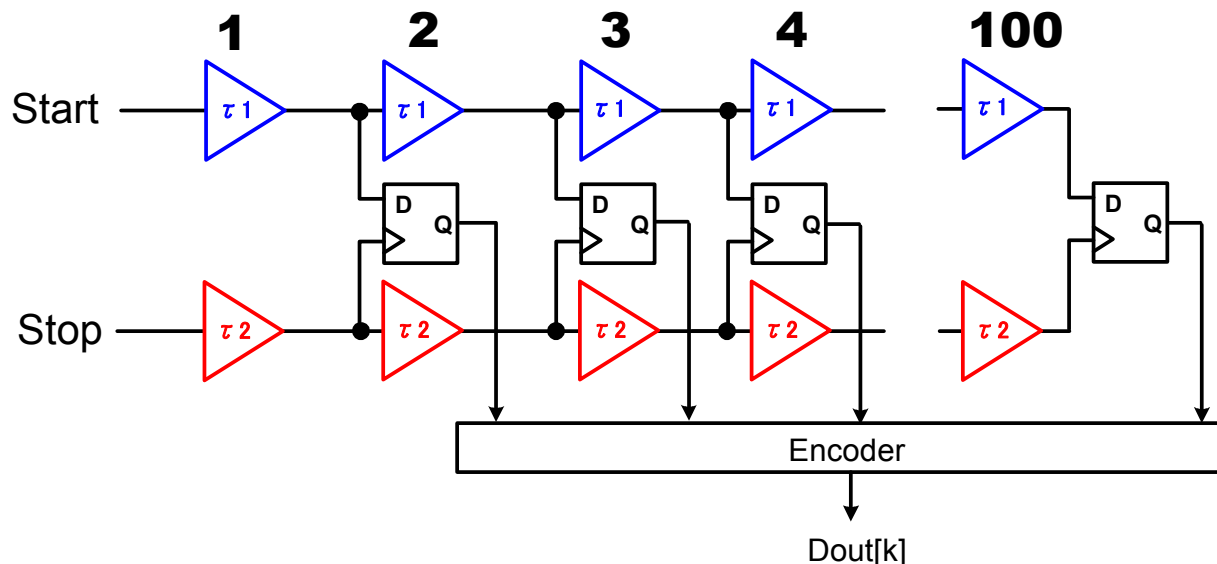


バーニアディレイライン TDCの構成

(90nm CMOS)

- $\tau 1=30\text{ps}$, $\tau 2=20\text{ps}$

時間分解能: 10ps



⇒ $\tau 1, \tau 2$ の両方のばらつきが影響

測定時間範囲: 1000ps

条件: 遅延時間のばらつき → 正規分布標準偏差10%

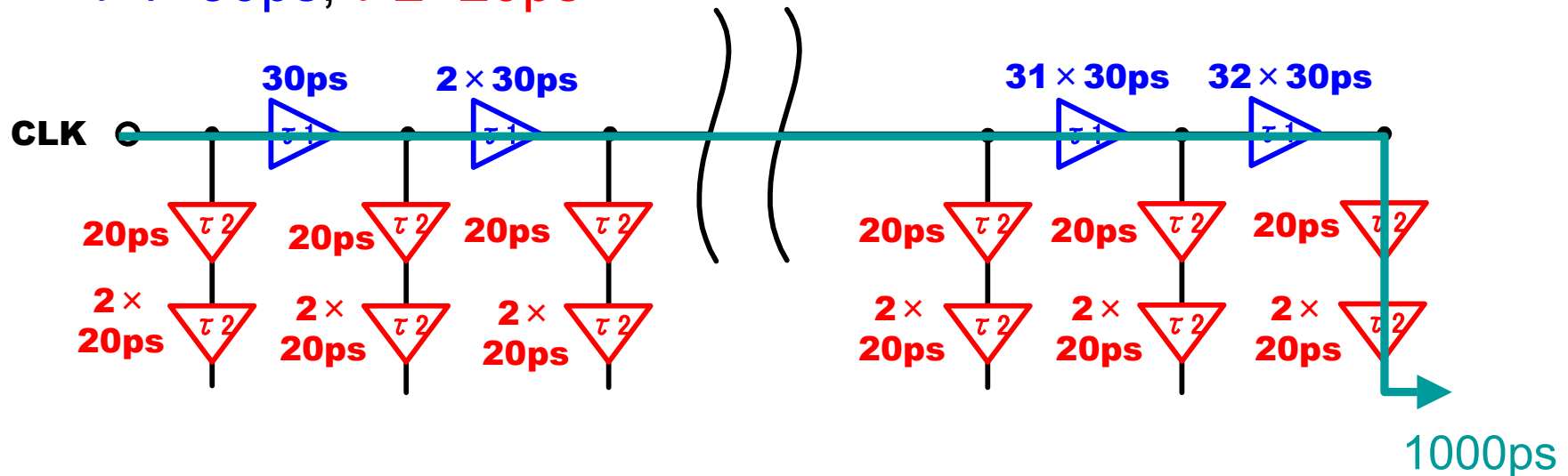
シミュレーション回数: 1000回

直列段数: 100段

提案TDCの構成

時間分解能: 10ps

• $\tau_1 = 30\text{ps}$, $\tau_2 = 20\text{ps}$



直列段数: 34段

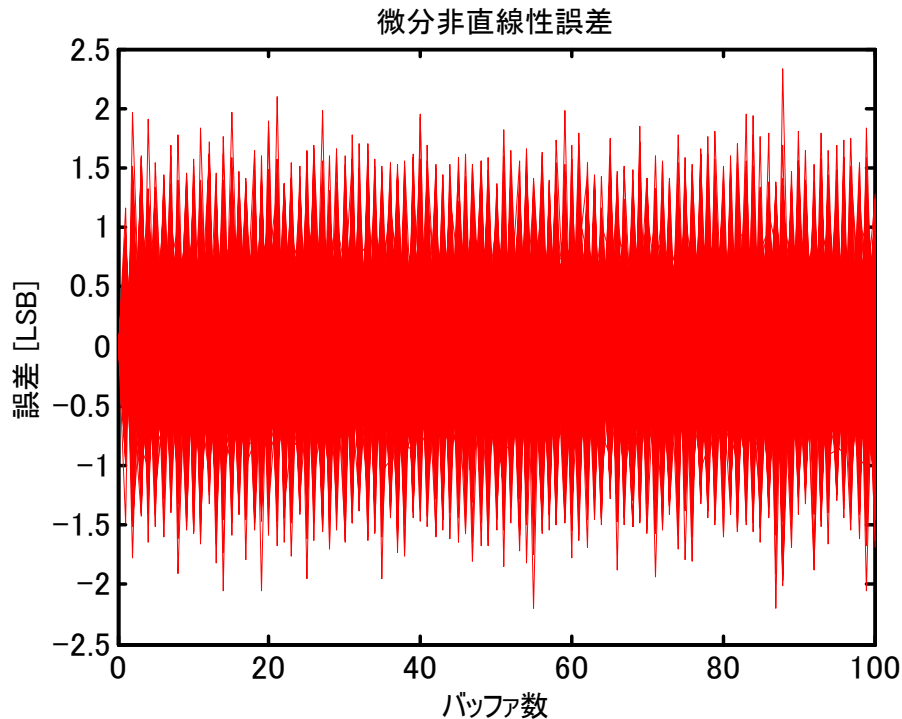
遅延ばらつきによる非線形性

直列段数が最大となるパスでのシミュレーション

シミュレーション回数: **1000**回

従来構成

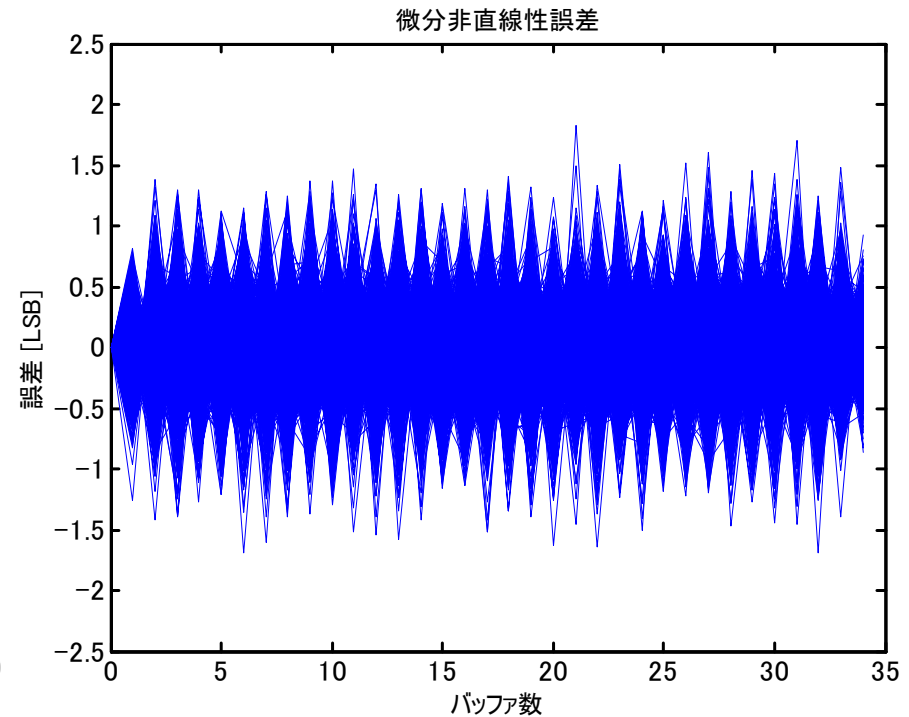
直列段数: **100**段



DNL=±2.3LSB

提案構成

直列段数: **34**段



DNL=±1.9LSB

遅延ばらつきによる非線形性

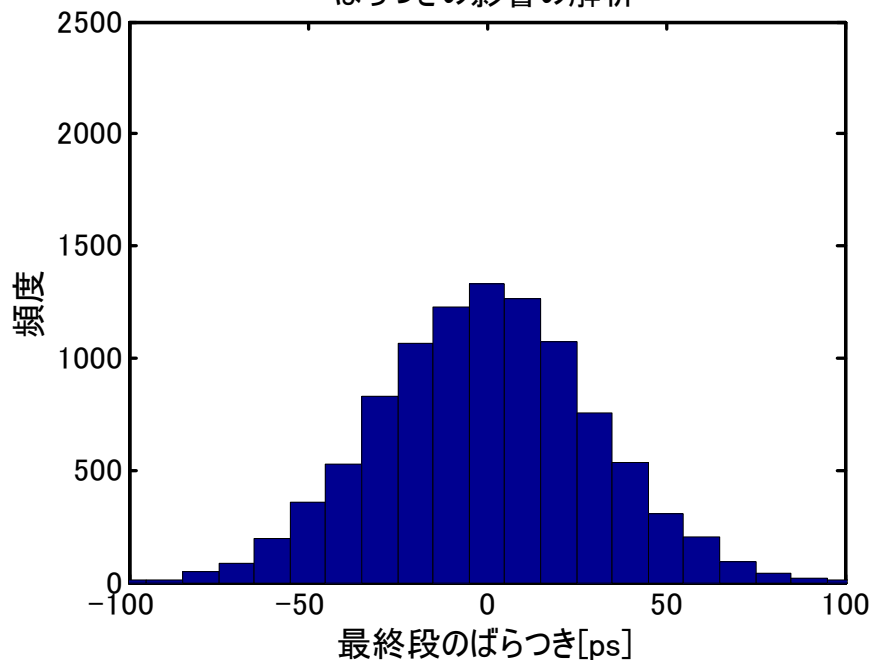
時間分解能: **10ps** → **1ns**まで測定

シミュレーション回数: **10000**回

従来構成

直列段数: **100**段

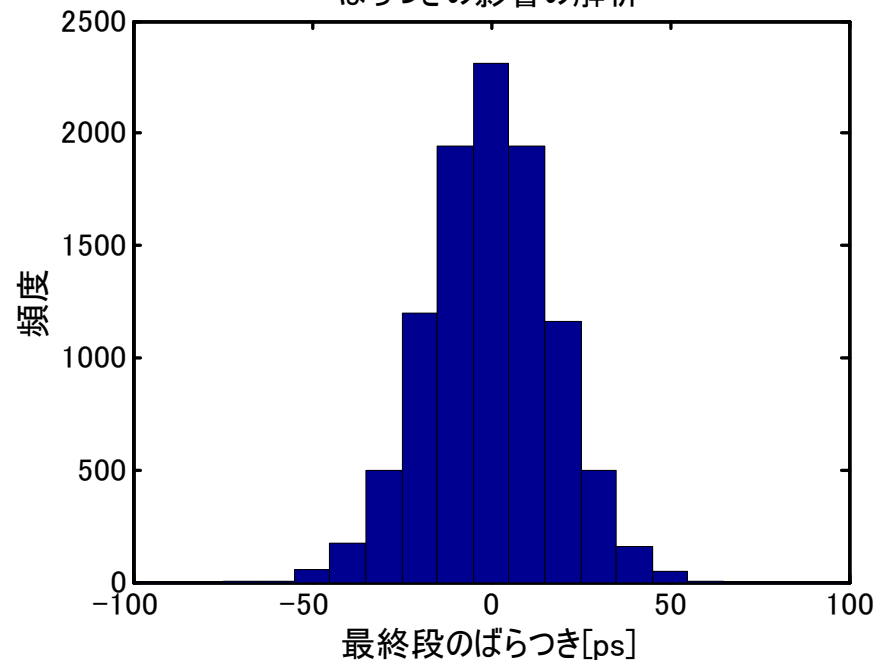
ばらつきの影響の解析



提案構成

直列段数: **34**段

ばらつきの影響の解析



TDCの比較

① 基本TDC

③バーニアディレイラインTDC

⑤提案TDC

②階層構成TDC

④バーニアディレイライン階層構成TDC

	①	②	③	④	⑤
分解能	×	×	○	○	○
面積 (バッファ数)	○	○	×	×	○
線形性	△	○	×	△	○

TDCの設計仕様

目的

⇒ 提案構成による**TDC**の動作原理確認

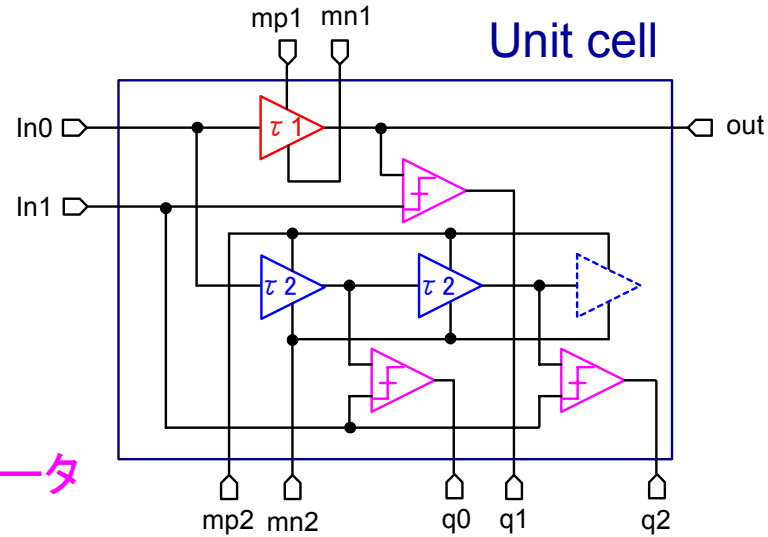
設計仕様

- ・**TSMC 0.18um CMOS**
- ・**Vdd:1.8[V]**
- ・時間分解能:**100ps**
- ・出力:**5bit(32出力)**
(~3300ps)

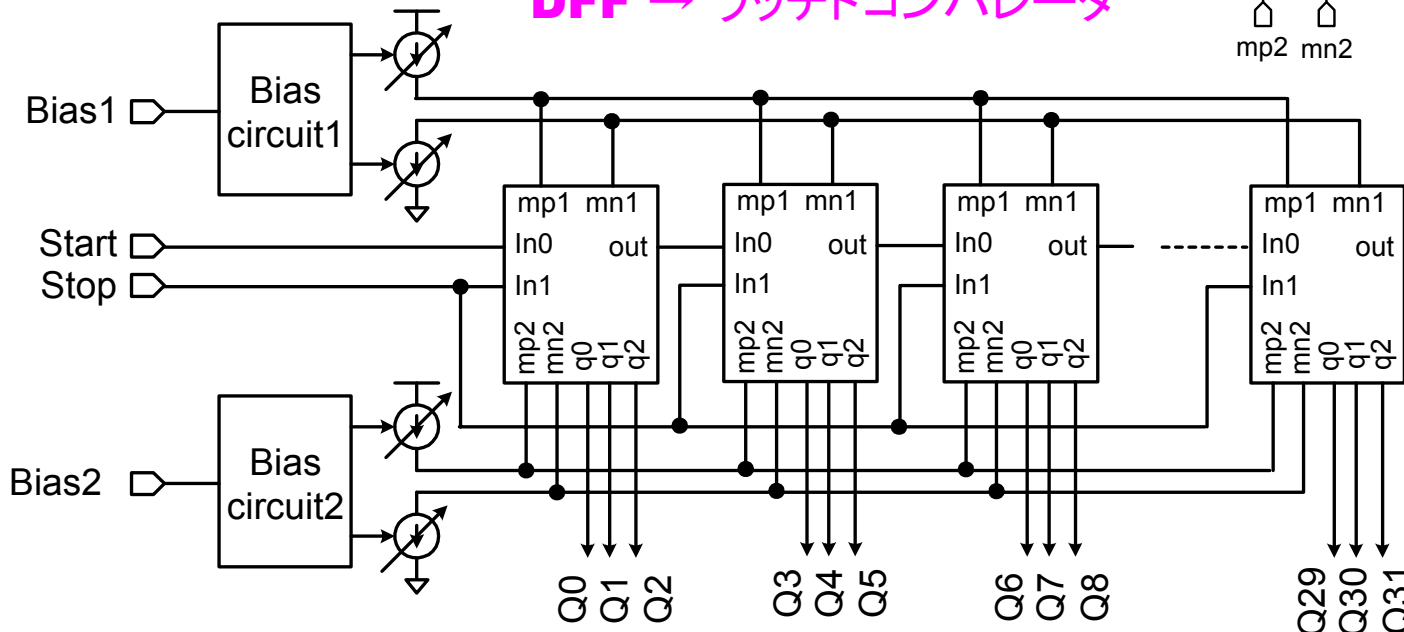
提案TDCの回路設計

仕様

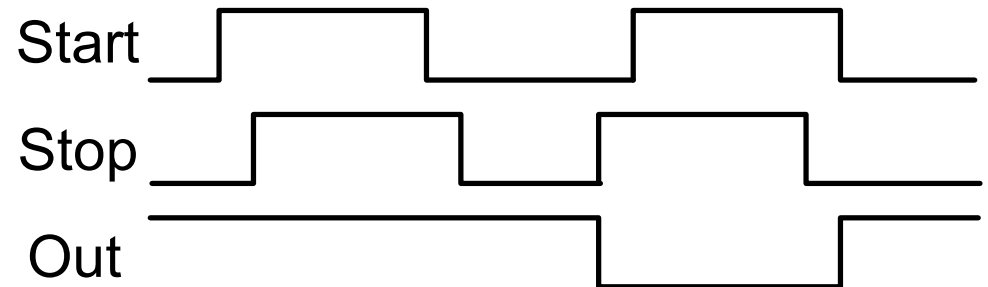
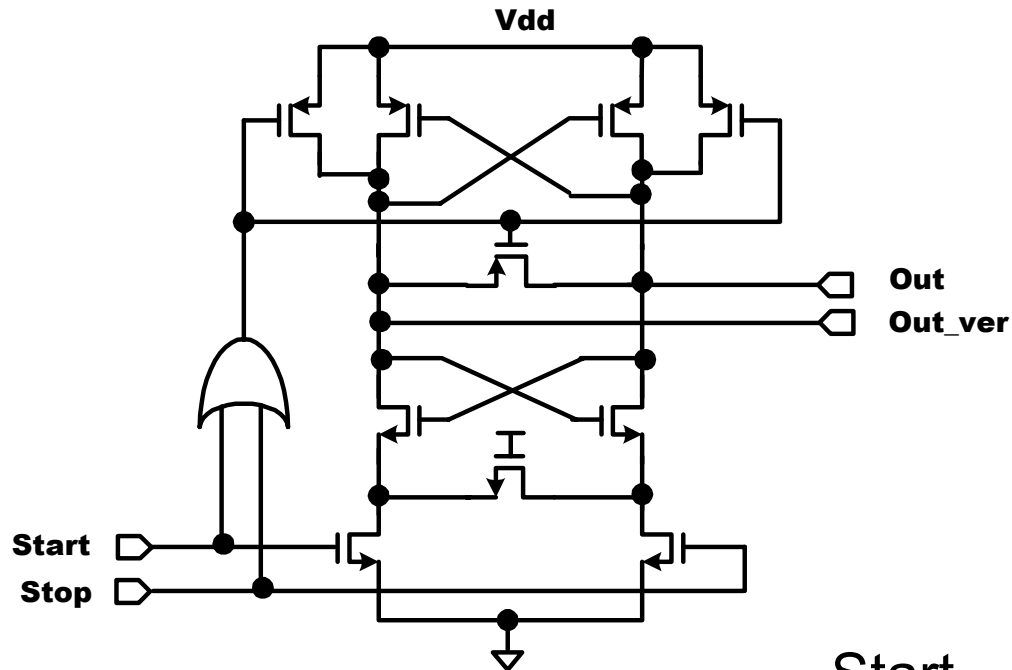
Vdd:1.8[V]
 時間分解能:100ps
 出力:5bit(32出力)
 (~3300ps)



DFF → ラッチドコンパレータ



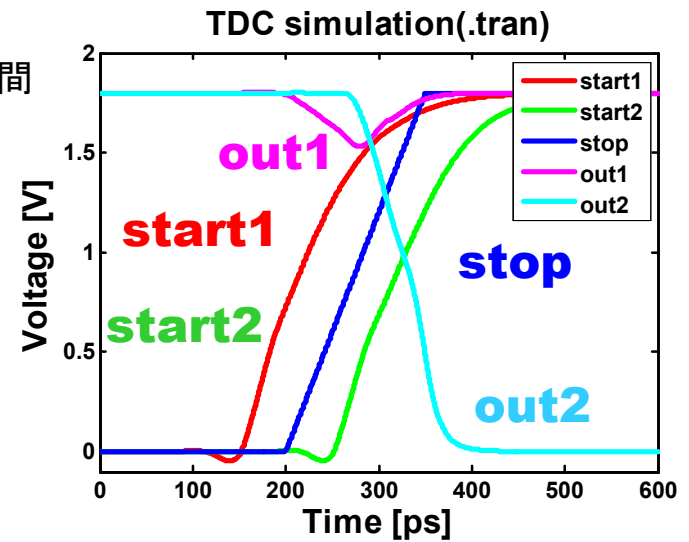
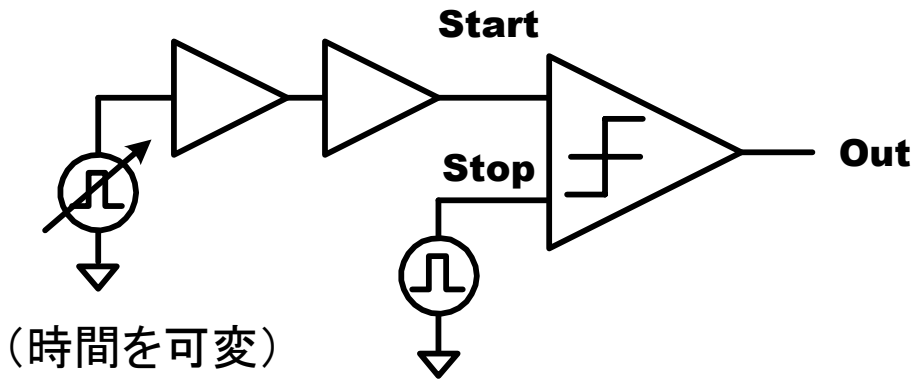
ラッチドコンパレータの構成と動作



ラッチドコンパレータ回路

■ メタスタビリティ特性

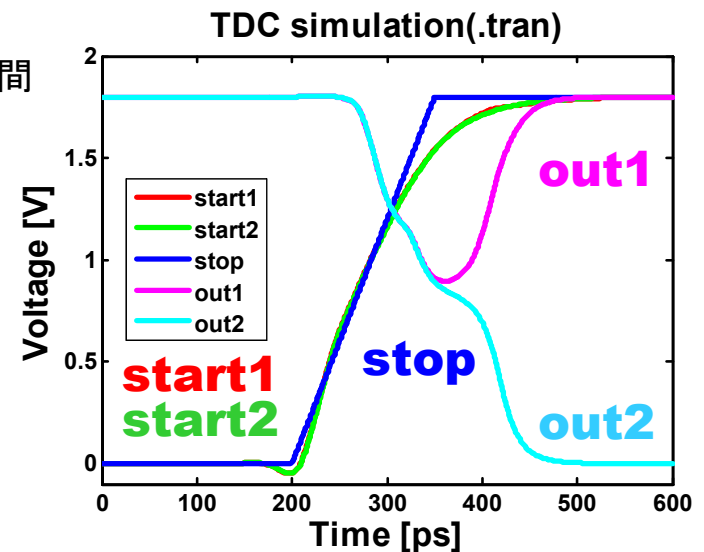
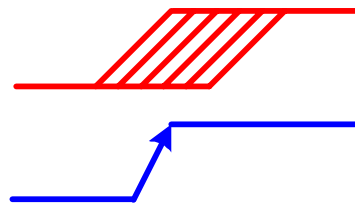
startとstop信号間の時間差が大



startとstop信号間の時間差が小

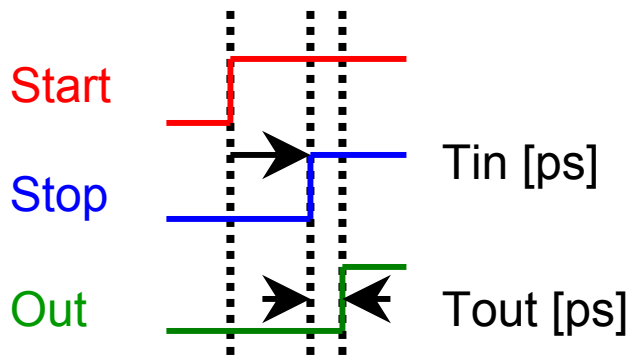
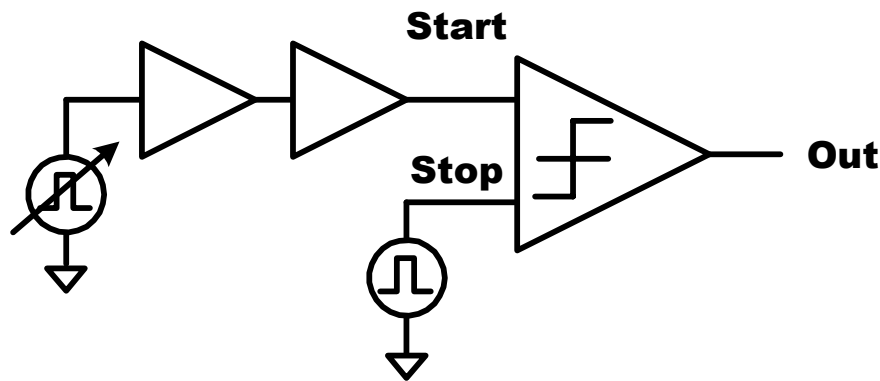
Start

Stop



ラッチドコンパレータ回路

■ メタスタビリティ特性



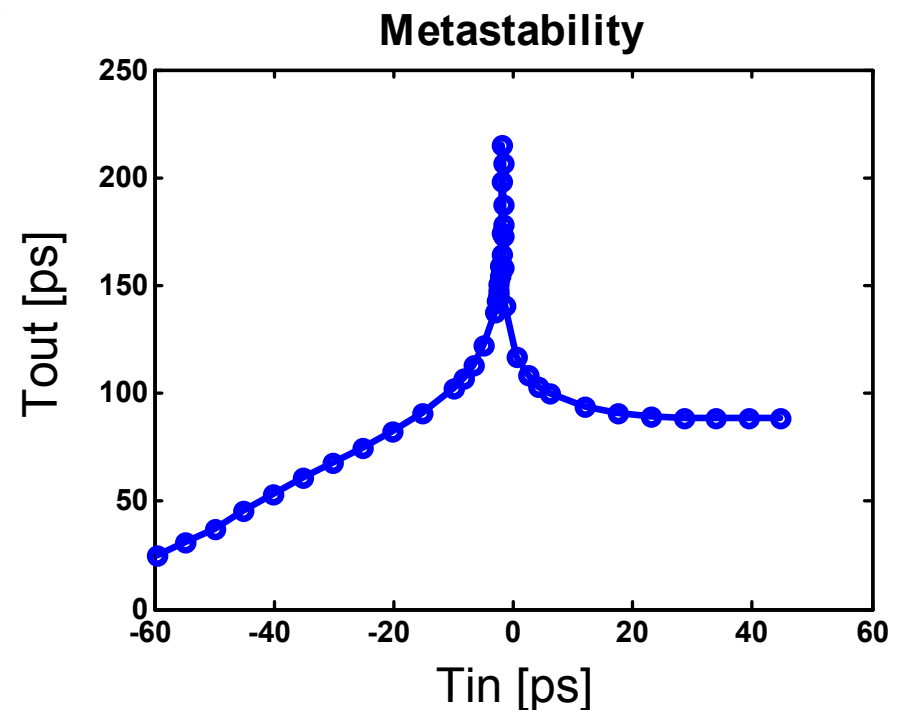
メタスタビリティは避けられない

横軸: Stop-Start @0.9[V]

縦軸: Out-Stop @0.9[V]



(Out=1.8V*0.9 or 1.8V*0.1となる時間)



レイアウト設計

プロセス

TSMC 0.18um CMOS (1P6M)

出力バッファ

電流源1

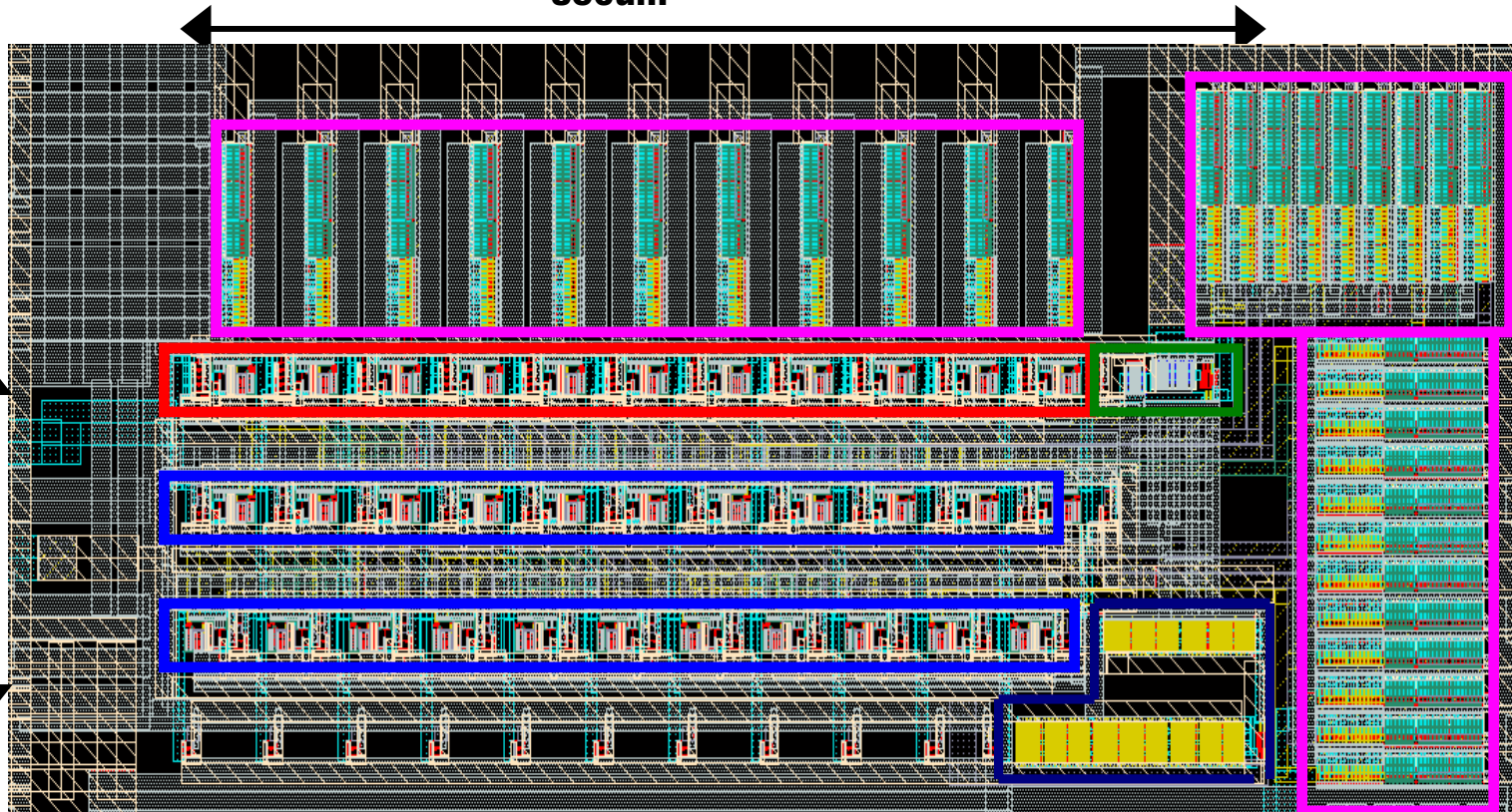
850um

ディレイライン1

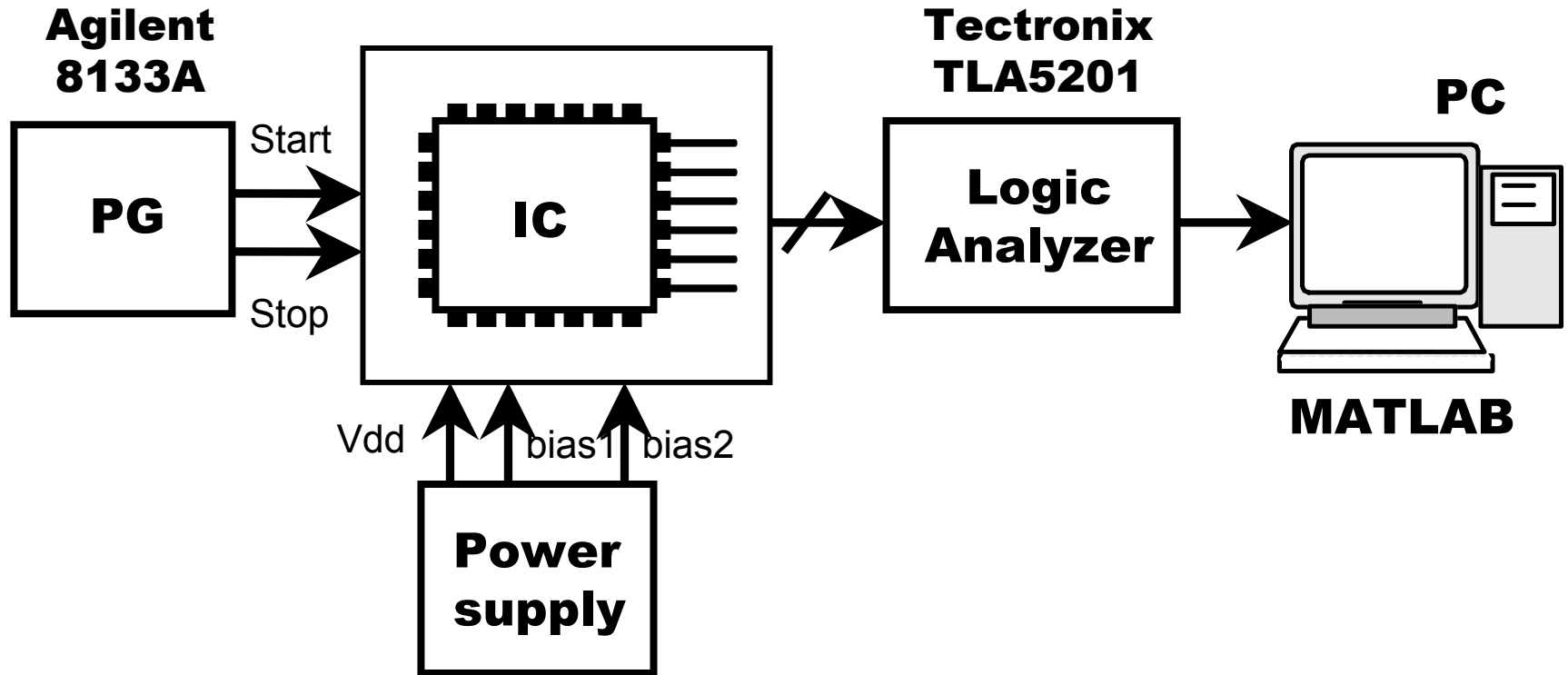
300um

ディレイライン2

電流源2



試作ICの測定



・**INL,DNL**の測定

現在、試作**IC**の納品待ち

アウトライン

- 研究背景
- Time-to-Digital-Converter (TDC)
 - 構成
 - 動作原理
- 提案TDC
 - 構成
 - 動作原理
 - 他の実現法との比較
- まとめ

まとめ

微細化 ⇒ 時間分解能向上

⇒ 時間領域信号処理

- TDCの構成法の提案

- 時間分解能 : $\tau_1 - \tau_2$

- 高分解能

- 直列段数の削減、被測定信号パスのバッファなし

- 高線形性、ジッタ削減

- バッファ数の削減

- 小面積、低消費電力

- TSMC 0.18um CMOSプロセスで回路、レイアウト設計完了