

タイムデジタイザを用いたAD変換器の 展開と高性能化

小室貴紀, 清水一也, 真鍋亘, 小林春夫

† アジレント・インターナショナル(株) 〒192-8510 東京都八王子市高倉町9-1
群馬大学大学院 工学系研究科 電気電子工学専攻 〒376-8515 群馬県桐生市天神町1-5-1
Phone: 0277-30-1788 Fax: 0277-30-1707 e-mail: k.haruo@el.gunma-u.ac.jp

Design Consideration and Extension of Analog-to-Digital Converter using Time-to-Digital Converter

Takanori Komuro †, Kazuya Simizu, Wataru Manabe, Haruo Kobayashi

†Agilent Technologies International Japan, Ltd., 9-1 Takakura-cho, Hachioji-shi 192-8510 Japan
Electronic Engineering Department, Graduate School of Engineering, Gunma University
1-5-1 Tenjin-cho Kiryu Gunma 376-8515 Japan

要約 - This paper describes some design consideration of an ADC using a TDC: (1) Amplitude and phase of a reference cosine wave used in the ADC are considered. (2) Effects of phase difference between the reference cosine wave and the sampling clock are discussed and its calibration method is proposed. (3) Comparator non-ideality effects and their calibration methods are described. (4) TDC jitter effects to ADC SNR are simulated. We also consider the multi-phase architecture of the ADC with TDC, and its application to equivalent-time sampling technique.

キーワード: タイムデジタイザ, AD変換器, 非一様サンプリング, 時間領域アナログ回路

Keywords: Time-to-Digital-Converter (TDC), ADC, Non-uniform Sampling, Time-Domain Analog Circuit

1. はじめに

半導体プロセスは微細化の一途をたどっている。デジタル回路は微細化が進めばチップ面積を縮小することができ、高速に低消費電力で動作する。一方アナログ回路は、電源電圧の低下により、扱える信号範囲が小さくなるため電圧分解能を向上させて精度を出すことが難しくなる。しかし微細化が進めばトランジスタのスイッチング速度が高速になるため、デジタル信号の伝播遅延を利用して時間分解能を決める方式であれば、ますます高精度となる。そこで、デジタル回路リッチ・アナログ回路最小のAD変換器としてタイムデジタイザ回路(TDC:Time-to-Digital-Converter)を用いたAD変換器を提案する。アナログ回路部は低電圧動作可能な簡単な回路を用いているので、半導体プロセス微細化が進んでもその部分の設計変更が少ない。またデジタル回路部はより高速・低消費電力になるので、微細半導体プロセスに適した方式である。

2. 提案するAD変換器アーキテクチャ

2.1.TDCを用いたAD変換器の構成(タイプI, 非一様サンプリング)

図1に提案AD変換器の構成を示す[1]。コンパレータ出力の遷移をTDCで観測することにより、入力信号と基準余弦波信号が一致するタイミングをデジタルデータとして得ることができる。余弦波信号の情報(振幅, 周波数, 初期位相)を既知とすると、そのタイミングでの基準余弦波の電圧値を確定することができる。これは入力信号の電圧値と等しいので、コンパレータ出力から入力信号の電圧値を確定することができる。すなわち入力電圧とコンパレータ出力遷移タイミングのデジタルデータの関連が得られることになり、全体としてAD変換器として動作する。AD変換器の入力レンジを $-A_{in}$ から A_{in} とする。基準信号の余弦波 $V_{ref}(t)$ の振幅は A_{ref} で、周期はクロック CLK 周期と同じ T とし、またクロックの立ち上がりエッジで $V_{ref}(t)$ の位相は0とする。

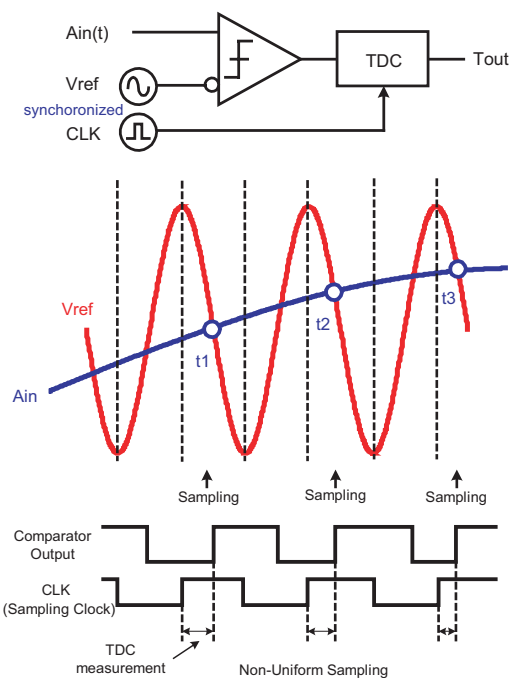


図 1: TDC を用いた AD 変換器の構成と動作 (タイプ I).

$$V_{ref}(t) = A_{ref} \cos\left(2\pi \frac{t}{T}\right). \quad (1)$$

入力アナログ信号 $A_{in}(t)$ と基準信号の余弦波 $V_{ref}(t)$ をコンパレータで比較する。クロックの立ち上がりエッジから(クロック周期 T 内に最初に現れた)コンパレータ回路の出力波形がトグルする瞬間の時間をタイムデジタイザ回路により測定する。この時間と基準余弦波信号から、その時間における入力信号の振幅を求めることができる。 $nT \leq t < (n+1)T$ において

$$A_{ref} \cos\left(2\pi \frac{t_n}{T}\right) = A_{in}(t) \quad (2)$$

$$\text{故に } t_n = T \arccos\left(\frac{A_{in}(t)}{A_{ref}}\right). \quad (3)$$

t_n をデジタル化したものが TDC の出力 $T_{out}(n)$ であり、AD 変換器のデジタル出力 $D_{out}(n)$ は

$$D_{out}(n) = A_{ref} \cos\left(2\pi \frac{T_{out}(n)}{T}\right) \quad (4)$$

となる。しかし上記の方法で得られるデータ $D_{out}(n)$ は $A_{in}(t)$ を時刻 $nT + t_n$ でサンプリングしたデジタル値である。

2.2.TDC を用いた AD 変換器の構成 (タイプ II, 一様サンプリング)

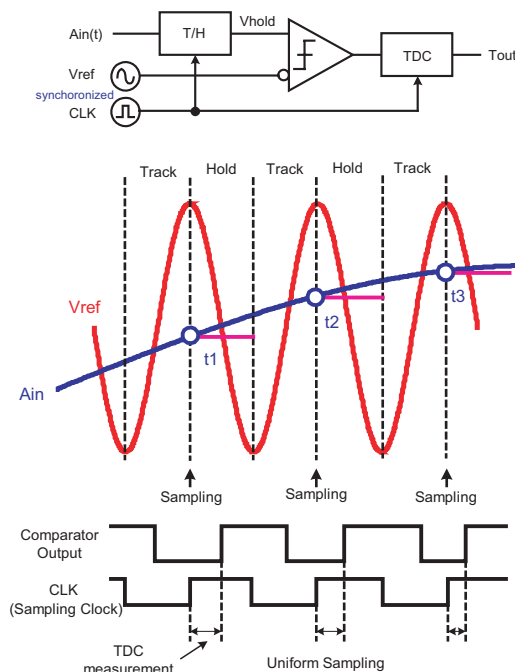


図 2: TDC を用いた AD 変換器の構成と動作 (タイプ II).

図 2 に提案する AD 変換器の基本的な構成と動作 (タイプ II) を示す。図 1 の構成にトラック・ホールド回路を付加した構成である。基準余弦波 (V_{ref}) が最大値となるタイミングでトラック・ホールド回路は入力信号をサンプリングして、そのときの入力電圧を保持する (V_{hold})。この保持された電圧と基準余弦波が交差するタイミング (t_1, t_2, t_3, \dots) は、後続のコンパレータと TDC によりデジタル値として得られる。基準余弦波信号の振幅 A_{ref} 、周波数 f 、初期位相 θ のパラメータは、事前の校正操作により既知とすることができるので、各タイミング t_n における基準余弦波の電圧は、 $A_{ref} \cdot \cos(2\pi f t_n + \theta)$ から求められる。トラック・ホールド回路の働きにより等間隔のサンプリングが行われるので、通常の AD 変換器と同じ同期サンプリングのデジタル・データが得られる。

2.3. タイムデジタイザ回路

タイムデジタイザ回路 (TDC) とは時間間隔を計測

しその値をデジタル出力する回路である。その中で我々は高速 CMOS デジタル回路を用いた方式に注目した [2][3][4][5][6][7][8]。この方式は構成要素がデジタル回路のみであるので、CMOS プロセスが微細化されデジタル回路が高速化されるにしたいが、時間分解能やサンプリング周期等の TDC の性能の向上が期待できる。

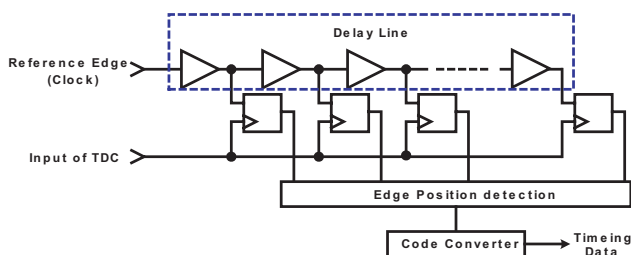


図 3: ゲート遅延を用いたタイムデジタイザ回路の基本構成

3. 提案 AD 変換器の誤差要因と実現上の考察

3.1. 基準余弦波信号の振幅

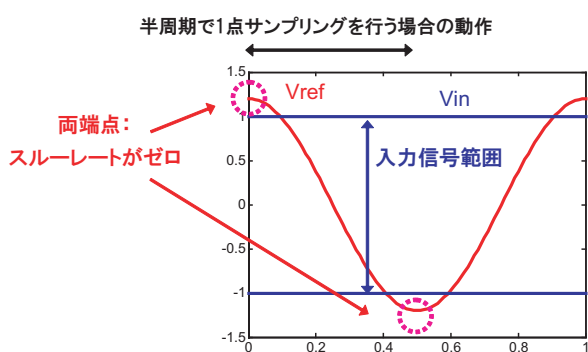


図 4: 基準余弦波信号と入力信号の振幅。

入力信号の振幅と基準余弦波信号の振幅について考える。基準余弦波信号ピークとなる両端点ではスループレートがゼロである。そのため、一定時間における電圧分解能が荒くなってしまうので、基準余弦波信号の振幅を少し大きくしておく必要がある。今回は入力信号の振幅 $A_{in} = 1.0$ 、基準余弦波信号の振幅 $A_{ref} = 1.2$ と設計した。

3.2. 基準余弦波とサンプリング・クロックの

位相差による影響

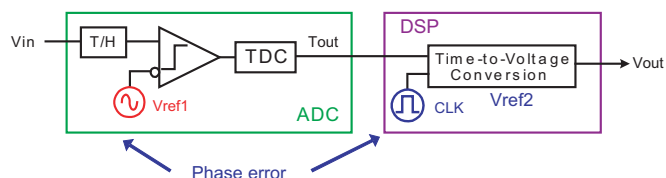


図 5: 時間から電圧情報に変換するときの位相差。

提案 AD 変換方式 (タイプ II) に固有の誤差要因として、実際にコンパレータに印加される基準余弦波信号と TDC 出力 (時間情報) を電圧に変換する際のサンプリング・クロック間の位相差がある。図 5 に、基準余弦波とサンプリング・クロック間の位相差の定義を示す。これらに間に位相ずれがある場合には、TDC 出力 (時間情報) を電圧に換算する過程で非線形誤差 (高調波歪) が発生する (図 6)。

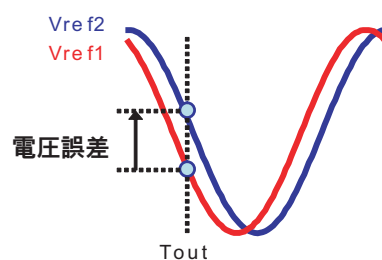


図 6: 時間から電圧情報に変換するときの位相差により発生する電圧誤差。

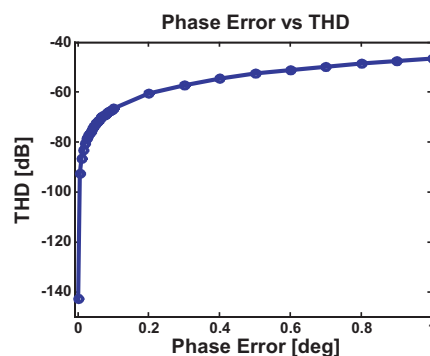


図 7: 位相差による歪み特性への影響。

図7にその影響のシミュレーション結果を示す。基準余弦波信号間での位相誤差が増加するにつれ、全高調波歪みが大きく劣化していくことがわかる。

時間情報から電圧値へ変換する際に位相情報が合っている必要がある。そこで、余弦波の位相を測定するため、図8のように直流を入力する。そして、基準クロックの1周期の間で入力信号 V_{in} と基準信号 V_{ref} は必ず2点でクロスする。基準クロックの立ち上がりから、そのクロスする2点までの時間をそれぞれ測定する。初めにクロスする点の時間を t_1 、次のクロス点の時間を t_2 とする。また基準余弦波の電圧がピークとなる時間を t_p とすると、余弦波は偶関数であるため、

$$t_p = \frac{t_1 + t_2}{2} \quad (5)$$

となる。つまり基準余弦波信号の位相 $\theta = \pi$ となる時間を測定できたことになり、位相誤差の影響は補正可能である。

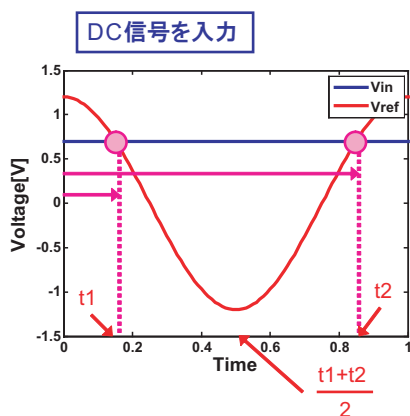


図8: 位相情報の測定.

3.3. TDCのジッタの影響

TDCの時間分解能 (Δt) は基準余弦波の傾き ($dV_{ref}(t)/dt$) にしたがって入力電圧に対する分解能 (ΔV) に対応する。

$$\Delta V = \left| \frac{dV_{ref}(t)}{dt} \right| \quad (6)$$

TDCの時間分解能 (Δt) が一定である場合を考えると、基準余弦波の周波数 (f_{ref}) が上がっていくに従って、 ΔV が大きくなっていくため AD 変換器としての分解能は線形に低下していく。すなわち、

$$\Delta V = 2\pi f_{ref} A_{ref} |\sin(2\pi f_{ref} t)| \Delta t \quad (7)$$

$$\Delta V_{max} = 2\pi f_{ref} A_{ref} \Delta t \quad (8)$$

図9にTDCの残留ジッタをパラメータとして f_{ref} と提案AD変換器で達成できるSNRの関係を示す。実際にAD変換器として用いる場合には、TDCの時間分解能 Δt と、TDCの残留ジッタのうちで、大きい方のパラメータがAD変換器のSNRを決定する。

$$V_{in}(t) = (A/1.2)\cos(2\pi f_{in}(t)) \quad (9)$$

式(8)と式(9)から、SNRを次のように計算した。

$$\begin{aligned} SNR &= 20\log_{10}\left(\frac{V_{in}\text{の実効値}}{\Delta V_{max}}\right) \quad (10) \\ &= 20\log_{10}\left(\frac{1}{\sqrt{2} \times 1.2} \cdot \frac{1}{2\pi f_{ref} \Delta t}\right) [dB] \quad (11) \end{aligned}$$

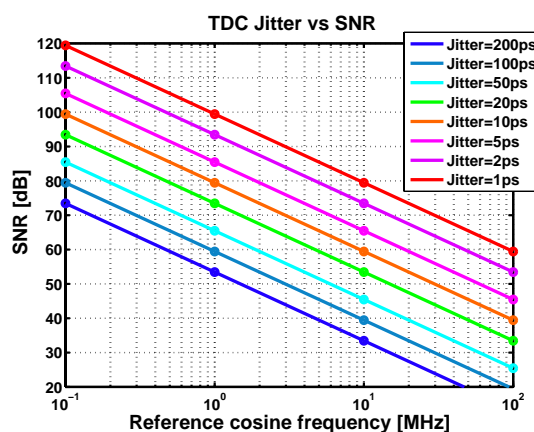


図9: TDCの残留ジッタに対するAD変換器のSNRへの影響.

3.4. コンパレータの不完全性の影響

3.4.1. コンパレータのオフセットの影響

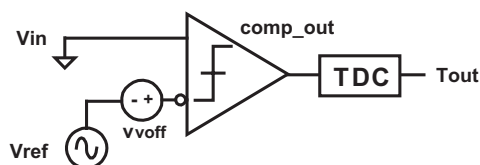


図10: オフセット電圧の測定.

コンパレータにオフセットがある場合、提案するAD変換器ではAD変換結果にDCオフセット成分が表れ

る。この DC 成分は、図 10 のように、入力信号を GND (コンパレータのスレッシュホルド電圧) に接続して AD 変換を行うことによって見積もることができる。AD 変換された結果にはオフセット電圧が出力されるので、通常の AD 変換された結果からそのデジタルコードを引くことによって補正することが可能である。

3.4.2. コンパレータのヒステリシスの影響

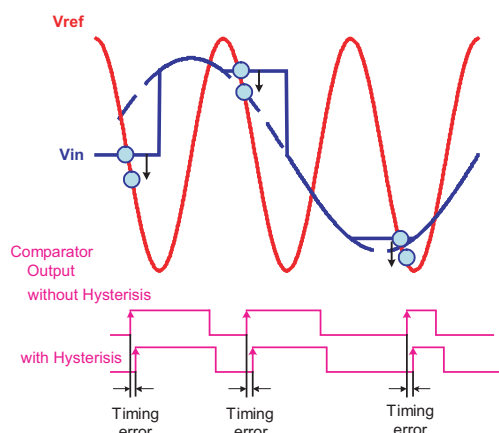


図 11: 提案 AD 変換器 (タイプ II) 動作におけるヒステリシスの影響。

コンパレータにヒステリシスがある場合、AD 変換動作は図 11 のようになる。トラック・ホールド回路によって保持している入力電圧と基準余弦波信号との差がヒステリシス電圧を超えたときにコンパレータ出力がトグルするため、ヒステリシスの分だけコンパレータ出力が立ち上がる時間に遅延が生じる。

ただし、基準クロックによって入力電圧が保持されたとき、基準余弦波信号は入力信号より大きいため、サンプリングが行われる点ではコンパレータ出力は必ず Low から High となる。つまり、立ち上がりのヒステリシスのみが影響する。AD 変換結果には DC オフセットとして表れるので、コンパレータのオフセットの場合と同様にして補正可能である。

3.4.3. コンパレータのオーバードライブの影響

図 12 にオーバードライブの異なるコンパレータの出力応答を示す。オーバードライブ量が大きくなるとコ

ンパレータの出力応答特性は高速になる。つまり、オーバードライブ量によって出力の伝播遅延時間が異なる。

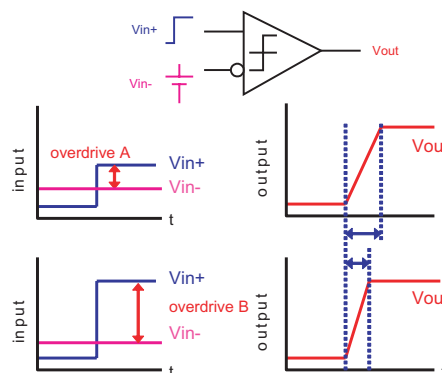


図 12: コンパレータの入力信号と出力応答波形。

コンパレータのヒステリシスとオーバードライブ電圧の影響を軽減するため、図 13 のように回路にアンプと電圧クランプ回路を追加する。リニアアンプを追加することによって、入力信号と基準余弦波信号の差電圧のスルーレートがアンプのゲイン倍向上するため、ヒステリシス電圧を超えるまでの時間軸の誤差を小さくすることができる。また、電圧クランプ回路によってオーバードライブ電圧の違いによる伝播遅延の誤差をキャンセルすることができる。

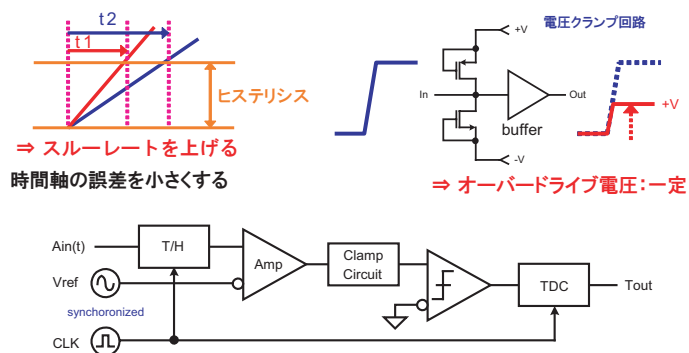


図 13: 誤差要因を軽減するための回路構成。

4. TDC を用いた AD 変換器の多相化構成

複数の基準余弦波信号を用いて多相で動作させる場合について考える。図 14 のように 3 相動作させる場合を検討する。基準余弦波信号の周波数は固定で、等価的にサンプリング周波数が 3 倍になる。分解能は基準余

弦波信号のスループレートで決定されるため、劣化はしない。つまり、多相化することにより分解能を維持しながらサンプリング周波数を上げることができる。また非同期サンプリングでも、多相動作させることは可能であることをシミュレーションで確認した。

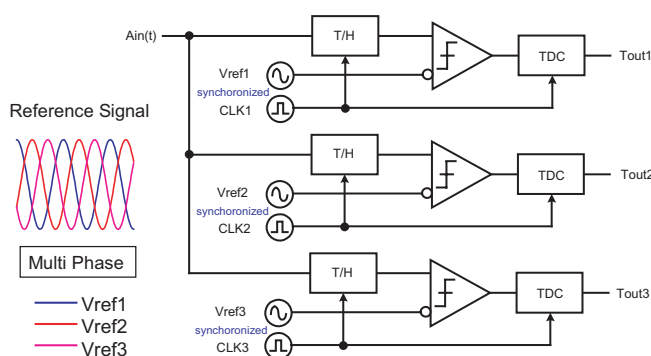


図 14: 提案 AD 変換器の三相動作。

5. TDC を用いた AD 変換器の等価時間サンプリング技術への応用

TDC を用いた AD 変換器の応用として、サンプリングゲオシロ、LSI テスタへ適用することを検討する。

- 等価時間サンプリング (ランダムサンプリング) ではトリガからサンプリングタイミングの時間測定を行う [11]。一方、提案時間領域 ADC は TDC で時間測定して AD 変換を行う。したがって TDC を共用できる。
- 非同期時間領域 ADC でもナイキスト以上の入力周波数で波形再合成可能であり、等価時間サンプリングでの波形の再合成の際に時間領域 ADC の非同期データを同期化する必要がない。
- 非同期時間領域 ADC 3 相化でサンプリングタイミングがランダム化され波形収集の効率化できることが期待できる。

6. まとめと今後の課題

この論文では振幅情報を時間情報に変換するシンプルな回路と時間をデジタル計測するタイムデジタイザ回路から構成する AD 変換器を提案した。タイムデジタイザ回路は半導体プロセスの微細化とともに性能の向上が期待できる。この AD 変換器の性能はタイムデ

ジタイザ回路の性能とともに向上していくので微細半導体プロセスでの実現に適した AD 変換方式である。提案した AD 変換方式に固有の誤差要因を指摘してその影響を考察し、実現上の問題を検討した。

参考文献

- [1] 小室 貴紀, ヨッヘン・リヴォアル, 清水 一也, 光野 正志, 小林 春夫, 「タイムデジタイザを用いた AD 変換器アーキテクチャ」, 電子情報通信学会誌 和文誌 C vol. J90-C, no.2, pp.125-133 (2007 年 2 月) .
- [2] S.Henzler, et.al., "90nm 4.7ps-Resolution 0.7-LSB Single-Shot Precision and 19pJ-per-Shot Local Passive Interpolation Time-to-Digital Converter with On-Chip Characterization", *IEEE International Solid-State Circuits Conference*, pp.548-549, (2008).
- [3] C.Hsu, et.al., "A Low-Noise, Wide-BW 3.6GHz Digital Fractional-N Frequency Synthesizer with a Noise-Shaping Time-to-Digital Converter and Quantization Noise Cancellation", *IEEE International Solid-State Circuits Conference*, pp.340-341, (2008).
- [4] H.Chang, et.al., "A Fractional Spur-Free ADPLL with Loop-Gain Calibration and Phase-Noise Cancellation for GSM/GPRS/EDGE", *IEEE International Solid-State Circuits Conference*, pp.200-201, (2008).
- [5] J.Jansson, et.al., "A CMOS Time-to-Digital Converter With Better Than 10ps Single-Shot Precision", *IEEE Journal of Solid-State Circuits*, vol.41, no.6, pp.1286-1296, (June 2006).
- [6] M.H.Perrott, "Digital Phase-Locked Loops", *IEEE International Solid-State Circuits Conference Tutorial*, (2008).
- [7] R.B.Staszewski, et.al., "1.3V 20p Time-to-Digital Converter for Frequency Synthesis in 90-nm CMOS", *IEEE Transaction on Circuits and Systems-Express Briefs*, Vol.53, No3. (Mar.2006).
- [8] M.Lee, A.A.Abidi, "A 9b, 1.25ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that", *Symposium on VLSI Circuits Digest of Technical Papers* (2007).
- [9] J.Rivoir, "Fully-Digital Time-to-Digital Converter for ATE with Autonomous Calibration", *Proc. IEEE International Test Conference*, Paper 6.3 (CD-ROM), Santa Clara, CA, (Oct. 2006).
- [10] J.Rivoir, "Statistical Linearity Calibration of Time-to-Digital Converters Using a Free-Running Ring Oscillator", *Proc. Fifteenth Asian Test Conference*, pp.45-50, Fukuoka (Nov. 2006).
- [11] M.Kimura, K.Kobayashi, H.Kobayashi, "A Quasi-Coherent Sampling Method for Wideband Data Acquisition", *IEICE Trans. on Fundamentals*, vol.E85-A, no.4, pp.757-763 (April 2002).