

- 携帯機器用高性能電源回路の研究 -

群馬大学大学院 工学研究科 電気電子工学専攻 小林研究室
 光野 正志、森 偉文樹、清水 一也、傘 昊、小林 春夫

研究活動内容

- ナノCMOS時代アナログ・デジタル混載回路の研究開発
- 理論的なLSI設計基礎研究から実践的な試作まで幅広い研究
- 学会発表・論文発表・特許出願

アナログ回路技術の重要性

半導体産業は成熟産業になりつつある？
 集積回路の限界が見えそう？明確ではない
 半導体産業の巨大化が進み、
 活発な技術開発が行われている。

デジタルはメインの技術
 アナログはキーの技術

製品を差別化するのはアナログ技術
 携帯電話の電波の送信・受信部
 デジタルのマイクロ・プロセッサの
 クロック周波数がGHzオーダー
 動作させるにはアナログ技術が必須

デジタル・アシスト・アナログ技術

CMOSプロセスの微細化に伴い
 デジタル回路は大きな比重
 高集積化、低消費電力化、高速化、低コスト
 微細化プロセスでもデジタルは必ず動く
 アナログは必ずしも思えない
 電源電圧低下、出力抵抗小、ノイズ増大
 デジタルリッチ・アナログミニマムな構成が重要
 デジタル技術を用いてアナログ性能向上技術が重要
 冗長性によるデジタル誤差補正
 ADC/DACのキャリブレーション
 RF回路のキャリブレーション
 サンプリング技術
 周波数監視技術
 チップ内計測制御技術

研究・試作結果



CMOS A/D変換器
 ・サンプリング周波数 200MHz
 ・分解能 8bit



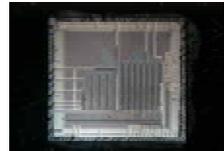
チャージポンプ電源回路
 ・コイル不要・低電圧・高效率・大電流



複素バンドパス AD変換器回路



10bit/12bit CMOS D/A変換器



MEMS技術を用いたスパイラルインダクタ

<< スペクトラム拡散クロック技術を用いたEMI低減化 >>

研究背景と目的
 従来のDC-DC変換回路 + デジタル制御回路の付加
 スイッチングノイズ・高調波ノイズが特定周波数成分に集中して発生
 EMI規格 限度値
 高調波ノイズとスイッチングノイズの周波数成分を拡散(EMIの低減を達成)

EMC (Electro Magnetic Compatibility)とは
 EMC = EMS + EMI
 電磁環境立性
 スイッチングノイズ発生
 クロック周波数奇数次に集中、電圧変動となる

提案方式実現回路
 従来のDC-DC変換回路出力
 DC-DC変換回路
 スイッチング周波数 600kHz
 パワー系
 PWM出力
 パルス幅変調器(PWM)制御系
 V_{out}
 従来回路(変更不要)

測定スペクトラム
 200kHz 600k 単位はdB
 200kHz 600k 400k
 単位はdB
 ノイズ拡散方式を設けない場合
 ノイズ拡散方式を設けた場合
 提案手法によるEMI低減効果 20~25dB

<< 可変インダクタによる高速応答・低リップル化 >>

研究背景と目的
 ・マイクロプロセッサ、携帯機器の性能向上
 ・厳しい電源回路への要求
 ・負荷電流大 低リップルの要求 (L値大)
 ・負荷電流変動大 高速応答の要求 (L値小)

低リップル・高速応答 制御の相反する技術課題
 インダクタLを切り替えることで解決する方式を提案

提案する可変インダクタの原理
 L1 = 0.5 μH, L2 = 30 μH
 L値大 L値小
 0.5 μH + 29.5 μH = 30 μH
 0.5 μH + 0 = 0.5 μH
 ・負荷電流一定時 スイッチOFF
 ・負荷電流変動時 スイッチON
 L値は30 μH 低リップル L値は0.5 μH 高速応答
 スイッチのON/OFFで、インダクタの値を変化
 高速応答かつ低リップルを実現

提案する全体回路
 PWM制御回路
 電源部
 負荷変動検出回路

シミュレーション結果
 出力電圧V_{out} 従来回路L=0.5μH
 従来回路L=30μH
 提案回路
 応答時間 安定時
 従来回路 L=0.5μH 0.6ms 7.0mV
 従来回路 L=30μH 2.5ms 1.8mV
 提案回路 0.6ms 2.5mV

<< 電源回路のデジタル化 >>

研究背景と目的
 ■電源回路への要求大
 ■近年、LSIの超大規模化・微細化、マイクロプロセッサ性能向上
 → スイッチング時間高速化(数十ps)
 → 電源電圧の動作マージン減少(LSIの低電力化)
 → 電圧変動量の増加(半導体微細化)

■デジタル制御電源に中心
 ■高度な制御理論や新トポロジーの導入
 ■電源のデジタル制御回路部のシステムLSI内への取り込み

デジタル電源用キーコンポーネントの性能向上
 AD変換器の低レタレンシー化
 高分解能DPWM回路の新アーキテクチャ

<< デジタル電源用AD変換器の低レタレンシー化 >>
 デジタル制御電源のAD変換器
 フィードバックループ内で用いられるので低レタレンシー化が重要
 逐次比較型ADC、パイプラインADCが用いられる
 → 上記2つから出力結果は下位ビットまで全部が出力されてから5LSB遅延開始
 提案手法
 上記ビットからのビットシフト遅延(分岐遅延)を用いる
 ADCから上位ビット出力時5LSB遅延開始できるので低レタレンシー化

例) 12bit分解能のとき
 デジタル演算開始
 従来: 12bitまで出力後
 提案: 適切なビット(MSB)出力後

分散型積和演算

$$y(n) = a_0x(n) + a_1x(n-1) + a_2x(n-2)$$

 定係数の積和演算を乗算器を使用せず
 ルックアップテーブルにより実現

効果
 フィードバックループでのレタレンシー遅れが小

<< 高時間分解能デジタルPWM発生回路 >>

目標仕様
 ■1周期80ns (ADCサンプリング周波数=12.5MHz)
 ■使用可能クロック: 10.0MHz, 12.5MHz
 ■1LSB(時間分解能): 10ps
 ■DPWM分解能: 13bit
 ・デジタルPWM: 充分な制御性能...12bit以上
 ⇒ 分解能: 13bit
 (従来例: 米TIは電源デジタル制御IC(2005)
 80ns 80ns = 10ps 時間分解能 150ps
 8192)

従来構成
 ■チップ数: 大(10bit設計 1023個)
 ■最小時間分解能: パパフのゲート遅延: ~10ps
 ■半導体のプロセス性能に依存(ゲート遅延によって高時間分解能を得る)

提案回路構成(ゲート遅延差)と動作
 時間分解能: 10ps, 13bit
 10psのゲート遅延差より小

13bitデジタルPWM発生回路
 提案回路
 F_s = 12.5MHz start
 時間分解能: 10 [ps]
 パパフ数: 2.37 (値)
 遅延量 160ps
 730ps
 290ps

まとめ
 ■デジタル電源でのAD変換器の低レタレンシー化
 ■DPWM発生回路の新アーキテクチャの提案
 ■システムチップ設計アルゴリズムの提案
 ■時間分解能: 10ps, 13bit
 ■チップ数: 37個 (従来 1023個)
 ■ゲート遅延量: 160ps(上段), 730ps(中段), 290ps(下段) (従来10ps)
 ■消費電力: 従来の1/25

チャージポンプ電源回路

携帯機器電源回路への要求
 ・小型化、低ノイズ、多種類電圧出力
 ・高効率化、大電流出力可能

2種類電源回路の比較

	スイッチングレギュレータ	チャージポンプ
効率	高い	低い
出力電流	大きい	小さい
ノイズ	大きい	小さい
オンチップ化	Lが必要で 悪い	Lの必要で 悪い

これらの欠点を改善

Dicksonチャージポンプ回路
 V_{out} = 5(V_{DD} - V_{th})
 MOSのスイッチング遅延

Dicksonチャージポンプの問題点
 ■V_{th}による電圧降下
 ■V_{th}: 基板効果の影響
 ■チャージポンプの動作可能条件: V_{DD} > V_{th}
 ■低電圧電圧下の動作が制限
 ■MOSスイッチのオン抵抗、高い
 ■出力電流が小さくなる
 チャージポンプ電源回路の効率が低減
 高出力電圧を得るため
 多くの段数が必要
 効率低下、チップ面積が増大

ブートストラップ電荷転送スイッチを用いた高効率チャージポンプ電源回路の提案

ブートストラップ電荷転送スイッチ

$$V_S = V_D - V_{th}$$

$$V_S \approx V_D$$

スイッチがONのとき:
 ●電圧降下がない 高効率
 ●オン抵抗が小さい 大電流の提供
 ●動作条件: V_{DD} > V_{th} 低入力電圧動作

MOSによるブートストラップ電荷転送スイッチの実現
 内部ノード電圧はV_{DD}より高いので、回路設計工夫が必要
 S1, S2はPMOS, S3, S4, S5はNMOSで実現する

提案チャージポンプ電源回路の試作と測定結果
 ブートストラップ電荷転送スイッチを用いた4段チャージポンプ電源回路
 1.2um CMOSプロセスを用いて試作、
 同じ入力電圧条件下で、
 従来式回路に比べ、
 提案回路の出力電圧は高く、
 昇圧効率が大きく(向上)したことを確認。

試作したチップ写真
 出力電圧の測定結果