

TVチューナ用ADPLLの検討

Study of ADPLL for TV Tuner

田辺 朋之 林 海軍 内藤 智洋²⁾ 高橋 伸夫²⁾ 壇 徹²⁾
 Tomoyuki Tanabe Haijun Lin Tomohiro Naitou Nobuo Takahashi Toru Dan
 馬場 清一²⁾ 北村 真一²⁾ 小林 春夫 傘 昊 高井 伸和

Seichi Banba Shinichi Kitamura Haruo Kobayashi Hao San Nobukazu Takai
 群馬大学大学院 工学研究科 電気電子工学専攻 Department of Electronic Engineering, Gunma University
²⁾ 三洋半導体(株) SANYO Semiconductor Co. Ltd.

1. はじめに

無線通信システムのマルチバンド化技術の実現が期待されている中、ADPLL (All Digital Phase Locked Loop) [1] を次世代 RF 回路のキーコンポーネントとして着目している。今回 ADPLL の TV チューナへの実用化を狙いとして、広帯域動作を可能とする ADPLL の構成法を検討し、システムレベルシミュレーションで動作確認したので報告する。

2. ADPLL システム及び動作の概要

ADPLL (図 1) はシステムの大半がデジタル回路により構成される。位相比較には加算回路と遅延差をデジタル値へ変換する TDC (Time-to-Digital Converter) 回路を用いる。このため、従来のアナログ PLL に必要とされていた、チャージポンプ回路やアナログ LPF 回路が削減され、よりチップ面積で構成することができる。また、デジタル値で発振周波数の制御を行う DCO (Digital Controlled Oscillator) 回路を用いたデジタルリッチな ADPLL の構成は、プロセスポータビリティ、スケラビリティ、低電圧動作を可能とする。出力信号位相雑音に及ぼす雑音源も限定できる。

チューニング時はシステムのループゲインをデジタルで段階的に切り替えることで収束時間を短縮し、出力周波数微調整及び収束時には MASH 構成を有するフラクショナル方式を用いることで高精度な収束特性を得た。

3. 広帯域動作化技術

TV チューナのチャンネルに割り当てられる周波数の規格を満たすには、90MHz~800MHz(VHF~UHF)の広帯域周波数に応じた PLL 動作が要求される。ADPLL システムの広帯域動作化における 1 つの問題点として DCO 回路の動作帯域が挙げられる。DCO 回路単体での発振周波数帯域は限られたものであり、また DCO 回路の動作帯域により ADPLL システムの動作帯域は大きく制限されてしまう。

そこで今回の構成では、異なる発振周波数帯域を持つ複数の DCO 回路を切り替えて用いることで、より広帯域での ADPLL システムの動作を可能とした。さらに、ADPLL システムにより得られる出力信号を可変分周することで TV チューナの規格をカバーする周波数帯域での動作 (図 2) を可能とした。

また、逡倍発振させた DCO 回路の出力信号を分周することで DCO 回路の位相雑音特性を向上させ、分周後の信号を ADPLL のシステム内に用いることでシステムの安定化 (比較的長時間分解能の TDC 回路を用いた構成) を可能としている。

4. 位相雑音特性

位相雑音特性は PLL 回路の重要な評価性能の 1 つである。ADPLL システム内部で生じる雑音は TDC 量子化雑音・DCO 量子化雑音・DCO アナログ雑音に限定できる。各雑音にはシステムの伝達関数がかかり ADPLL 出力雑音 (位相雑音、図 3) となる。このため、各発生雑音を考慮したシステムの伝達関数・ループ帯域の設定を行った。

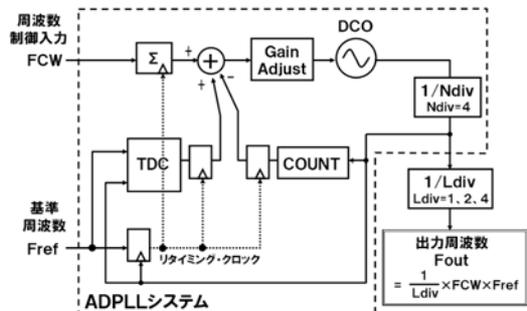


図 1 ADPLL 全体ブロック図

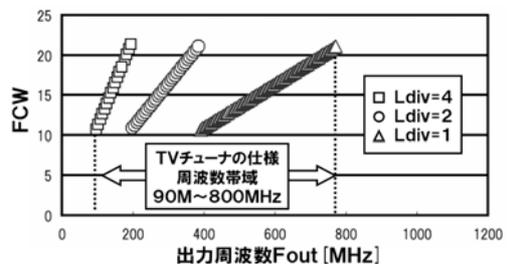


図 2 FCW・分周比 Ldiv に対する PLL 出力周波数特性

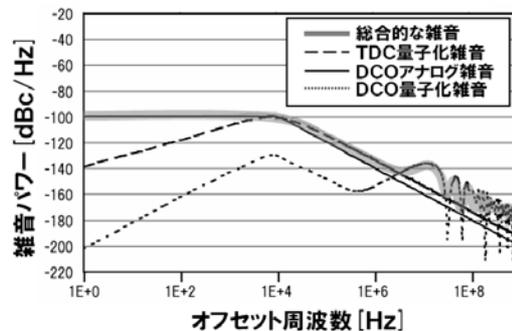


図 3 ADPLL 出力信号の位相雑音特性

参考文献 [1] R. B. Staszewski, P. T. Balsara, *All-Digital Frequency Synthesizer a Deep-Submicron CMOS*, Wiley-Interscience. (2006).