

# マルチビット・ローパス $\Delta\Sigma$ AD 変調器 2次 DWA アルゴリズムの提案

萩原 広之\*    傘 昊    小林 春夫

群馬大学工学部電気電子工学科 〒 376-8515 群馬県桐生市天神町 1-5-1  
tel:0277-30-1788 fax:0277-30-1707 e-mail:k.haruo@el.gunma-u.ac.jp

## A Second-order DWA Algorithm for Multi-bit Lowpass $\Delta\Sigma$ AD Modulators

Hiroyuki HAGIWARA,    Hao SAN,    Haruo KOBAYASHI

Electronic Engineering Department, Faculty of Engineering, Gunma University  
1-5-1 Tenjin-cho Kiryu Gunma Japan 376-8515

**Abstract** - This paper investigates a second-order data-weighted averaging (DWA) algorithm for multi-bit lowpass  $\Delta\Sigma$ AD modulators. Oversampling and noise-shaping are used to achieve high accuracy of a  $\Delta\Sigma$ AD modulator. However when a multi-bit internal DAC is used inside a modulator, nonlinearities of the DAC are not noise-shaped and the SNR of the  $\Delta\Sigma$ ADC degrades. To overcome this problem, several algorithms to noise-shape the DAC nonlinearities have been proposed; many of them perform the first-order noise-shaping but in this paper we investigate a second-order noise-shaping algorithm. Our Matlab simulation shows the effectiveness of the algorithm, and also we show its switched capacitor circuit implementation method. We plan to extend the second-order DWA algorithm for multi-bit complex bandpass  $\Delta\Sigma$  modulators.

**キーワード** : マルチビット、 $\Delta\Sigma$ AD 変調器、DAC 非線形性、2次 DWA アルゴリズム、ノイズシェーブ

**Keywords**: Multi-bit,  $\Delta\Sigma$ AD Modulators, DAC Nonlinearity, Second-order Data-Weighted Averaging Algorithm, Noise-Shaping

### I. はじめに

通信システムでの信号処理手法はアナログ式からデジタル式に急速にかわりつつある。そのシステム中の ADC 回路のアナログフロントエンドへのシフトが実現できれば、従来アナログで実現されていた複雑な機能をデジタル信号処理手法で実現し、システム全体の集積度と性能を上げることが可能となる。この実現のためには ADC 回路に対して優れた線形性、大きなダイナミック・レンジ、広信号帯域とイメージ信号除去能力が要求される。 $\Delta\Sigma$ AD 変換器は高速化・広帯域化が急速に進みこの要求を満たすものとして、従来の音響、計測応用だけでなく通信システムへの応用が広がりつつある。 $\Delta\Sigma$ AD 変調器はオーバーサンプリングとノイズ・シェーブ手法で高精度を実現する。更なる高性能を追求するためにマルチビット  $\Delta\Sigma$ AD 変調器を用いると、低い OSR で高分解能が得られ安定性の問題も軽減される [1]。しかし、優れた線形性を持つ 1 ビット DAC とは対照的に、マルチビット  $\Delta\Sigma$ AD

変調器の内部 DAC の非線形性は変調器内でノイズ・シェーブされず、ADC 全体の精度を劣化させてしまうという問題が生じる。

ローパス  $\Delta\Sigma$ AD 変調器の構成を図 1 に示す。その入出力関係式は次のように表せる。

$$Y(z) = \frac{H(z)}{1+H(z)} [X(z) - \delta(z)] + \frac{1}{1+H(z)} E(z).$$

これから、内部 ADC の量子化ノイズ  $E(z)$  はノイズ・シェーブされるが、DAC の非線形誤差  $\delta(z)$  はノイズ・シェーブされずそのまま出力されるので、高精度  $\Delta\Sigma$ ADC の実現を困難にしてしまうことがわかる。そこで  $\Delta\Sigma$ AD 変調器内部マルチビット DAC の非線形性をノイズ・シェーブするため、内部 DAC 前段にデジタル信号処理回路を設けてダイナミック・エレメント・マッチングを行う DWA アルゴリズムが提案されてきている [2]-[7]。ここではローパス  $\Delta\Sigma$ AD 変調器用に DAC の非線形性を 2 次ノイズ・シェーブする比較的回路実現が容易なアルゴリズムを検討し、 $\Delta\Sigma$ ADC

性能改善の効果を Matlab によるシミュレーションで確認した。またそのスイッチド・キャパシタ回路実現を検討した。先に著者らは [5, 6, 7] で I と Q の出力を持つ複素バンドパス  $\Delta\Sigma$ AD 変調器用 1 次 DWA アルゴリズムを提案したが、ここでの検討結果をもとに複素バンドパス 2 次 DWA アルゴリズムを開発していく。

## II. セグメント型スイッチド・キャパシタ DAC と容量のミスマッチ

図 2(a) で示すような 9 レベル分解能を持つセグメント型スイッチド・キャパシタ (SC) DAC を考える。DAC は 8 個の単位容量、フィードバック容量  $C_{ref}$  とオペアンプによって構成される。 $k$  番目の単位容量を  $C_k$  ( $k=0, 1, 2, \dots, 7$ ) とすると、理想的には全ての単位容量  $C_k$  は等しいが、実際には IC チップ製造上においてプロセスのバラツキにより容量値が異なり、その容量値は  $C_k := C + e_k$  ( $k = 0, 1, 2, \dots, 7$ ) となる。

ここで  $C := (C_0 + C_1 + C_2 + \dots + C_7)/8$ ,

$$e_0 + e_1 + e_2 + \dots + e_7 = 0$$

であり、また  $e_k$  は容量値  $C_k$  のミスマッチ (平均容量  $C$  からのずれ) である。図 2(b) に示すようにデジタル入力が  $m$  の時、容量  $C_0, C_1, C_2, \dots, C_{m-1}$  が基準電圧  $V_{ref}$  に接続され、 $C_m, C_{m+1}, \dots, C_7$  がグランドに接続される。図 2(c) で DAC の出力電圧は

$$V_{out} = -m \frac{C}{C_{ref}} V_{ref} + \delta$$

となり、DAC の非線形性  $\delta$  は下式で与えられる。

$$\delta := -\frac{e_0 + e_1 + e_2 + \dots + e_{m-1}}{C_{ref}} V_{ref}.$$

ミスマッチ  $e_0, e_1, \dots, e_7$  (また等価的に DAC 非線形性  $\delta$ ) による ADC 出力パワー・スペクトルは信号帯域内で平坦に表れる。

## III. 1 次 DWA アルゴリズム

この節で 1 次ローパス DWA アルゴリズムを説明する。図 3 に示す回路は、非線形性  $\delta(z)$  を持つ DAC の前段にデジタル・ローパス・フィルタ ( $1/(1-z^{-1})$ )、後段にアナログ・ハイパス・フィルタ ( $1-z^{-1}$ ) を付けたものである。デジタル入力  $A_1$ 、DAC 非線形性  $\delta$ 、アナログ出力  $A_4$  の関係は

$$A_4(z) = A_1(z) + (1-z^{-1})\delta(z)$$

となり、 $\delta(z)$  は  $1-z^{-1}$  により一次ノイズ・シェーブされる。しかし実際にこの回路を実現することはできない。例えば  $A_1(n)$  が常に正数 2 である場合、 $n$  の増加に伴い DAC の入力  $A_2(n)$  は無限大になり、DAC の入力レンジを超えてしまい、DA 変換が不可能となる。そこで図 3 の回路を等価的に実現できる 1 次 DWA アルゴリズムが提案された [2]。セグメント型 DAC に対して以下のことを考える。

- セグメント SC 型 DAC の各容量セルを図 4 で示すようにリング状に配列する。

- DAC 回路に ON になる容量セルの位置を記憶するポインタを設ける。時刻  $n$  のポインタを  $P(n)$  とし、時刻  $n+1$  では入力データに対して、 $P(n)$  番目からの容量セルを選択し、ON にする。

この構成で次のような動作を行う。

- 時刻  $n$  において、入力データが  $A_1(n) = \alpha_n$  とする。 ( $n = 0, 1, 2, 3, \dots$ )

- $\alpha_n$  個の容量セル  $\text{mod}_8(P(n)+1), \text{mod}_8(P(n)+2), \text{mod}_8(P(n)+3), \dots, \text{mod}_8(P(n)+\alpha_n)$  を ON にする (図 2(b) で  $V_{ref}$  に接続する)。

- 時刻  $n+1$  の Pointer を  $P(n+1) = \text{mod}_8(P(n)+\alpha_n)$  に設定する。

このように ON になる容量セルを選択することで容量セルのミスマッチ (すなわち DAC 非線形性) が 1 次ノイズ・シェーブされる。

## IV. 2 次 DWA アルゴリズム

4.1 DAC 非線形性 2 次ノイズシェーブ法の基本構成  
1 次 DWA アルゴリズムを拡張し 2 次 DWA を実現する方法を考察する。図 5 に示すように DAC の前段にデジタル積分フィルタ、後段にアナログ微分フィルタをそれぞれ 2 個ずつ設ける。X を入力デジタル信号、Y を出力アナログ信号、 $\delta$  を DAC の非線形性とする。次の関係が得られる。

$$Y(z) = X(z) + (1-z^{-1})^2 \cdot \delta(z).$$

これにより  $\delta(z)$  が 2 次ノイズシェーブされることがわかる。前述と同様に DAC 入力レンジの制限で図 5 の構成も直接的には実現できない。1 次 DWA の場合と同様に各容量セルを図 4 で示すようにリング状に配列して等価的にこの構成を実現することを考える。

### 4.2 2 次 DWA アルゴリズム

この節で導出した 2 次 DWA アルゴリズムを説明する。セグメント型 DAC の各容量セルは-1, 0, 1, 2 の多値をとることが特徴である。

#### A. ポインタの設定

時刻  $n$  における DAC 入力データを  $D(n)$  とすると、次のような関係をもつ。プラス側ポインタ  $P_{o+}(n)$ 、マイナス側ポインタ  $P_{o-}(n)$ 、プラス側信号スタート  $S_+(n)$ 、マイナス側信号スタート  $S_-(n)$ 、プラス側個数  $A_+(n)$ 、マイナス側個数  $A_-(n)$  を定義する。

プラス側：

$$\begin{aligned} P_{o+}(n) &= \text{mod}_8 \left[ D(n-1) + \sum_{k=0}^{n-2} P_{o+}(k) \right] \\ S_{o+}(n) &= \text{mod}_8 \left[ P_{o+}(n) + 1 \right] \\ A_{o+}(n) &= D(n) + \text{mod}_8(A_+(n-1)). \end{aligned}$$

マイナス側：

$$\begin{aligned} P_{o-}(n) &= P_{o+}(n-1) \\ S_-(n) &= \text{mod}_8 \left[ P_{o+}(n-1) + 1 \right] \\ A_{o-}(n) &= \text{mod}_8(A_+(n-1)). \end{aligned}$$

#### B. 各セルへの「Positive」, 「Negative」の割り当て

- $S_{o+}(n)$ ,  $\text{mod}_8(S_{o+}(n)+1)$ ,  $\text{mod}_8(S_{o+}(n)+2)$ , ...,  $\text{mod}_8(S_{o+}(n)+A_{o+}-1)$  番目のセルに「Positive: +」を割り当てる。

- $S_{o-}(n)$ ,  $\text{mod}_8(S_{o-}(n)+1)$ ,  $\text{mod}_8(S_{o-}(n)+2)$ , ...,  $\text{mod}_8(S_{o-}(n)+A_{o-}-1)$  番目のセルに「Negative: -」を割り当てる。

$m$  番目のセルは+が  $k+2$  回割り当てられてるとすると、そのセルは - が  $k$  回,  $k+1$  回,  $k+2$  回または  $k+3$  回割り当てられる。

#### C. 各容量セルの-1, 0, 1, 2 の値の決定

$m$  番目の容量セルが-1, 0, 1, 2 のどの値をとるかは以下の条件で決める。( $m = 0, 1, 2, \dots, 7$ ).

(i) 容量セルの値が“+1”の条件：

上記規則に従い、「+が  $K+2$  回、-が  $k+1$  回」割り当てられたとき、または「+が 2 回、-が 1 回」割り当てられたとき。

(ii) 容量セルの値が“2”の条件：

「+が  $k+2$  回、-が  $k$  回」割り当てられたとき。

(iii) 容量セルの値が“0”の条件：

「+が  $k+2$  回、-が  $k+2$  回」割り当てられたとき。

(iv) 容量セルの値が“-1”の条件：

「+が  $k+2$  回、-が  $k+3$  回」割り当てられたとき。

#### D. アルゴリズムを用いたときの DAC 出力

入力  $D(n) = 3$  のとき、図 2 の通常のセグメント型 DAC では出力は常に

$$\begin{aligned} V_{out} &= -\frac{C_0 + C_1 + C_2}{C_{ref}} V_{ref} \\ &= -\frac{3C}{C_{ref}} V_{ref} - \frac{e_0 + e_1 + e_2}{C_{ref}} V_{ref} \end{aligned}$$

となる。2 次 DWA アルゴリズムを用いたとき、例えば 1 番目のセルの値が-1 で、2, 3, 4, 5 番目のセルの値が+1 で、その他のセルの値が 0 の場合が生じ得て、そのときは出力は

$$\begin{aligned} V_{out} &= -\frac{-C_1 + C_2 + C_3 + C_4 + C_5}{C_{ref}} V_{ref} \\ &= -\frac{3C}{C_{ref}} V_{ref} - \frac{-e_1 + e_2 + e_3 + e_4 + e_5}{C_{ref}} V_{ref} \end{aligned}$$

となる。また別のタイミングでは入力データが同じ 2 でも、3 番目のセルの値が 2 で、4 番目のセルの値が+1 で、その他のセルの値が 0 の場合が生じ得て、そのときは出力は下式となる。

$$\begin{aligned} V_{out} &= -\frac{2C_3 + C_4}{C_{ref}} V_{ref} \\ &= -\frac{3C}{C_{ref}} V_{ref} - \frac{2e_3 + e_4}{C_{ref}} V_{ref}. \end{aligned}$$

#### E. 2 次 DWA アルゴリズム動作例

図 6 に DAC 入力が 3, 4, 2, 5, 6, 1, ... と推移した場合、上記 2 次 DWA に従った容量セルの値を示す。動作の説明は以下ようになる。

- 最初の時刻でデジタル入力  $D(0)$  が 3 であるとすると、そのまま 3 は出力され、 $C_0, C_1, C_2$  の値は“+1”になる。

- 次に 4 が入力されると ( $D(1) = 4$ )、3 番目のセルからここまでの入力の積分値である  $3+4 = 7$  個が“+”になる。すなわち  $C_3, C_4, C_5, C_6, C_7, C_0, C_1$  が“+”を割り当てられる。

また、1 つ前で使われた入力信号である 3 により  $C_0, C_1, C_2$  が“-”を割り当てられる。

“+”と“-”の両方が 1 回ずつ割り当てられた  $C_0, C_1$  の値は“0”になり、“-”のみが 1 回割り

当てられた  $C_2$  の値は“-1”になり、“+”のみが1回割り当てられた  $C_3, C_4, C_5, C_6, C_7$  の値は“+1”になる。

- 次に2が入力されると ( $D(2) = 2$ )、2番目のセルからここまでの入力の積分値である  $3+4+2 = 9$  個が“+”になる。すなわち、 $C_2, C_3, C_4, C_5, C_6, C_7, C_0, C_1, C_2$  は“+”を割り当てられる。

また、1つ前で使われた入力信号の積分値である7により  $C_3, C_4, C_5, C_6, C_7, C_0, C_1$  が“-”を割り当てられる。

$C_2$  は+が2回割り当てられるので値は“+2”になる。 $C_0, C_1$  は“+”1回と“-”1回が割り当てられるので値は“0”になる。

## V. シミュレーションによる検証

2次DWAアルゴリズムの有効性を検証するために3ビット2次ローパス  $\Delta\Sigma$  変調器を用いてMATLABシミュレーションを行った。図9は変調器出力パワースペクトラムの比較結果を示す。この結果から1次DWAを用いた場合に比べて2次DWAを用いた場合のほうが信号帯域内でのDAC非線形性ノイズの影響が低下してSNDR劣化が抑えられていることがわかる。

また図10は得られたSNDRを示している。例えば、OSRが $2^8$ のときに、SNDRはDACの非線形性のない理想状態(図中で“Ideal”)では116.6dB、DACの非線形性があるがDWAアルゴリズムを用いていない場合(図中で“DAC Nonlinearity”)は24.7dB、同じDAC非線形性で1次DWAを用いた場合(図中で“1st order DWA”)は102.7dB、2次DWAを用いた場合(図中で“2nd order DWA”)は116.0dBという結果になり、2次DWAアルゴリズムの有効性が示された。

## VI. 2次DWAアルゴリズムの回路実現

前節で記述したアルゴリズムを実現するために、単位容量セルからの2倍の出力およびマイナスの出力が必要になる。これをSC回路で実現するために各々「マルチクロック動作(2クロック動作)」と「マイナス動作」を用いる。

マルチクロック動作：マルチクロック動作とは1クロックの間に2回電荷を貯めて送り出す動作で、出力として2倍の電荷を送り出すことができる。その構成と動作を図8に示す。

マイナス動作：一度電荷を溜め込んだ後にキャパシタの接続をプラスとマイナスを逆に接続することでマイナス出力を実現する。図9にその構成と動作を示す。

## VII. まとめと今後の課題

比較的回路実現が容易な2次DWAアルゴリズムを検討し、その有効性をシミュレーションで確認した。またそのSC回路実現法を示した。今後は複素バンドパス  $\Delta\Sigma$  変調器用にこの2次DWAアルゴリズムを拡張していく。

謝辞 本研究を支援していただいた(株)半導体理工学研究センター(STARC)に感謝いたします。

## 参考文献

- [1] S. R. Norsworthy, R. Schreier, G. C. Temes (editors), *Delta-Sigma Data Converters, - Theory, Design and Simulation*, IEEE Press, 1997.
- [2] R. Shreier, J. Steensgaard and G. C. Temes, “Speed vs. dynamic range trade-off in oversampling data converters,” in C. Toumazou, G. Moschytz, and B. Gilbert (editors), *Trade-Offs in Analog Circuit Design, The Designer’s Companion*, Kluwer Academic Publishers, pp.644 - 653 (2002).
- [3] Y. Greets, M. Steyaert and W. Sansen, *Design of Multi-bit Delta-Sigma A/D Converters*, Kluwer Academic Publishers (2002).
- [4] A. Yasuda, H. Tanimoto and T. Iida, “A third-order  $\Delta\Sigma$  modulator using second-order noise-shaping dynamic element matching,” *IEEE Journal of Solid-State Circuits*, vol.33, pp.1876 - 1886 (Dec. 1998).
- [5] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, H. Wada, “An element rotation algorithm for multi-bit DAC nonlinearities in complex bandpass delta-sigma AD modulators,” *IEEE 17th International Conference on VLSI Design*, Mumbai, India, pp.151-156 (Jan. 2004).
- [6] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, “A Noise-Shaping Algorithm of Multi-bit DAC Nonlinearities in Complex Bandpass  $\Delta\Sigma$ AD Modulators,” *IEICE Trans. on Fundamentals*, vol.E87-A, no.4, 792-800 (2004 April).
- [7] H. Wada, H. Kobayashi, H. San, “Mapping from a DWA Algorithm into Circuit for Multi-bit Complex Bandpass  $\Delta\Sigma$ AD Modulators,” *Papers of Technical Meeting on Electronic Circuits*, ECT-04-47, IEE Japan, Hakodate (June 2004).

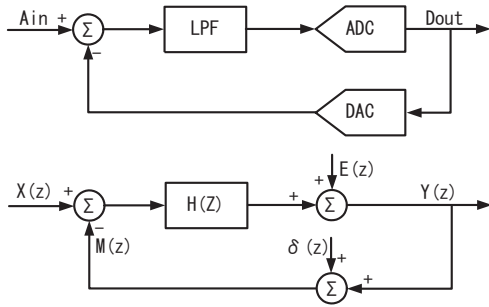


Fig 1: A Lowpass  $\Delta\Sigma$ AD modulator and its equivalent block diagram.  $X(z)$  ( $A_{in}$ ) is an analog input,  $Y(z)$  ( $D_{out}$ ) is a digital output and  $E(z)$  denotes quantization noise of an ADC, while  $\delta(z)$  indicates nonlinearity of a DAC.

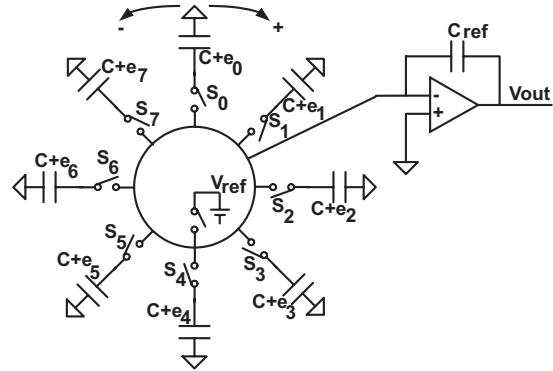


Fig 4: A switched capacitor DAC with 9-level resolution in a ring form. Here  $e_0, e_1, \dots, e_6$  and  $e_7$  denote capacitor mismatches.

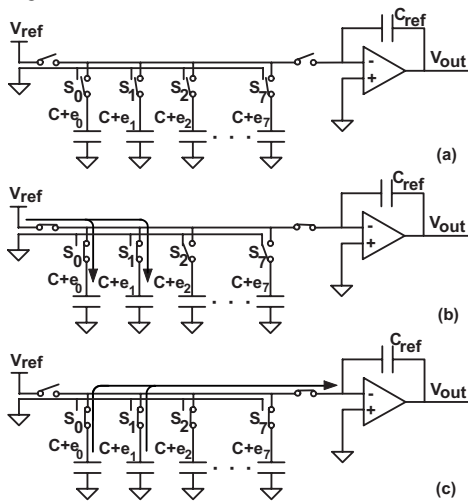


Fig 2: A segmented switched capacitor DAC with 9-level resolution, where  $e_0, e_1, \dots, e_6, e_7$  indicate capacitor mismatches. (a) Circuit topology. (b) Operation phase 1: some capacitors are charged to  $V_{ref}$ , where the number of the charged capacitors is equal to the DAC input value. (c) Operation phase 2: the stored charges are transferred to  $C_{ref}$ .

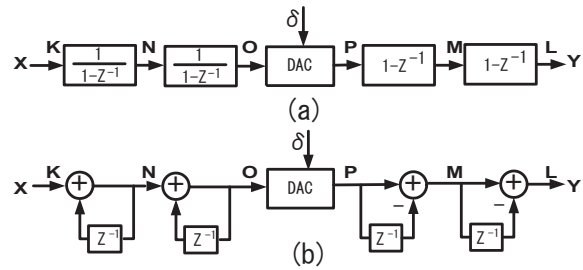


Fig 5: (a) A second-order DWA architecture. (b) Its equivalent block diagram.

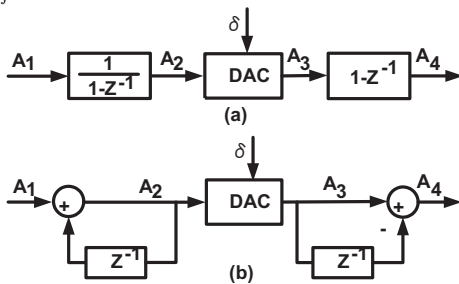


Fig 3: (a) A first-order lowpass DWA architecture. (b) Its equivalent block diagram.

	C0	C1	C2	C3	C4	C5	C6	C7
3	+	+	+					
4			-	+	+	+	+	+
2			++					
5	+		-	+	+	+	+	+
6		++	++	+	+			
1	+		-	-	-	+	+	+
2			+	+	+			
3		++	+					
3			-	-	+	+	+	+

Fig 6: Explanation of the second-order DWA algorithm when the input data are sequentially given by 3, 4, 2, 5, 6, 1, 2, 3, 3,... “+” cells correspond +1 operation, and “++” cells correspond +2 (multi-clock) operation while “-” cells correspond -1 (negative) operation.

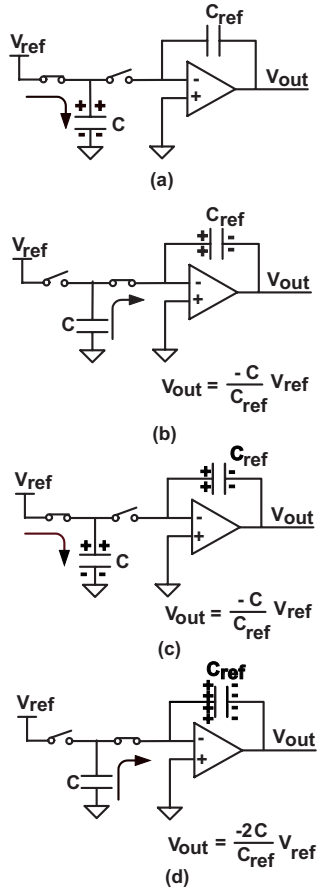


Fig 7: Explanation of +2 (multi-clock) operation. (a) First charge into a capacitor  $C$ . (b) Its first transfer to  $C_{ref}$ . (c) Second charge into a capacitor  $C$ . (d) Its second transfer to  $C_{ref}$ .  $V_{out}$  is two times of  $-(C/C_{ref})V_{ref}$ .

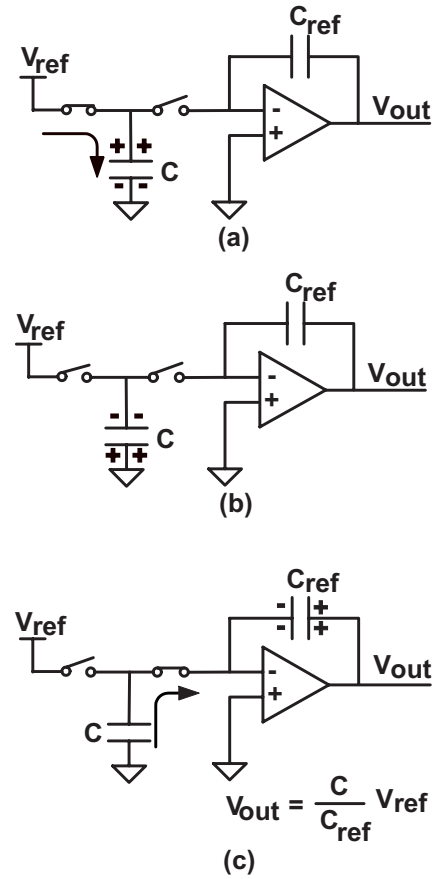


Fig 8: Explanation of “-1” (negative) operation. (a) A capacitor  $C$  is charged to  $V_{ref}$ . (b) The capacitor plates are inversely connected. (c) The charge is transferred to  $C_{ref}$  and  $V_{out}$  is  $-[(C/C_{ref})V_{ref}]$ .

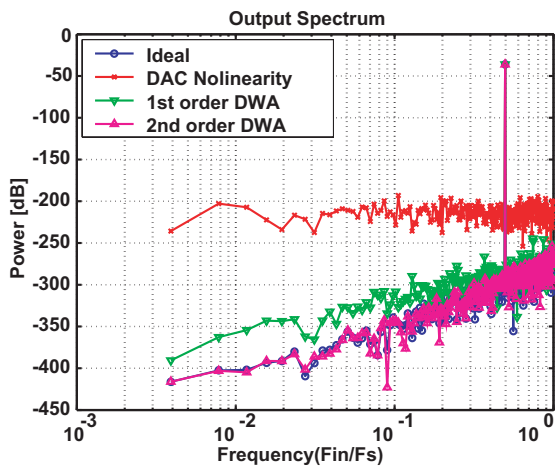


Fig.9: Simulated modulator output spectrum to show the effectiveness of the second-order DWA algorithm.

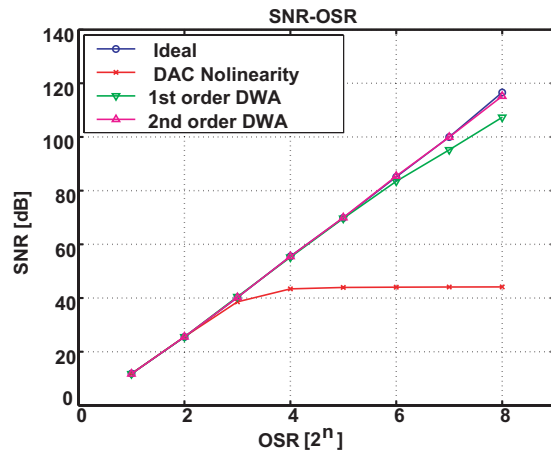


Fig.10: Modulator SNR obtained by MATLAB simulation.