

# マルチビット複素バンドパス $\Delta\Sigma$ AD 変調器 1次DWA アルゴリズムの実現回路の検討

和田 宏樹    小林 春夫    傘 昊

群馬大学工学部電気電子工学科 〒 376-8515 群馬県桐生市天神町 1-5-1  
tel:0277-30-1788 fax:0277-30-1707 e-mail:k.haruo@el.gunma-u.ac.jp

## Mapping from a DWA Algorithm into Circuit for Multi-bit Complex Bandpass $\Delta\Sigma$ AD Modulators

Hiroki WADA, Haruo KOBAYASHI, Hao SAN

Electronic Engineering Department, Faculty of Engineering, Gunma University  
1-5-1 Tenjin-cho Kiryu Gunma Japan 376-8515

**Abstract** - This paper presents circuit design to implement our proposed data-weighted averaging (DWA) algorithm to improve the SNR and resolution of multi-bit complex bandpass  $\Delta\Sigma$ ADCs for wireless communication systems such as cellular phone, wireless LAN and Bluetooth applications. Oversampling and noise-shaping are used to achieve high accuracy of a  $\Delta\Sigma$ AD modulator. However when a multi-bit internal DAC is used inside a modulator, nonlinearities of the DAC are not noise-shaped and the SNR of the  $\Delta\Sigma$ ADC degrades. For the conversion of complex intermediate frequency (IF) input signals, a complex bandpass  $\Delta\Sigma$ AD modulator can provide superior performance to a pair of real bandpass  $\Delta\Sigma$ AD modulators of the same order. Hence we have already proposed a new noise-shaping algorithm to reduce the effects of nonlinearities in multi-bit DACs of complex bandpass  $\Delta\Sigma$ AD modulators, and in this paper, we will describe its circuit design to implement a whole multi-bit complex bandpass  $\Delta\Sigma$ ADC.

**キーワード:** マルチビット, 複素バンドパス  $\Delta\Sigma$ AD 変調器, DAC 非線形性, DWA アルゴリズム回路実現, 低 IF 受信機

**Keywords:** Multi-bit, Complex Bandpass  $\Delta\Sigma$ AD Modulators, DAC Nonlinearity, Data-Weighted Averaging Algorithm Circuit Design, Low-IF Receiver

### I. はじめに

携帯電話や無線 LAN 等の通信システムの RF 受信回路においてバンドパス  $\Delta\Sigma$ ADC の適用が検討されている [1]-[2]。また、通信システムで用いられるアプリケーション (特に Low-IF 受信機) において、I、Q 経路のミスマッチによる生じるイメージ信号がシステムの特性を劣化させるため、変調器内部でイメージ信号を抑える複素バンドパス  $\Delta\Sigma$  変調器の適用も検討されている [1]-[2]。RF 受信回路においては ADC 回路のアンテナに近い方向へのシフトを実現すれば、従来アナログで実現されていた複雑な機能をデジタル信号処理手法で実現し、システム全体の集積度と性能を上げる事が可能となる。これを実現するためには ADC 回路に対して優れた線形性、ダイナミック・レンジ、信号帯域とイメージ信号除去能力が要求される。複素バ

ンドパス  $\Delta\Sigma$  変調器は内部でイメージ信号のレベルを抑える事ができるので、I、Q 信号経路間ミスマッチの影響を軽減できる。 $\Delta\Sigma$ AD 変調器はオーバーサンプリングとノイズ・シェーブ手法で高精度を実現する。更なる高精度を追求するために高次 1 ビット  $\Delta\Sigma$  変調器を用いる場合は、安定性が問題になり、またより高いフィルタ次数の変調器 (及びそれに伴う後段の高次デジタル・フィルタ) と高い OSR (Oversampling Ratio) が要求される [3]。OSR を高くするためにはサンプリング・レートを高くしなければならない。一方マルチビット  $\Delta\Sigma$ AD 変調器を用いる場合、低い OSR で高分解能が得られ、安定性の問題も軽減される [3]。しかし、優れた線形性を持つ 1 ビット DAC とは対照的に、マルチビット  $\Delta\Sigma$ AD 変調器の内部 DAC の非線形性は変調器内でノイズ・シェーブされず、ADC 全

体の精度を劣化させてしまうという問題が生じる。

図 1 の構成のバンドパス  $\Delta\Sigma$ AD 変調器の入出力関係式は次のようになる。

$$Y(z) = \frac{H(z)}{1+H(z)} \left[ X(z) + \frac{1}{H(z)} E(z) - \delta(z) \right].$$

上式から、内部 ADC の量子化ノイズ  $E(z)$  はノイズ・シェープされるが、DAC の非線形誤差  $\delta(z)$  はノイズ・シェープされずそのまま出力されるので、高精度  $\Delta\Sigma$ ADC の実現を困難にしてしまうことがわかる。そこで著者らは文献 [5, 6] に示すように I と Q 入出力を持つ複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビット DAC の非線形性を 1 次ノイズ・シェープできるアルゴリズムを提案し、性能改善の効果を Matlab によるシミュレーションで確認した。

この論文ではこの提案アルゴリズムを実現する回路方式を検討した。比較的小規模のデジタル回路とアナログマルチプレクサを付加する事でこのアルゴリズムが回路実現できることがわかる。

## II. 複素バンドパス $\Delta\Sigma$ AD 変調器用マルチビット DAC 非線形性ノイズ・シェープ・アルゴリズム

この節では先に著者らが [5, 6] で提案した複素バンドパス  $\Delta\Sigma$ AD 変調器用マルチビット DAC の非線形性をノイズ・シェープするアルゴリズムの概要を記す。

### 2.1 複素バンドパス $\Delta\Sigma$ AD 変調器

図 2 に複素バンドパス  $\Delta\Sigma$ AD 変調器と複素バンドパス・フィルタ及びそのゲイン特性の例を示す。複素変調器は二つの入出力を持つ複素バンドパス・フィルタ、2 つ ADC、2 つ DAC によって構成される。図 2(b) で示す複素積分器の伝達関数は

$$H(z) = \frac{1}{z - (d + jc)}$$

であり、 $c$  と  $d$  は複素積分器の極を表すデザイン・パラメータである [2]。図 2(c) で示す複素積分器のゲイン特性は  $\omega = 0$  の軸で対称ではなく、正規化角周波数  $\omega = \pi/2$  (サンプリング周波数の 1/4 に対応) でゲインは最大であり、イメージ信号 ( $\omega = -\pi/2$  に対応) が抑えられているのが特徴である。

### 2.2 マルチビット DAC 非線形性

この論文では  $\Delta\Sigma$ AD 変調器内部に用いるマルチビット DAC は分解能が 9 レベルのセグメント電流セル型 [4] として、入力信号は 0, 1, 2, ..., 7, 8 の場合を考え

る。9 レベル分解能を持つセグメント電流セル型 DAC は図 3(a) で示すように、8 個の単位電流セルと抵抗  $R$  によって構成される。 $k$  番目の電流セルに流れる電流を  $I_k (k = 0, 1, 2, \dots, 7)$  とすると理想状態においては、全ての電流  $I_k$  は等しいが、IC チップ製造上においてプロセスのバラツキにより電流値が異なり、その電流値は  $I_k := I + e_k (k = 0, 1, 2, \dots, 7)$  となる。

ここで  $I := (I_0 + I_1 + I_2 + \dots + I_7)/8$ ,

$$e_0 + e_1 + e_2 + \dots + e_7 = 0$$

であり、 $e_k$  は電流値  $I_k$  のミスマッチ (平均電流値  $I$  からのずれ) となる。デジタル入力  $m$  の時、電流セル 0, 1, 2, ...,  $m-1$  を ON にし、DAC の出力電圧は

$$V_{out} = mRI + \delta.$$

となり、DAC の非線形性  $\delta$  は下式で与えられる：

$$\delta := R(e_0 + e_1 + e_2 + \dots + e_{m-1}).$$

図 1 の構成では、変調器出力でのミスマッチ  $e_0, e_1, \dots, e_7$  (等価的に DAC 非線形性  $\delta$ ) によるパワー・スペクトルはノイズシェープされない。そこで ON にする電流セルの選択をダイナミカルに変えてミスマッチによる非線形性をノイズシェープすることを考える。

### 2.3 提案アルゴリズム [5, 6]

2.1 節で示したような複素バンドパス  $\Delta\Sigma$ AD 変調器内に 2.2 節で記述した DAC を用いた場合の DAC 非線形性ノイズシェープアルゴリズムを以下に述べる。

図 3(a) に示す 2 つセグメント型 DAC に対して、以下のように考える：

- (i) 各々の DAC の電流セルは図 3(b) で示すように、リング状に配列する。
- (ii) 各々の DAC の電流セル配列にポインタを設ける。時刻  $n$  において、次の時刻  $n+1$  に選択するセルの位置を記憶するため、DAC1 の Pointer を  $P_1(n)$ 、DAC2 の Pointer を  $P_2(n)$  とする。

この等価アルゴリズムの動作を以下に記述する：

[A] 時刻  $2n$  のとき：

- (i) I-ch の DAC の入力を  $I_1(2n) = i_{2n}$  とする。
  - DAC1 の電流セルで ON になるのは  $P_1(2n)$ ,  $\text{mod}_8(P_1(2n) + 1)$ , ...,  $\text{mod}_8(P_1(2n) + i_{2n} - 1)$  番目の各セルである。すなわち、 $P_1(2n)$  番目のセルから右回りで  $i_{2n}$  個のセルを ON に選択する。
  - この DAC1 の出力が  $I_4(2n)$  となる。
  - 次の時刻  $2n+1$  の DAC1 のポインタを  $P_1(2n+1) = \text{mod}_8(P_1(2n) + i_{2n} - 1)$  とする。

(ii) Q-ch の DAC の入力を  $Q_1(2n) = q_{2n}$  とする。

- DAC2 の電流セルで ON になるのは  $\text{mod}_8(P_2(2n) + 1), \text{mod}_8(P_2(2n) + 2), \dots, \text{mod}_8(P_2(2n) + q_{2n})$  番目の各セルである。すなわち、 $P_2(2n) + 1$  番目のセルから右回りで  $q_{2n}$  個のセルを ON に選択する。

- この DAC2 の出力が  $Q_4(2n)$  となる。

- 次の時刻  $2n + 1$  の DAC2 のポイントを

$P_2(2n + 1) = \text{mod}_8(P_2(2n) + q_{2n})$  とする。

[B] 時刻  $2n + 1$  のとき：

(i) I-ch の DAC の入力を  $I_1(2n + 1) = i_{2n+1}$  とする。

- DAC2 の電流セルで ON になるのは  $P_2(2n + 1), \text{mod}_8(P_2(2n+1)-1), \dots, \text{mod}_8(P_2(2n+1)-i_{2n+1}+1)$  番目の各セルである。すなわち、 $P_2(2n + 1)$  番目のセルから左回りで  $i_{2n+1}$  個のセルを ON に選択する。

- この DAC2 の出力が  $I_4(2n + 1)$  となる。

- 次の時刻  $2n + 2$  の DAC2 のポイントを  $P_2(2n + 2) = \text{mod}_8(P_2(2n + 1) - i_{2n+1} + 1)$  とする。

(ii) Q-ch の DAC の入力を  $Q_1(2n + 1) = q_{2n+1}$  とする。

- DAC1 の電流セルで ON になるのは  $\text{mod}_8(P_1(2n + 1) + 1), \text{mod}_8(P_1(2n + 1) + 2), \dots, \text{mod}_8(P_1(2n + 1) + q_{2n+1})$  番目の各セルである。すなわち、 $\text{mod}_8(P_1(2n + 1) + 1)$  番目のセルから右回りで  $q_{2n+1}$  個のセルを ON に選択する。

- この DAC1 の出力が  $Q_4(2n + 1)$  となる。

- 次の時刻  $2n + 2$  の DAC1 のポイントを  $P_1(2n + 2) = \text{mod}_8(P_1(2n + 1) + q_{2n+1})$  とする。

図 4 に提案するアルゴリズムを用いて、複素入力データが  $4+3j, 2+5j, 3+j, 6+2j\dots$  と推移する場合の ON になる電流セルを示す。

### III. 提案アルゴリズムの実現回路

この節では 2 節で記述した複素バンドパス  $\Delta\Sigma\text{AD}$  変調器用 1 次 DWA アルゴリズムを実現する回路構成を示す。なお、[7] に複素バンドパスではなくローパスの場合の DWA 実現回路例が記述されている。

#### 3.1 DWA アルゴリズム実現回路の全体構成

図 5 に提案アルゴリズムの実現回路を組み込んだ複素バンドパス  $\Delta\Sigma\text{AD}$  変調器の構成図を示す。DAC 入力部のデジタル・マルチプレクサ、DAC1、DAC2 のそれぞれの入力をデジタル信号処理する論理回路 (DWAlogic1, DWAlogic2)、2 チャンネル DAC (DAC1, DAC2)、DAC 出力部のアナログ・マルチプレクサか

ら構成される。内部の ADC、DAC は 3 ビット (9 レベル) の場合を想定している。ADC の出力信号が 8 本であるのは、ADC を 9 レベルのフラッシュ型を想定し、8 個のコンパレータ出力をサーモメータ・コードのまま出力しているものを使用するためである。同様に DAC の入力信号が 8 本であるのは、DAC を 9 レベルのセグメント型を想定しているためである。

デジタル・マルチプレクサ、アナログ・マルチプレクサは同期して動作し、1 サンプリグ・クロック毎にセレクト信号が反転して DAC1 と DAC2 の I 経路、Q 経路への割り当てが切り替わる。

#### 3.2 DWA logic1 回路の構成

図 6 に示すようにデジタル回路部の DWA logic1 回路はエンコーダ回路 (Thermometer-to-Binary Encoder)、演算回路 (Calculator)、バレルシフター (Barrel Shifter)、レジスタ回路 (FF) で構成される。8 本の入力信号 T1-7...T1-0 は ADC のサーモメータ・コード出力のデジタル・マルチプレクサ出力からの信号であり、8 本の出力信号 DAC1in7...DAC1in0 は 9 レベルセグメント型 DA 変換器の DAC1 へのデジタル入力信号である。

エンコーダ回路 (Thermometer-to-Binary Encoder): 入力信号 T7, T6, ..., T0 をバイナリ信号 D3,...,D0 に変換する。たとえば、入力 (T7, T6, T5, T4, T3, T2, T1, T0) = (0, 0, 0, 0, 0, 1, 1, 1) のとき、出力 (D3, D2, D1, D0) = (0, 0, 1, 1) であり、また入力 (T7, T6, T5, T4, T3, T2, T1, T0) = (0, 0, 1, 1, 1, 1, 1, 1) のとき、出力 (D3, D2, D1, D0) = (0, 1, 1, 0) である。

演算回路 (Calculator): 各 4 ビットの 3 入力の 2 進の加減算 ( $S + D - A$ ) を行う回路で、Carry Save Adder 等で効率的に実現できる。clk1 が A3, ..., A0 に入力されているが、clk1 はサンプリングクロック毎に 0 と 1 が反転するクロックである。(すなわち clk1 は周期がサンプリングクロックの 2 倍のクロックである。)

バレルシフター (Barrel Shifter): 8 ビットの回転 (rotation) 型の左シフト回路で、そのシフト量は入力 I2,I1,I0 で指定される。たとえば、入力データ (T7, T6, T5, T4, T3, T2, T1, T0) = (0, 0, 0, 0, 0, 0, 1, 1)、シフト量データ (I2, I1, I0)=(0, 1, 1) のとき、出力データ (O7, O6, O5, O4, O3, O2, O1, O0) = (0, 0, 0, 1, 1, 0, 0, 0) であり、また入力データ (T7, T6, T5, T4, T3, T2, T1, T0) = (0, 0, 0, 1, 1, 1, 1, 1)、シフ

ト量データ (I2, I1, I0) = (1, 0, 1) のとき、出力データ (O7, O6, O5, O4, O3, O2, O1, O0) = (1, 1, 1, 0, 0, 0, 1, 1) である。

### 3.3 DWA logic2 回路の構成

図7に示すようにDWA logic2回路も、エンコーダ回路 (Thermometer-to Binary Encoder)、演算回路 (Calculator)、バレルシフター (Barrel Shifter)、レジスタ回路 (FF) で構成する。ただしDWA logic1回路とはバレルシフターの入力I3 演算回路の入力A3-A0が異なる。8本の入力信号T2-7 ... T2-0はADCのサーモメータ・コード出力のデジタル・マルチプレクサ出力からのもう一方の信号であり、8本の出力信号DAC2in7 ... DAC2in0は9レベルセグメント型DA変換器のDAC2へのデジタル入力信号である。

**エンコーダ回路 (Thermometer-to-Binary Encoder):** DWA logic1回路のエンコーダ回路と同じものである。

**演算回路 (Calculator):** DWA logic1回路の演算回路と同じものである。ただし入力A3, A2, A1は常にゼロであり、A0はclk1に接続されている。(clk1はDWA logic1と同じもの。)

**バレルシフター (Barrel Shifter):** 8ビットの回転 (rotation) 型の左シフトおよび右シフト回路である。入力I3が1のときは左シフトを行い、I3が0のときは右シフトを行う。そのシフト量は入力I2, I1, I0で指定される。I3はclk1に接続されサンプリングクロック毎に左・右シフトが切り替わる。

### 3.4 DWA アルゴリズム実現回路の動作

複素入力データ (2ch ADC 出力) が  $4+3j, 2+5j, 3+j, 6+2j...$  と推移する場合のDWA logic1, DWA logic2回路の動作状態を図8, 9, 10, 11に示す。提案アルゴリズムから求めた、図4に示すDAC1, DAC2の電流セルがONになるものと一致していることがわかる。

### 3.5 DWA アルゴリズム実現回路の検証

提案した回路構成・動作を記述するプログラムをC言語で組み、ランダムなデータを入力してシミュレーションを行った。2節で記述したアルゴリズム (論理式) と3節での提案構成回路の出力のシミュレーションを100,000,000回試行し両者の出力データは一致することを確認した。

## IV. まとめと今後の課題

提案した複素バンドパス  $\Delta\Sigma$ AD変調器用1次DWAアルゴリズムを実現する回路の設計を行い、C言語シ

ミュレーションで動作検証を行った。現在これらを組み込んだ複素バンドパス  $\Delta\Sigma$ AD変調器全体の回路設計を行っており、実チップで提案アルゴリズムの有効性を検証していく予定である。

謝辞 本研究を支援していただいています (株) 半導体理工学研究センター (STARC) および有意義なご討論をいただきました関係者の皆様に感謝いたします。

## 参考文献

- [1] K. Philips "A 4.4mW 76dB complex  $\Sigma\Delta$  ADC for Bluetooth receivers," *ISSCC Digest of Technical Papers*, vol.46, pp.64-65 (Feb. 2003).
- [2] S. A. Jantzi, K. W. Martin, A. S. Sedra, "Quadrature bandpass  $\Sigma\Delta$  modulator for digital radio," *IEEE Journal of Solid-State Circuits*, vol.32, pp.1935-1949 (Dec. 1997).
- [3] S. R. Norsworthy, R. Schreier, G. C. Temes (editors), *Delta-Sigma Data Converters, - Theory, Design and Simulation*, IEEE Press (1997).
- [4] B. Razavi, *Principles of Data Converter Design*, IEEE Press (1995).
- [5] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, H. Wada, "An element rotation algorithm for multi-bit DAC nonlinearities in complex bandpass delta-sigma AD modulators", *IEEE 17th International Conference on VLSI Design*, Mumbai, India, pp.151-156 (Jan. 2004).
- [6] H. San, H. Kobayashi, S. Kawakami, N. Kuroiwa, "A noise-shaping algorithm of multi-bit DAC nonlinearities in complex bandpass  $\Delta\Sigma$ AD modulators," *IEICE Trans. on Fundamentals*, vol.E87-A, no.4, pp.792-800 (2004 April).
- [7] M. Miller, "Introduction to Sigma-Delta Data Converters," *IEEE 2003 Custom Integrated Circuits Conference, Educational Sessions*, San Jose (Sept. 2003).

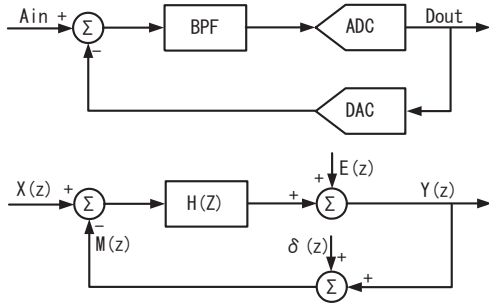


Fig.1: A bandpass  $\Delta\Sigma$ AD modulator and its equivalent block diagram.  $X(z)$  ( $A_{in}$ ) is an analog input,  $Y(z)$  ( $D_{out}$ ) is a digital output,  $E(z)$  is quantization noise of an ADC, and  $\delta(z)$  is nonlinearity of a DAC.

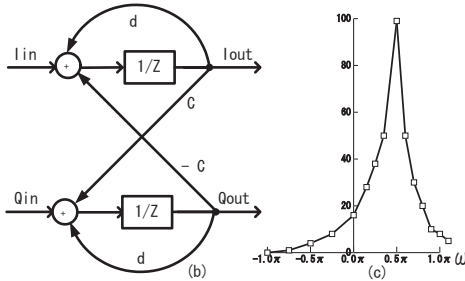
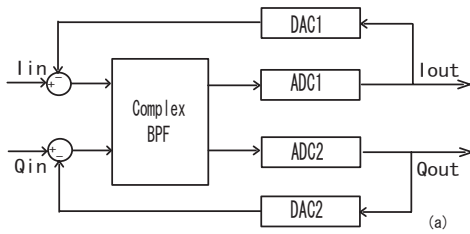


Fig.2: (a) Complex bandpass  $\Delta\Sigma$  AD modulator block diagram. (b) An example of a complex bandpass filter. (c) Gain characteristics of Fig.2 (b).

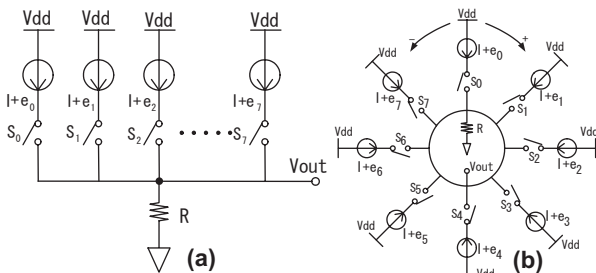


Fig.3: (a) A current-steering segmented DAC with 9-level resolution. (b) A current-steering segmented DAC with 9-level resolution in a ring form. Here  $e_0, e_1, \dots, e_6$  and  $e_7$  denote current source mismatches.

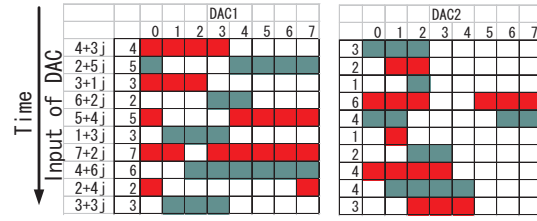


Fig.4: Explanation of the proposed algorithm. The unit-current-cells in ON state are filled in black for a real part (I-path) and in gray for an imaginary part (Q-path), when the complex input data are sequentially given by  $4+3j, 2+5j, 3+j, 6+2j, \dots$

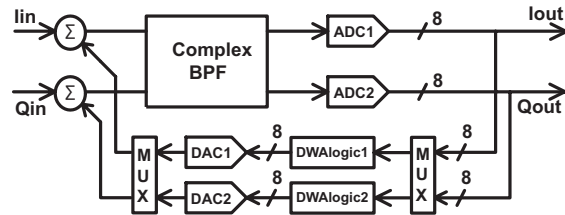


Fig.5: Complex bandpass  $\Delta\Sigma$ AD modulator with DWA logic and multiplexers.

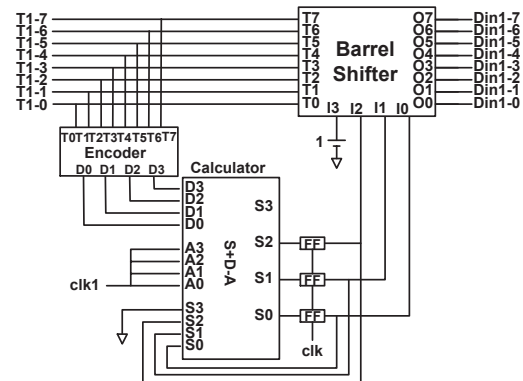


Fig.6: DWA logic1 circuit.

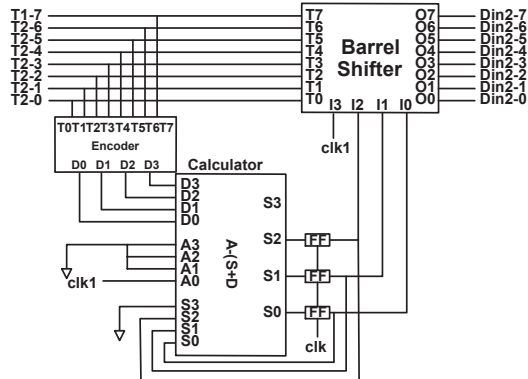


Fig.7: DWA logic2 circuit.

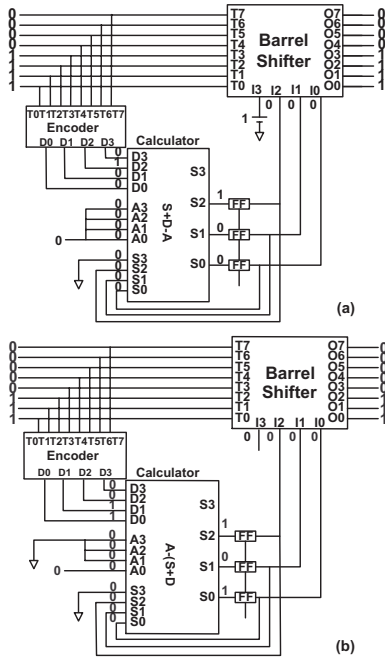


Fig.8: The operation state of logic circuits while output of 2ch ADCs are  $4+3j$  in complex mode. (a) In DWA logic1, current cell 0, 1, 2, 3 of DAC1 are ON. (b) In DWA logic2, current cell 0, 1, 2 of DAC2 are ON.

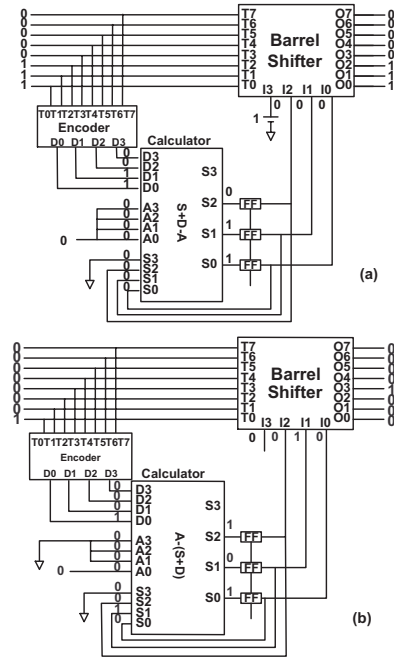


Fig.10: The operation state of logic circuits while output of 2ch ADCs are  $3+j$  in complex mode. (a) In DWA logic1, current cell 0, 1, 2 of DAC1 are ON. (b) In DWA logic2, current cell 2 of DAC2 is ON.

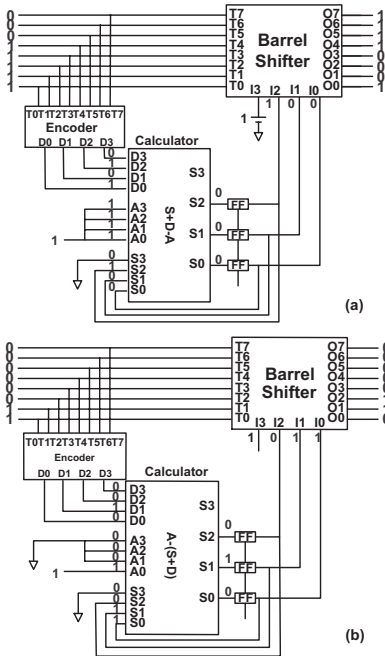


Fig.9: The operation state of logic circuits while output of 2ch ADCs are  $2+5j$  in complex mode. (a) In DWA logic1, current cell 4, 5, 6, 7, 0 of DAC1 are ON. (b) In DWA logic2, current cell 2, 1 of DAC2 are ON.

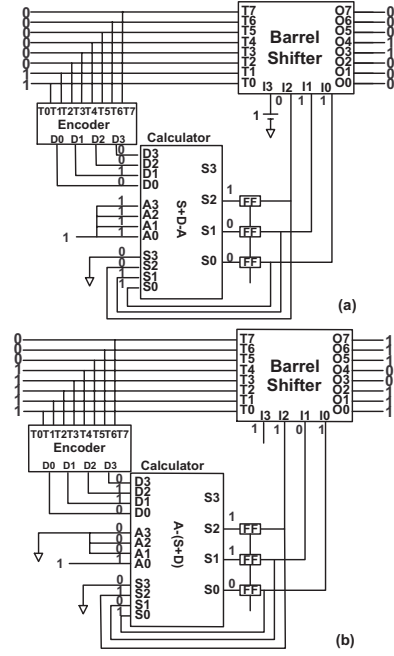


Fig.11: The operation state of logic circuits while output of 2ch ADCs are  $6+2j$  in complex mode. (a) In DWA logic1, current cell 3, 4 of DAC1 are ON. (b) In DWA logic2, current cell 2, 1, 0, 7, 6, 5 of DAC2 are ON.