

デジタル制御電源用高時間分解能 DPWM 回路

光野 正志[†] 木村 圭吾[†] 森 偉文樹[†] 山田 佳央[†]
 小林 春夫^{†a)} 小堀 康功[†] 清水 一也[†] 傘 昊[†]

High-Resolution DPWM Generator for Digitally Controlled DC-DC Converters

Masashi KONO[†], Keigo KIMURA[†], Ibuki MORI[†], Yoshihisa YAMADA[†],
 Haruo KOBAYASHI^{†a)}, Yasunori KOBORI[†], Kazuya SHIMIZU[†], and Hao SAN[†]

あらまし 本論文ではデジタル制御電源に用いるための、高時間分解能デジタル PWM 生成回路の新構成を提案する。ここで提案するデジタル PWM 構成ではその時間分解能が「二つ以上のパルファ遅延の差」であるので、その時間分解能が「パルファ遅延」で決まるデジタル PWM 構成より高時間分解能が実現できる。また回路量が削減され高速で動作する必要がなくなるので低消費電力化できる。更に拡張ユークリッド互除法をベースにしてそのシステムテックな設計アルゴリズムを開発し最適化設計を可能にした。提案手法による回路構成と動作原理，設計手法，課題を述べる。

キーワード デジタル制御，電源，PWM，時間軸アナログ回路，拡張ユークリッド互除法

1. ま え が き

近年の LSI の大規模化による大電流化，微細化・低電力化のための低電源電圧に伴う電源電圧の動作マージン減少，またこれらを用いたシステム製品の低消費電力化要求等のため，これらを動作させる電源回路への要求はますます厳しくなっている。この難しい要求を満たすための解の一つとして，デジタル制御回路をシステム LSI に取り込み，DC-DC コンバータ回路を最短距離で接続して一つのシステムとして高度に管理，監視した動作特性の細かい調整を可能とするデジタル制御電源が急速に関心を集めてきている [1] ~ [7]。

この論文ではデジタル電源の高性能化・低コスト化・低消費電力実現のためのデジタル PWM (Digital Pulse Width Modulation : DPWM) 生成回路の，直接的実現法に比べて高時間分解能を少量回路規模・低消費電力で実現する方式を提案する。

2. デジタル電源の構成と DPWM

デジタル制御電源の構成を図 1 に示す。電源スイッチング制御部を（アナログ制御方式ではなく）ADC，DSP とデジタル PWM のデジタル信号処理システムで実現している。その動作は出力電圧（または出力電流）を A-D 変換してフィードバックし，目標電圧値と比較してその差を打ち消すようにデジタル信号処理回路で制御アルゴリズムを実行し，PWM 信号を出力してスイッチをオンオフ制御する。アナログ電源ではコンパレータとのこぎり波（または三角波）を用

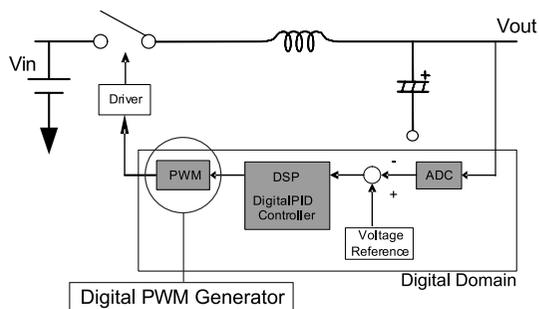


図 1 デジタル制御電源の構成

Fig. 1 Block diagram of digitally controlled DC-DC converter.

[†]群馬大学大学院工学研究科電気電子工学専攻，桐生市
 Dept. of Electronic Engineering, Graduate School of Engineering, Gunma University, 1-5-1 Tenjin-cho, Kiryu-shi, 376-8515 Japan

a) E-mail: k_haruo@el.gunma-u.ac.jp

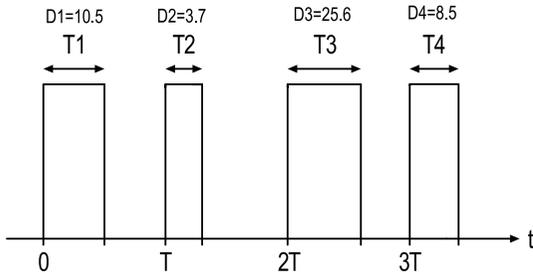


図 2 デジタル PWM 信号 . この発生回路のデジタル入力と出力 PWM 信号デューティー比は比例関係にある .

Fig.2 Digital PWM signal. Output PWM signal duty is proportional to the input digital data.

いてアナログ的に PWM を発生させていたが、デジタル電源ではデジタル的に PWM 信号を生成する .

デジタル PWM 信号発生器はデジタル入力 Din に比例したデューティー比の PWM 信号を発生する回路である (図 2). デジタル電源回路ではデジタル PWM の入出力データは単調性を満たしていれば線形性はさほど要求されないが、十分な制御性能を出すためにはシミュレーション等の結果により分解能は 12 ビット以上必要であることが分かっている .

3. 高時間分解能 DPWM 発生回路の設計

ここでは以下の仕様を実現するデジタル PWM 回路を設計することを例にとり、提案構成を説明していく .

目標仕様 :

1 周期 : 80 ns

(A-D 変換器は 12.5MS/S ($= 1/80\text{ ns}$) で動作)

分解能 : 13 bit

時間分解能 : 10 ps ($= 80\text{ ns}/2^{13}$)

使用可能なクロック : f_{clk} 100 MHz , f_s 12.5 MHz

なお、米 TI 社のデジタル制御 IC (UCD9K, 2005) は時間分解能 150 [ps] である .

DPWM 全体回路構成 : 設計するデジタル PWM 全体回路構成を図 3 に示す . 13 ビットのデジタル信号を入力とし、CLKout が PWM 出力信号である . タイミングの基準クロックとして $f_{clk} = 100\text{ [MHz]}$ を与え、Coarse DTC (粗い時間分解能の DTC) と Fine DTC (細かい時間分解能の DTC) で構成する . DTC とは Digital-to-Time Converter (デジタル-時間変換器) の略で、デジタル入力からそれに比例した時間出力信号を得る回路である . 13 ビットのデジタル

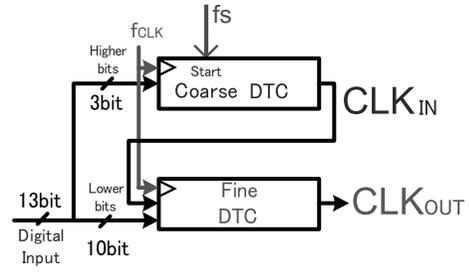


図 3 DPWM 回路の全体構成図

Fig.3 Block daigram of the whole DPWM circuit.

入力信号を上位 3 ビットと下位 10 ビットに分け、上位を Coarse DTC に下位を Fine DTC に入力する .

Coarse DTC は基準クロックで動作する 3 ビットのデジタル・カウンタで構成し、その出力 CLKin を Fine DTC に入力する . Fine DTC ではバッファ遅延やマルチプレクサ等によってアナログ及びデジタルの両方の回路を用いて 10 bit のタイミング信号を生成する .

Coarse DTC の仕様 : A-D 変換器のサンプリングクロック f_s ($= 12.5\text{ MHz}$) を入力基準タイミングとして時間分解能 10 ns の幅の単一パルス信号 CLKin を出力する .

1 周期 : 80 ns ($= 1/12.5\text{ MHz}$)

分解能 : 3 bit (デジタル 3 bit データで与える)

出力 CLKin の時間分解能 : 10 ns ($= 80\text{ ns}/2^3$)

外部からの基準クロック f_{clk} : 100 MHz

Fine DTC の仕様 : 入力信号を CLKin とし、その立下りタイミングから時間分解能 10 ps で立下りタイミングを遅延させた信号 CLKout を出力する .

1 周期 : 10 ns

分解能 : 10 bit (デジタル 10 bit データで与える)

出力 CLKout の時間分解能 : 10 ps ($= 10\text{ ns}/2^{10}$)

外部からの基準クロック f_{clk} : 100 MHz

Coarse DTC の構成と動作 : Coarse DTC を図 4 に示すように構成する . 外部クロック $f_s = 12.5\text{ MHz}$ ごとにリセットされ $f_{clk} = 100\text{ MHz}$ で動作するデジタルカウンタと、その出力と上位 3 ビットの値を比較するデジタル比較器及びリタイミング用のフリップフロップ (FF) からなる . デジタルカウンタ出力値と 3 ビットデジタル入力一致したとき CLKin が High から Low になる . すなわちここでの時間分解能は $1/f_{clk} = 10\text{ ns}$ である .

Fine DTC の直接的実現構成と問題点 : Fine DTC を

遅延線を用いて直接的に実現しようとするすると図 5 に示す構成になる [8], [9]. Coarse DTC からの出力 CLKin を入力とし, バッファ遅延線を通して遅らせた信号を作り出す. マルチプレクサで下位 10 ビットのデジタル入力に対応した遅延信号を選択して CLKout として出力する.

ここでの時間分解能はバッファ遅延 τ である. すなわち, この Fine DTC (図 5) では最小時間分解能がバッファ遅延 τ で決められてしまい, それは半導体のプロセス性能に依存する. この構成で高時間分解能を得るためにはバッファ遅延を微小にしていける必要がある. また例えば分解能 10 ビットを実現させるためには $2^{10} - 1 = 1023$ 個のバッファが必要となり回路規模が大きくなる. 更に使用テクノロジーを決めれば消費電力 \times バッファ遅延量 = 一定であるので, このように回路規模が大きく, バッファ一つ当りの遅延量が小さい構成では相乗効果で Fine DTC の消費電力は非常に大きくなる.

ここでは一つのバッファ遅延 τ よりも小さな時間分

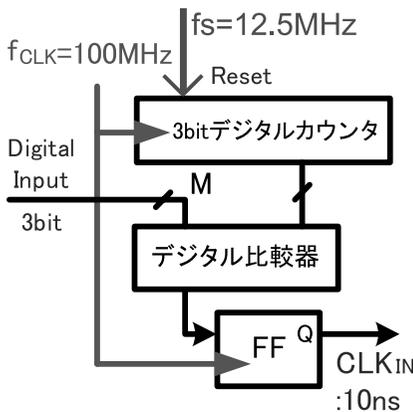


図 4 Coarse DTC の構成
Fig. 4 Coarse DTC configuration.

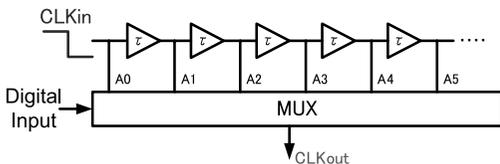


図 5 遅延線を用いた Fine DTC 部の直接的構成. デジタル Din が “2” のとき, 出力 CLKout に A2 が選択される.

Fig. 5 Conventional fine DTC circuit. When digital input D_{in} is 2, then A2 is selected as the output signal CLK_{out} .

解能を達成でき, かつバッファ数を大幅に削減できる Fine DTC の構成を提案する. これにより消費電力と回路規模を大幅に削減できる.

4. Fine DTC 新アーキテクチャの提案

直接的構成とその問題を受けて Fine DTC の新規アーキテクチャ提案を行う. 時間分解能が(「バッファ遅延 (τ)」ではなく)「二つのバッファ遅延の差 ($\tau_1 - \tau_2$)」である, より高時間分解能 PWM 回路が実現できる構成について記述する.

提案 Fine DTC の構成: 提案する Fine DTC の構成を図 6 に示す. これはバッファ遅延線を二つ用いているところに特徴がある. それぞれバッファ遅延線 1, 2 のバッファ遅延値 τ_1, τ_2 及びその関係を基準クロック (f_{clk}) と二つの DLL (Delay Locked Loop) によって遅延量をプロセス変動・温度変動・電源電圧変動に依存せず自動制御・調整する. 下位のデジタル入力に応じて二つのマルチプレクサで経路を選択し「二つのバッファ遅延差」の時間分解能を実現する. 選択アルゴリズムはデコーダ回路部に与える. バッファ回路は例えばバイアス制御インバータ回路を 2 段連続接続させて実現できる (図 7).

図 8 に示すように DLL 内のバッファ遅延線もこのバッファからなる回路を用いる. DLL が所定の周波数 f_{clk} にロックしたとき, K 段のバイアス制御バッファ回路の出力信号は入力信号に比べてちょうど 1 周期 ($1/f_{clk}$) だけ遅れているので, そのバッファ遅延 τ は次のようになる.

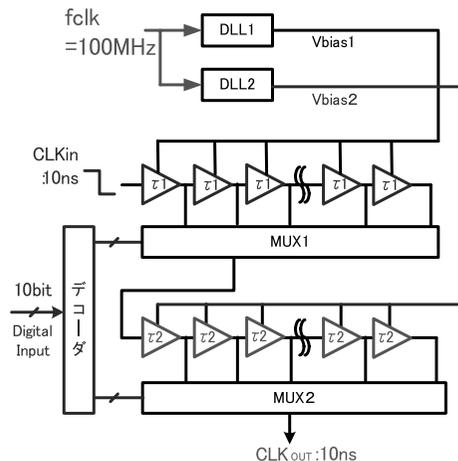


図 6 提案する 2 段構成 Fine DTC の構成
Fig. 6 Proposed two-delay-line fine DTC circuit.

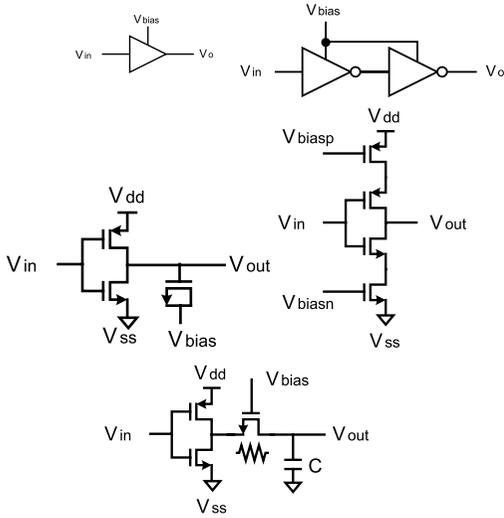


図 7 バイアス制御バッファ回路. V_{bias} によりバッファ遅延を制御する (上) シンボル (中, 下) 2 段接続バイアス制御インバータ回路による実現例.
Fig. 7 Bias controlled buffer circuits.

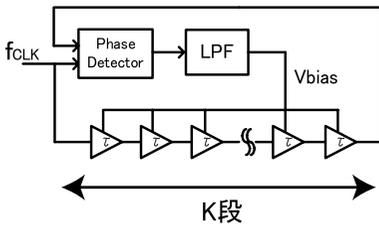


図 8 バッファ遅延 τ を自動調整する DLL 回路構成
Fig. 8 Delay-locked loop (DLL) circuit to adjust the buffer delay τ .

$$\tau = \frac{1}{K \cdot f_{clk}} \quad (1)$$

このときのバイアス電圧 V_{bias} (図 8) をバッファ遅延線 1 または 2 (図 6) に供給すればそれを構成するバッファ遅延も式 (1) の値にすることができる.

また, マルチプレクサは内部の各バス間で遅延差をゼロとするように等長配線レイアウト設計をする必要がある.

提案 Fine DTC の動作: 提案する Fine DTC の動作は, バッファ遅延線 1 でバッファ遅延 τ_1 , バッファ遅延線 2 では τ_2 のバッファを使用する. その関係が $\tau_1 > \tau_2$ となるように DLL 回路で設定し, 時間分解能 $\Delta\tau (= \tau_1 - \tau_2)$ を実現する二つの遅延線からの信号のマルチプレクサでの選択方法を図 9 に, そのときの経路と各遅延量を図 10 に, タイミングチャートを

図 11 に示す (a), (b), (c), (d) はそれぞれの選択経路を示す). 図 9 で $3\tau_1 = 4\tau_2$ となるように τ_1, τ_2 を DLL で制御・設定する. $\Delta\tau = \tau_1 - \tau_2$ と定義すると動作は次のようになる.

- 図 9(a) では上段の MUX で A0 を選択して下段の MUX で B3 を選択する. したがって CLKout は CLKin の (MUX の遅延分に加えて, 以下同様) $3\tau_2$ だけ遅延した信号になる.

- 図 9(b) では上段の MUX で A1 を選択して下段の MUX で B2 を選択する. したがって CLKout は CLKin の $\tau_1 + 2\tau_2$ だけ遅延した信号になる. このときの CLKout は図 9(a) の CLKout より $\tau_1 - \tau_2 (= \Delta\tau)$ 遅延した信号となる.

- 図 9(c) では上段の MUX で A2 を選択して下段の MUX で B1 を選択する. したがって CLKout は CLKin の $2\tau_1 + \tau_2$ だけ遅延した信号になる. このときの CLKout は図 9(a) の CLKout より $2(\tau_1 - \tau_2) (= 2\Delta\tau)$ 遅延した信号となる.

- 図 9(d) では上段の MUX で A3 を選択して下段の MUX で B0 を選択する. したがって CLKout は CLKin の $3\tau_1$ だけ遅延した信号になる. このときの CLKout は図 9(a) の CLKout より $3(\tau_1 - \tau_2) (= 3\Delta\tau)$ 遅延した信号となる.

- 次に上段の MUX で A1 を選択して下段の MUX で B3 を選択すると, CLKout は CLKin の $\tau_1 + 3\tau_2$ だけ遅延した信号になる. このときの CLKout は図 9(a) の CLKout より $\tau_1 (= 4\Delta\tau)$ だけ遅延した信号となる.

- 更に上段の MUX で A2 を選択して下段の MUX で B2 を選択すると, CLKout は CLKin の $2\tau_1 + 2\tau_2$ だけ遅延した信号になる. このときの CLK out は図 9(a) の CLKout より $2\tau_1 - \tau_2 (= 5\Delta\tau)$ だけ遅延した信号となる.

このようにして, 図 9(a) の CLKout の立下りタイミングを基準としたとき, この基準タイミングより各々 $\Delta\tau, 2\Delta\tau, 3\Delta\tau, 4\Delta\tau, 5\Delta\tau, \dots$ だけ遅延させた信号 CLKout を生成することができる. 図 10, 図 11 にその説明図を示す.

一般に, 基準タイミングは (図 9(a) のように) 上段の MUX では最左端入力を, 下段の MUX では最右端入力を選択するときの CLKout を選ぶ. 図 10 より, バッファ遅延線 2 のバッファ数を N 個 (図 9 の場合は $N = 3$) とすると, τ_1 と τ_2 の関係は次のように決まる.

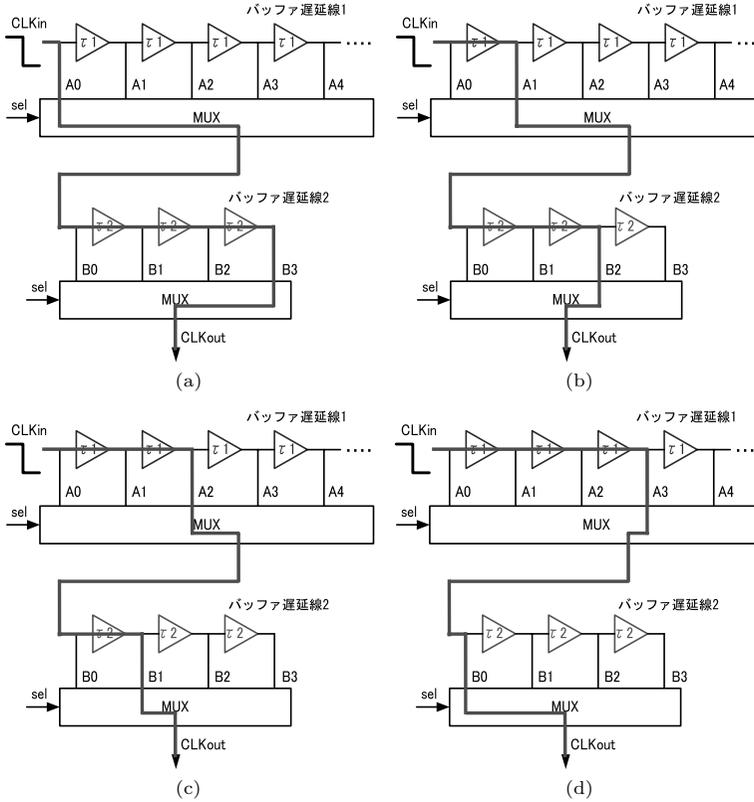


図 9 提案する 2 段構成 Fine DTC 部の動作 (a) A0, B3 を選択: 基準経路 (b) A1, B2 を選択: 基準経路から, 上段は τ_1 だけ遅延増加, 下段は, $-\tau_2$ だけ遅延減少 (c) A2, B1 を選択: 基準経路から, 上段は $2\tau_1$ だけ遅延増加, 下段は, $-2\tau_2$ だけ遅延減少 (d) A3, B0 を選択: 基準経路から, 上段は $3\tau_1$ だけ遅延増加, 下段は, $-3\tau_2$ だけ遅延減少

Fig. 9 Operation of the proposed two-delay-line fine DTC.

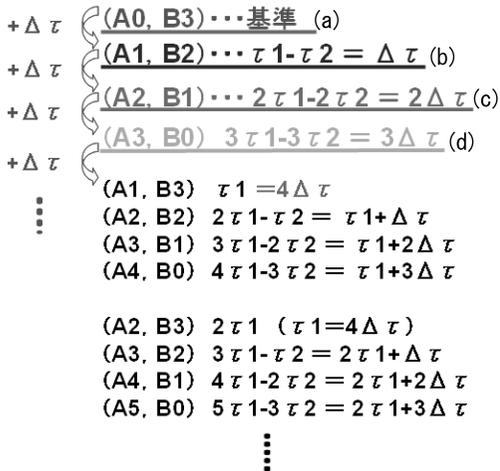


図 10 提案する 2 段構成 Fine DTC 部の経路と各遅延量 (a) A0, B3 を選択 (b) A1, B2 を選択 (c) A2, B1 を選択 (d) A3, B0 を選択

Fig. 10 Algorithm of the proposed two-delay-line fine DTC.

$$\tau_1 = (N + 1)\Delta\tau, \quad \Delta\tau = \tau_1 - \tau_2$$

$$\tau_2 = \frac{N}{N + 1}\tau_1. \quad (2)$$

この τ_1 と τ_2 の関係は DLL (図 8) によって固定し, それぞれのパツファ回路 (図 7) のように, バイアス電圧 (または電流) により制御する.

なおパツファ遅延 τ_1 をつくるための DLL1 内のパツファの個数を K_1 , パツファ遅延 τ_2 をつくるための DLL2 内のパツファの個数を K_2 とすると式 (1), (2) から次の関係が得られる.

$$\frac{K_1}{K_2} = \frac{N}{N + 1}. \quad (3)$$

設計結果は図 6 で初段目パツファ遅延線遅延 $\tau_1 = 320$ ps (パツファ個数 62 個), 2 段目パツファ遅延線遅延 $\tau_2 = 310$ ps (パツファ個数 31 個) となった.

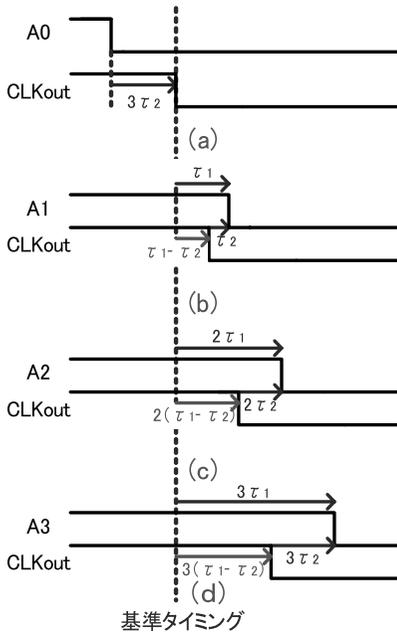


図 11 提案する 2 段構成 Fine DTC 部のタイミングチャート (a) A0, B3 を選択 (b) A1, B2 を選択 (c) A2, B1 を選択 (d) A3, B0 を選択

Fig. 11 Timing chart of the proposed two-delay-line fine DTC.

5. 拡張ユークリッド互除法アルゴリズムを用いた提案 Fine DTC の設計

前章の高時間分解能 DPWM 回路の提案 Fine DTC 部の設計を拡張ユークリッド互除法アルゴリズムを用いて一般化して、システマチックな設計アルゴリズムを開発した。これにより 2 段バッファ遅延構成は更に最適化され回路規模と消費電力が小さくできる可能性がある。また、3 段以上の多段バッファ構成の設計も可能になる。

[拡張ユークリッド互除法の DPWM 回路設計への適用]

x, y を自然数とし、 $l = \text{GCD}(x, y)$ とする。このとき

$$ax + by = l \tag{4}$$

となる整数 a, b が存在する。例えば $\text{GCD}(13, 5)$ の計算では

$$2 \times 13 - 5 \times 5 = 1 \tag{5}$$

が得られる。これを求める手法を拡張ユークリッド互

除法という [10], [11]。ここで $l = \text{GCD}(x, y)$ は x と y の最大公約数を表す。

これを利用し 2 段バッファ構成の提案 Fine DTC でのバッファ遅延 τ_1 と τ_2 という二つの変数を用いて、必要な総遅延量の計算をアルゴリズム (数式) で求める。

[拡張ユークリッド互除法を用いた 2 段バッファ遅延線構成 Fine DTC 設計アルゴリズム]

l : Fine DTC 入力デジタル入力 (正規化された遅延量) (例 : 10 bit のときは $l = 0, 1, 2, 3, \dots, 1023$)

τ : 時間分解能 (例 : $\tau = 10 \text{ ps}$)

x : 正規化された上段バッファ遅延, 自然数 ($x = \tau_1/\tau$)

y : 正規化された下段バッファ遅延, 自然数 ($y = \tau_2/\tau$)

a, b : 整数。

自然数の組 (x, y) を与える。各 l に対して式 (4) を満たす解 $(a(l), b(l))$ の組 (一般に複数個) を求め、その中で $|a(l)| + |b(l)|$ を最小とするものを $(a(l)_s, b(l)_s)$ とする。

上段のバッファ数 N_1 は次のようになる。

$$N_1 = \max_{l, a(l)_s \leq 0} |a(l)_s| + \max_{l, a(l)_s > 0} |a(l)_s|.$$

下段のバッファ数 N_2 は次のようになる。

$$N_2 = \max_{l, b(l)_s \leq 0} |b(l)_s| + \max_{l, b(l)_s > 0} |b(l)_s|.$$

バッファ数最小に基準で設計する場合は $N_1 + N_2$ を最小にする (x, y) とそれに対応する $(a(l)_s, b(l)_s)$ を求める。

タイミングの基準 ($l = 0$ に対応) を上段バッファ遅延線では左から $\max_{l, a(l)_s \leq 0} |a(l)_s|$ 番目のバッファ出力を選択し、下段バッファ遅延線では $\max_{l, b(l)_s \leq 0} |b(l)_s|$ を選択したときの出力 CLKout とする。

Fine DTC 入力が l のとき対応する $(a(l)_s, b(l)_s)$ に対して上段バッファ遅延の選択は次のようになる。

- $a(l)_s \leq 0$ のとき : 基準から左に $|a(l)_s|$ 番目のバッファ入力を選択。
- $a(l)_s > 0$ のとき : 基準から右に $a(l)_s$ 番目のバッファ出力を選択。

下段バッファ遅延の選択は次のようになる。

- $b(l)_s \leq 0$ のとき : 基準から左に $|b(l)_s|$ 番目のバッファ入力を選択。
- $b(l)_s > 0$ のとき : 基準から右に $b(l)_s$ 番目のバッファ出力を選択。

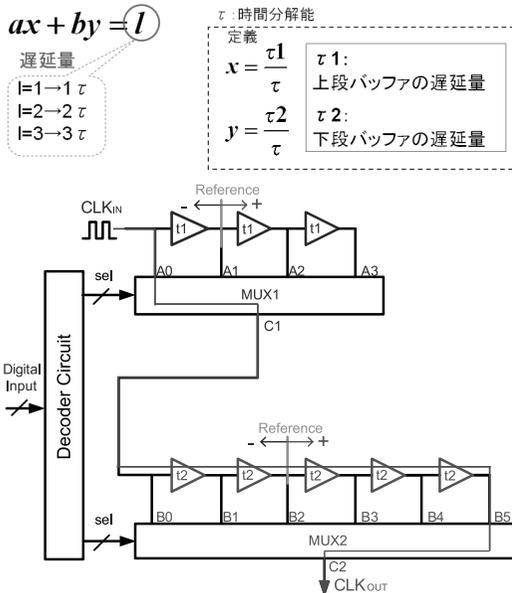


図 12 Fine DTC 設計への拡張ユークリッド互除法の適用原理. 下図で矢印は遅延量 $l\tau = -\tau_1 + 3\tau_2 = -5\tau + 3 \cdot 4\tau = 7\tau$ のとき.

Fig. 12 Application of the extended Euclidean algorithm to fine DTC design.

表 1 DPWM 出力信号遅延量とバッファ遅延線でのバッファ選択シフト量の関係(遅延量 $l\tau = a\tau_1 + b\tau_2$, で $\tau_1 = 5\tau, \tau_2 = 4\tau$ のとき. a, b で + はバッファ遅延線回路上で右シフト, - は左シフトを示す.)

Table 1 Relationship between DPWM output delay amount and buffer selection.

| l | a 上段シフト量 | b 下段シフト量 | 遅延量 |
|-----|------------|------------|---------|
| 0 | (基準) 0 | (基準) 0 | 0 |
| 1 | 1 | -1 | τ |
| 2 | 2 | -2 | 2τ |
| 3 | -1 | 2 | 3τ |
| 4 | 0 | 1 | 4τ |
| 5 | 1 | 0 | 5τ |
| 6 | 2 | -1 | 6τ |
| 7 | -1 | 3 | 7τ |

具体例として図 12, 表 1 に

$$\tau_1 = 5\tau, \quad \tau_2 = 4\tau, \quad 5a + 4b = l$$

の場合を示す.

3 段バッファ遅延線構成のときは式 (4) を拡張して次の式を考えればよい.

$$ax + by + cz = l.$$

2 段バッファ構成 Fine DTC の設計: 提案 Fine DTC を回路規模を小さくし(すなわちバッファ総数を小さくし), また低消費電力化のためバッファ遅延 τ_1, τ_2

PWM 分解能=10ビット, $\tau_1/\tau=3\sim 67, \tau_2/\tau=5\sim 121$ の時のバッファ数

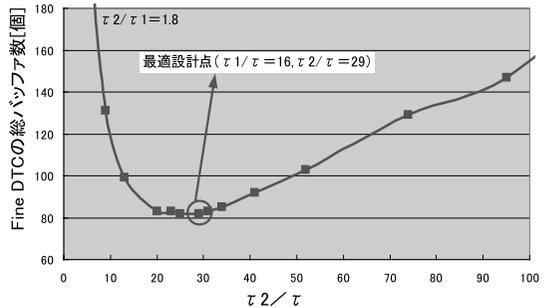


図 13 時間分解能 τ , 10 bit Fine DTC の最適設計例; 1 段目と 2 段目のバッファの遅延量の比 (τ_1/τ_2) を 1.8 にしたとき, $\tau_1/\tau = 3\sim 67, \tau_2/\tau = 5\sim 121$ に変化させたときの総バッファ数. この場合, バッファ数を最小とする遅延量の比の最適点は $\tau_1/\tau = 16, \tau_2/\tau = 29$.

Fig. 13 Number of buffers required to realize 10-bit fine DTC.

をできるだけ大きくするという条件で拡張ユークリッド互除法アルゴリズムにより Fine DTC を設計した(バッファ遅延が大きければバイアス電流は小さくてすむので低消費電力化につながる). Fine DTC は 10 ビット分解能の仕様であるので式 (4) で $l = 0\sim 1023$ となる. これらを考慮に入れ, 拡張ユークリッド互除法を 2 段バッファ構成 Fine DTC へ適用し, 分解能 10 bit で上記アルゴリズムを用いてバッファ構成を設計した.

$\tau_1/\tau_2 = 1.8$ の場合の計算結果を図 13 に示す.

提案 Fine DTC の設計結果:

(i) 2 段バッファ構成 Fine DTC の設計結果

図 13 に示すように PWM 分解能 10 ビットの最適設計点は $\tau_1/\tau = 16, \tau_2/\tau = 29$, 総バッファ数は 82 個と導出できた. ここで, 時間分解能を $\tau = 10$ ps とすると, 1 段目のバッファの遅延量は 160 ps, 2 段目のバッファの遅延量は 290 ps となる. 10 bit 分解能の場合, 式 (4) より $l = 0\sim 1023$ であるから, この範囲における a, b を拡張ユークリッド互除法を用いて導出した. 導出した a, b の整数解を表 2 に示す. 導出された a の整数解から上段の基準点から右へのシフト量と左へのシフト量, b の整数解から下段の基準点から右へのシフト量と左へのシフト量がそれぞれ求まる. このシフト量の絶対値の和がそれぞれのバッファ数となる. また式 (4) における $l = 0$ のときを基準として設計した. 2 段バッファ構成 Fine DTC の設計結果を

表 2 2 段バッファ構成 Fine DTC の設計結果 (遅延量 $\tau = 10\text{ ps}$ で $\tau_1/\tau = 16$, $\tau_2/\tau = 29$, $l = 0 \sim 1023$ のとき, a , b で + はバッファ遅延線回路上で右シフト, - は左シフトを示す.)

Table 2 Design of a two-delay-line fine DTC.

| l | a 上段シフト量 (基準) 0 | b 下段シフト量 (基準) 0 | 遅延量 |
|-------|----------------------|----------------------|------------|
| 0 | (基準) 0 | (基準) 0 | 0 |
| 1 | -9 | 5 | τ |
| 2 | 11 | -6 | 2τ |
| 3 | 2 | -1 | 3τ |
| 4 | -7 | 4 | 4τ |
| ⋮ | ⋮ | ⋮ | ⋮ |
| 1023 | 15 | 27 | 1023τ |
| バッファ数 | 38 個 | 44 個 | |

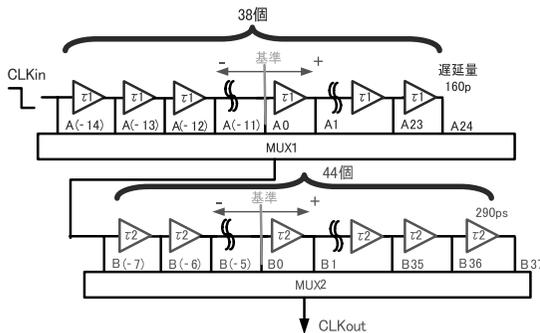


図 14 拡張ユークリッド互除法設計アルゴリズムを用いた提案 2 段バッファ構成 Fine DTC の回路図
Fig. 14 Two-delay-line fine DTC which is designed using the extended Euclidean algorithm.

図 14 に示す. この動作は次のようになる.

- 図 14, 表 2 において, 上段の MUX で A0 を選択して下段の MUX で B0 を選択したときの CLKout を基準タイミングとする.
- 上段の MUX で A(-9) を選択して下段の MUX で B5 を選択したとき, CLKout は $160\text{ ps} \times (-9) + 290\text{ ps} \times 5 = 10\text{ ps}$ となり, 基準とした CLKout より τ だけ遅延した信号になる.
- 上段の MUX で A11 を選択して下段の MUX で B(-6) を選択したとき, CLKout は $160\text{ ps} \times 11 + 290\text{ ps} \times (-6) = 20\text{ ps}$ となり, 基準とした CLKout より 2τ だけ遅延した信号になる.
- 上段の MUX で A2 を選択して下段の MUX で B(-1) を選択したとき, CLKout は $160\text{ ps} \times 2 + 290\text{ ps} \times (-1) = 30\text{ ps}$ となり, 基準とした CLKout より 3τ だけ遅延した信号になる.
- 同様にして, 上段の MUX で A15 を選択して下段の MUX で B27 を選択したとき, CLKout は $160\text{ ps} \times 15 + 290\text{ ps} \times 27 = 10,230\text{ ps}$ となり, 基準と

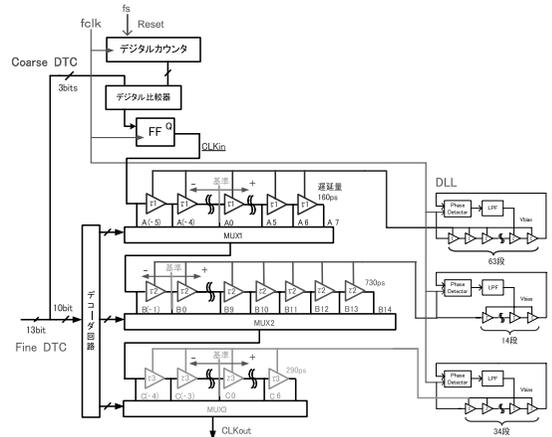


図 15 3 段バッファ遅延線を用いた提案 DPWM 発生回路
Fig. 15 Proposed DPWM generator with three-delay-line fine DTC.

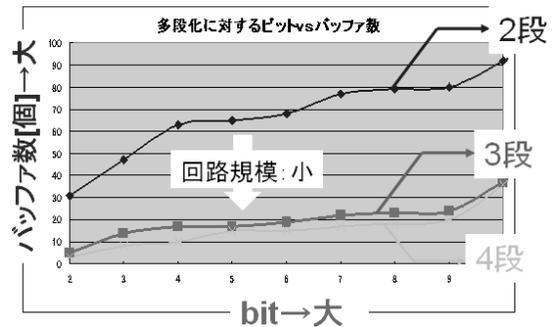


図 16 多段バッファ構成の効果
Fig. 16 Effect of multi-delay-line composition.

した CLK out より 1023τ だけ遅延した信号になる. 以上のように 10 ps の分解能で遅延させた信号を生成することができる.

(ii) 3 段バッファ遅延線を用いた Fine DTC

更に 3 段バッファ遅延線を用いて Fine DTC を構成することを検討した. その全体 DPWM 回路を図 15 に示す. 2 段, 3 段, 4 段バッファ遅延線構成を比較した結果, 2 段構成から 3 段構成にすることで, バッファ回路規模をより小さくすることができる. 図 16 に PWM 分解能を 2 bit から 10 bit まで変化させたときの 2 段, 3 段, 4 段バッファ構成のバッファ総数の変化を示す. 各段数とも bit 数が増えるとバッファ総数は増加する. また 3 段構成より段数を増段すると, バッファ回路規模はほぼ変わらないのに対し, 遅延を調整する DLL (Delay Locked Loop) 回路等の周辺回路がその段数に応じて必要になってしまう.

したがって回路規模・消費電力化の観点から 2 段または 3 段構成が最も効率が良いという結果になる (3 段構成にすると 2 段構成に比べて DLL が一つ増える。2 段と 3 段構成の総合的評価は DLL の回路・消費電力増加分とバッファ回路の減少分になるが、これらは DLL, バッファの回路設計にも依存する)。

また、多段構成にすると経路選択アルゴリズムが複雑になるが、提案アルゴリズムを用いることで最適な構成がプログラミング結果から求めることができる。

Fine DTC 部の設計結果の比較: DLL を内部に位相比較器, LPF 及び「バッファ遅延線」と同じ遅延回路が構成されるとして回路規模の比較を行うと次のようになる。

(i) 1 段バッファ遅延線 Fine DTC (図 6):
 バッファ総数 2048 個, MUX 入力総数 1024 本。
 遅延線バッファ個数 1024 個 (遅延 $\tau = 10$ ps)。
 1024 入力 MUX 回路。DLL 一つ (DLL 内バッファ個数 1024 個, 位相比較回路, LPF)。

(ii) 提案 2 段バッファ遅延線 Fine DTC (図 6), 図 9, 図 10, 図 11 のアルゴリズムで設計:
 バッファ総数 158 個, MUX 入力総数 93 本。
 初段目遅延線バッファ個数 62 個 ($\tau_1 = 320$ ps)。
 2 段目遅延線バッファ個数 31 個 ($\tau_2 = 310$ ps)。
 62 入力 MUX, 31 入力 MUX。DLL 二つ (DLL 内バッファ個数 65 個, 二つの位相比較器, 二つの LPF)。

(iii) 提案 2 段バッファ遅延線 Fine DTC (図 14), 拡張ユークリッド互除法アルゴリズムで最適設計:
 バッファ総数 179 個, MUX 入力総数 82 本。
 初段目遅延線バッファ個数 38 個 ($\tau_1 = 160$ ps)。
 2 段目遅延線バッファ個数 44 個 ($\tau_2 = 290$ ps)。
 38 入力 MUX, 44 入力 MUX。DLL 二つ (DLL 内バッファ個数 97 個, 二つの位相比較器, 二つの LPF)。

(iv) 提案 3 段バッファ遅延線 Fine DTC (図 15), 拡張ユークリッド互除法アルゴリズムで最適設計:
 バッファ総数 148 個, MUX 入力総数 37 本。
 初段目遅延線バッファ数 12 個 ($\tau_1 = 160$ ps)。
 2 段目遅延線バッファ数 15 個 ($\tau_2 = 730$ ps)。
 3 段目遅延線バッファ数 10 個 ($\tau_3 = 290$ ps)。
 12 入力 MUX, 15 入力 MUX, 10 入力 MUX。DLL 三つ (DLL 内バッファ個数 111 個, 三つの位相比較器, 三つの LPF)。

マルチプレクサ (MUX) を MOS スイッチを 2 進トリー状に配置して実現するとその MOS スイッチ数は入力数のほぼ 2 乗に比例するので, 上記で (iv), (iii),

(ii), (i) の順にその部分の回路規模は小さくなる (段数を増やすほどトータル MUX 回路量は小さくなる)。位相比較器は比較的回路規模は小さい。LPF を構成する容量, 抵抗の値とチップ面積は LPF 回路設計及びプロセスに依存する。LPF を除いた回路部分では (iv), (iii), (ii), (i) の順に回路規模・消費電力が小さくなることが見積もれる。

6. む す び

この論文ではデジタル制御電源の高性能化のための高時間分解能 PWM 生成回路の新アーキテクチャを提案した。

- 提案構成では時間分解能が「バッファ遅延」で決まっていた直接的構成のデジタル PWM から, 「二つ以上のバッファ遅延の差」で時間分解能が決まる新しい構成である。これにより高時間分解能が得られ回路規模・消費電力も小さくできる。

- 拡張ユークリッド互除法を用いて, 多段バッファ遅延線を用いる提案構成の場合のシステムマテックな設計アルゴリズムを開発した。その結果バッファ数最小の最適化設計が行え, 2 段及び 3 段バッファ遅延線構成が効果的という結果を得た。

今後の課題として次のようなものがある。

- 2 段, 3 段の多段バッファ遅延線構成ではバッファ遅延の相対ばらつきにより遅延の単調性が原理的には保証できなくなる。この問題を軽減するためダイナミックマッチングにより時間平均値として単調性を確保する手法を開発している。

- バッファ遅延を大きくすれば低消費電力化できるがジッタも大きくなる。ジッタ要求はアプリケーションによって異なるが, 回路規模・低消費電力化に加えてジッタの影響も考慮したトレードオフ設計を行う手法を確立する必要がある。

謝辞 有意義な御討論を頂きましたルネサスソリューションズ, ルネサステクノロジ, 三洋半導体, 日本テキサスインスツルメンツ, 東光, 東芝 LSI システムサポートの方々に感謝します。

文 献

- [1] 竹上栄治, 樋口幸治, 中野和司, 富岡 聡, 渡辺一史, “二次モデル実現近似的 2 自由度デジタル積分形制御器による DC-DC コンバータのロバスト制御”, 信学論 (C), vol. J88-C, no.9, pp.724-736, Sept. 2005.
- [2] M.M. Peretz and S.B. Yaakov, “Time domain design of digital compensators for PWM DC-DC converters,” IEEE Applied Power Electronics Conference

- and Exposition (APEC), Anaheim, CA, Feb. 2007.
- [3] M. He and J. Xu, "Nonlinear PID in digital controlled buck converters," IEEE Applied Power Electronics Conference and Exposition (APEC), Anaheim, CA, Feb. 2007.
- [4] Y. Qiu, J. Li, M. Xu, D.S. Ha, and F.C. Lee, "Proposed DPWM scheme with improved resolution for switching power converters," IEEE Applied Power Electronics Conference and Exposition (APEC), Anaheim, CA, Feb. 2007.
- [5] K. Wang, N. Rahman, Z. Lukic, and A. Prodic, "All digital DPWM/DPFM controller for low power DC-DC converters," IEEE Applied Power Electronics Conference and Exposition (APEC), Dallas, TX, March 2006.
- [6] J. Chen, M. Ribeiro, R. Payseo, D. Zhou, J.R. Smith, and K. Kernahan, "DPWM time resolution requirements for digitally controlled DC-DC converters," IEEE Applied Power Electronics Conference and Exposition (APEC), Dallas, TX, March 2006.
- [7] K. Leung and D. Alfano, "Design and implementation of a practical digital PWM controller," IEEE Applied Power Electronics Conference and Exposition (APEC), Dallas, TX, March 2006.
- [8] R.J. Baker, CMOS Mixed-Signal Circuit Design, IEEE Press, 2002.
- [9] R.J. Baker, H.W. Li, and D.E. Boyce, CMOS Circuit Design, Layout and Simulation, IEEE Press, 2006.
- [10] 松坂和夫, 代数系入門, 岩波書店, 1976.
- [11] 上野健爾, 代数入門, 岩波書店, 2004.

(平成 19 年 8 月 23 日受付, 12 月 5 日再受付)



光野 正志 (正員)

2003 群馬大・工・電気電子卒。2005 同大大学院修士課程了。2008 同大学院博士課程了。同年日立製作所中央研究所入社。在学中はアナログ集積回路, スイッチング電源, MEMS 技術, 計測制御技術に関心をもつ。電気学会, IEEE 各会員。2003 電気学会学術奨励賞受賞。博士(工学)。



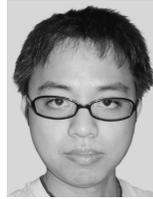
木村 圭吾

2005 群馬大・工・電気電子卒。2007 同大大学院修士課程了。同年本田技研工業入社。本田技術研究所四輪開発センターにて四輪車の研究・開発に従事。2005 電気学会学術奨励賞受賞。



森 偉文樹

2007 群馬大・工・電気電子卒(首席)。現在同大大学院修士課程在学中。アナログ集積回路, スイッチング電源, デジタル制御電源用 PWM 発生回路等に関心をもつ。



山田 佳央

2005 群馬大・工・電気電子卒。2007 同大大学院修士課程了。同年ミツバ入社。輸送用機器関連事業の自動車, 二輪, 応用機器におけるモータを中心とした製品の開発・製造に従事。



小林 春夫 (正員)

1980 東大・工・計数卒。1982 同大大学院修士課程了。同年横河電機製作所入社。1989 米国カルフォルニア大学ロサンゼルス校(UCLA)電気工学科修士課程了。1997 群馬大学助教授。2002 同教授。2007 同大大学院教授。ミックスド・シグナル集積回路設計, 信号処理アルゴリズムに関心をもつ。IEEE 会員。工博(早大)。



小堀 康功 (正員)

1974 東工大・工・電気卒。同年日立製作所入社, 家電研究所に配属。家庭用 VTR, ビデオプリンタ等の研究開発に従事。2002 松江工業高等専門学校情報工学科勤務。2004 群馬大学大学院工学研究科客員教授。2008 近畿大学工業高等専門学校電気情報工学科教授。スイッチング電源回路技術に関心をもつ。電気学会, IEEE 各会員。博士(工学)。



清水 一也

2006 群馬大・工・電気電子卒。2008 同大大学院修士課程了。同年ルネサステクノロジ入社。在学中はアナログ集積回路, A-D 変換回路に関心をもつ。



傘 昊 (正員)

2000 群馬大大学院修士課程了。2004 同大学院博士課程了。博士(工学)。同年群馬大・工助手, 2007 から同工学研究科助教, 現在に至る。アナログ集積回路に関する研究に従事。2005 本会回路とシステム(軽井沢)ワークショップ奨励賞受賞。IEEE 会員。