

<< 電源回路のデジタル化 >>

研究背景と目

■電源回路への要求大

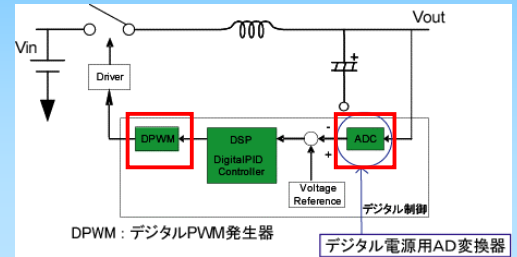
- 近年、LSIの超大規模化・微細化、マイクロプロセッサ性能向上
 - ・スイッチング時間高速化(数十psec)
 - ・電源電圧の動作マージン減少(LSIの低電力化)
 - ・電圧変動量の増加(半導体微細化)

■デジタル制御電源に関心

- 高度な制御理論や新トポロジーの導入
- 電源のデジタル制御回路部のシステムLSI内への取り込み

デジタル電源用キーコンポーネントの性能向上

- AD変換器の低レテンシー化
- 高分解能DPWM回路の新アーキテクチャ



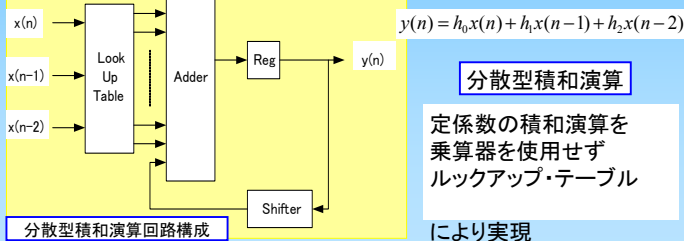
<< デジタル電源用AD変換器の低レテンシー化 >>

デジタル制御電源のAD変換器

- フィードバックループ内で用いられるので低レテンシー化が重要
- 逐次比較近似ADC、パイプラインADCが用いられる
 - 上位ビットから出力。
 - 従来は下位ビットまで全部が出力されてからDSP処理開始

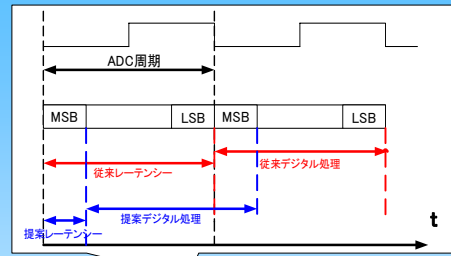
提案手法

- 上位ビットからのビットシリアル積和演算(分散型積和演算)を用いる
- ADCから上位ビット出力時からDSP処理開始できるので低レテンシー



分散型積和演算

定係数の積和演算を乗算器を使用せず
 ルックアップ・テーブルにより実現



例) 12bit分解能のとき

デジタル演算開

従来 : 12bit全て出力後

提案 : 最初のビット(MSB)出力後

効

フィードバックループでレテンシー(遅れ)が小

<< 高時間分解能デジタルPWM発生回路 >>

目標仕

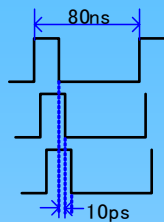
- 1周期80ns (ADCサンプリング周波数=12.5MHz)
- 使用可能クロック: 100MHz, 12.5MHz
- 1LSB(時間分解能): 10ps
- DPWM分解能: 13bit

・デジタルPWM: 十分な制御性能...12bit以上

→ 分解能: 13bit

$$\frac{80\text{ns}}{2^{13}} = \frac{80\text{ns}}{8192} = 10\text{ps}$$

(従来例: 米TI社電源デジタル制御IC(2005) 時間分解能→150ps)

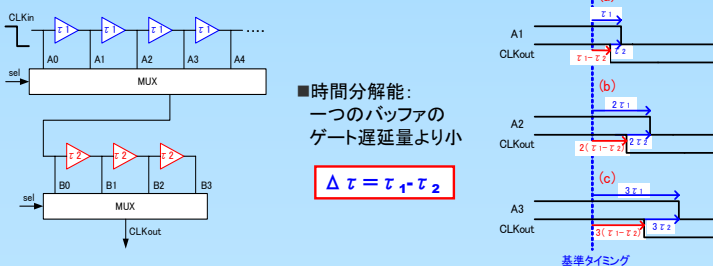


従来構

■問題点

- バッファ数: 大(10bit設計→1023個)
- 最小時間分解能
 - ・バッファのゲート遅延: $\tau = 10\text{ps}$
 - ・半導体のプロセス性能に依存(ゲート遅延によって高時間分解能を得る)

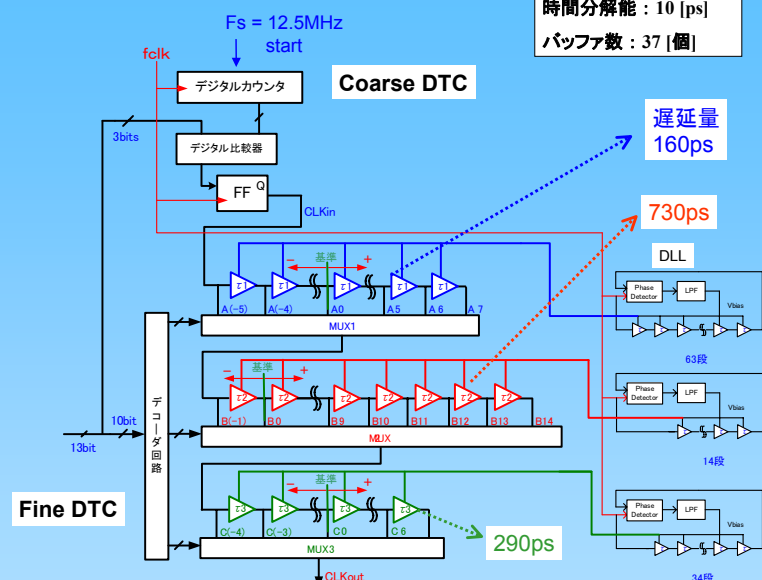
提案回路構成(ゲート遅延差)と動



提案回

13bitデジタルPWM発生回路

時間分解能: 10 [ps]
 バッファ数: 37 [個]



まと

- デジタル電源でのAD変換器の低レテンシー化
- DPWM発生回路の新アーキテクチャの提案
- システムマッチ設計アルゴリズムの提案

- 時間分解能: 10ps, 13bit
- バッファ数: 37個 (従来 1023個)
- ゲート遅延量: 160ps(上段), 730ps(中段), 290ps(下段) (従来10ps)
- 消費電力: 従来1/25