

電荷モード折返し A-D 変換回路

林 海軍[†] 山口 宣[†]真壁 和也[†] 亀井 篤[†]小林 春夫^{†a)} (正員)

Charge-Domain Folding Analog-to-Digital Converter

HaiJun LIN[†], Nobu YAMAGUCHI[†], Kazuya MAKABE[†],Atsushi KAMEI[†], Nonmembers, andHaruo KOBAYASHI^{†a)}, Member[†]群馬大学工学部電気電子工学科, 桐生市Department of Electronic Engineering, Faculty of Engineering,
Gunma University, 1-5-1 Tenjin-cho, Kiryu-shi, 376-
8515 Japan

a) E-mail: k_haruo@el.gunma-u.ac.jp

あらまし 折返し A-D 変換器アーキテクチャは、フラッシュ型と同等のサンプリング速度を達成でき、(コンパレータ数・デジタルエンコーダ回路が大幅に減少できるため)回路量・消費電力がフラッシュ型の数分の 1 で実現できる方式として、パイポラ及び CMOS を用いた高速 A-D 変換回路に用いられている。従来方式は電流モードで折返し回路を実現しているが、本論文では電荷モード(スイッチドキャパシタ方式)で折返し回路を実現する方式を提案する。この方式により比較的簡単な回路構成で高速・低消費電力 CMOS A-D 変換器が実現できる。

キーワード 折返し A-D 変換回路, スwitchドキャパシタ回路, CMOS, 電荷モード

1. まえがき

半導体技術技術の進展とともに信号処理はデジタル領域で行われるようになってきている。自然界の信号はアナログ信号であるので、デジタル信号処理のためそのアナログ信号をデジタル信号に変換する A-D 変換器はより高速・高精度が求められている。また携帯機器への応用の際には A-D 変換器の低消費電力実現が重要である。

ここで“高速”ということに着目すると、分解能 8 ビット(以下)の A-D 変換器のアーキテクチャとしてフラッシュ型が広く用いられてきている(図 1)[1]。しかしフラッシュ型は例えば分解能が 8 ビットの場合は 255 個の比較器と比較的大規模なデジタルエンコーダ回路が必要で入力容量・回路規模・消費電力が大きくなってしまふ。そこでフラッシュ型に比べサンプリングスピードは同等で、回路規模・消費電力は数分の 1 で実現できる折返し型 A-D 変換器が提案され、最初はパイポラで次に CMOS で実現されてきている [2], [3]。

この論文では CMOS での実現に適した新しい折返し A-D 変換回路を提案する。

2. 従来の電流モード折返し A-D 変換回路

折返し型 A-D 変換器は複数の差動ペア(図 2)のドレイン出力をプラス側とマイナス側を交互に接続して電流モードでアナログエンコードを行う。グレーコード出力(図 2)の従来の電流モード折返し回路を図 4 に示す。1 ビット当り比較器は 1 個でよく、またデジタルエンコード回路が不要となるので回路規模・消費電力が大幅に削減できる。またフィードバックがないので高速サンプリングが実現できる。

しかしながらこの構成の問題として、アナログエンコード回路により比較器の入力部の信号周波数は入力周波数の通倍の高周波になるので内部信号が減衰する [2]。すなわち折返し A-D 変換器は高速サンプリングは実現可能であるが高周波入力に対し高精度を得るのが難しい。この問題を解決するために、前段にサン

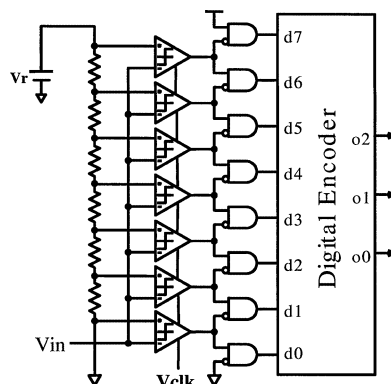


図 1 分解能 3 ビットのフラッシュ型 A-D 変換回路
Fig. 1 A 3-bit flash ADC.

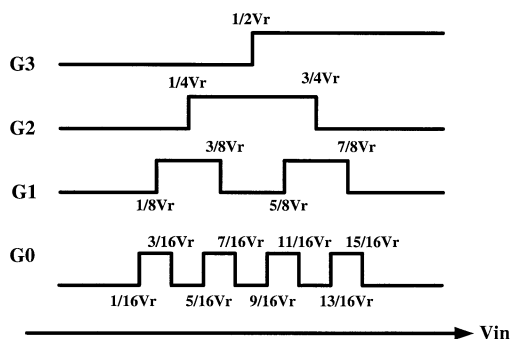


図 2 アナログ入力 V_{in} に対するグレーコードデジタル出力のビットチャート
Fig. 2 Gray code output with respect to analog input V_{in} .

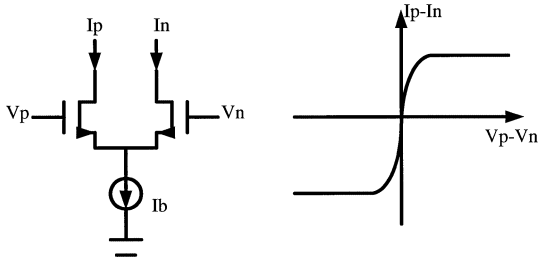


図3 差動ペア回路と入出力特性（差動入力信号が大きいときに差動出力電流が飽和する）
Fig.3 Differential pair circuit and its input-output characteristics.

プルホールド回路を用いる，プリアンプにリセットを用いる等の手段が提案されているが回路が複雑になってしまう [3] ~ [7]．また，電流モードでのアナログエンコード回路は電流駆動能力が高いバイポーラトランジスタでは高性能を得やすいが，電流駆動能力が低い CMOS で高性能を得るのは難しい．

3. 提案する電荷モード折返し A-D 変換回路

CMOS で折返し回路を実現する際に，従来の電流モード回路では高性能を得にくい．一方 CMOS はスイッチが容易に実現できるのでスイッチドキャパシタ回路を使用できる．しかしながら従来のスイッチドキャパシタ回路は線形演算に適しているが，折返し回路は非線形回路であるため直接は実現ができない．

提案方式は図5に示すように，アナログ入力をプリアンプで受け，分散型トラックホールド回路でサンプリングし電荷モードでの折返し回路でアナログエンコードを行い，比較器でデジタルデータを得る．プリアンプは図3のような差動ペアで構成するが，入力と参照電圧の差が小さいときはそれを増幅するというだけでなく，入力と参照電圧の差が大きいときは出力が“飽和”するという非線形性をアナログエンコードの際に利用する．この非線形性を利用し電荷モード（離散時間，スイッチドキャパシタ回路）での折返し回路が実現できる電荷モードで折返し演算を行う際には電流モードで問題になった高周波信号発生がなくなる．

分散型トラックホールド回路は通常の一つのトラックホールド回路を用いる場合に比べ比較的精度・線形性要求が緩和されるので実現しやすい [3], [9]．

図6は提案する電荷モードの折返し回路の MSB-1 生成回路の動作説明である．プリアンプ1の入力のプラス側にはグランドが，マイナス側には \$V_{dd}\$ に常に接続され，出力は常にプラス側では最小電圧，マイナス側では最大電圧が出力されている．プリアンプ2,3の

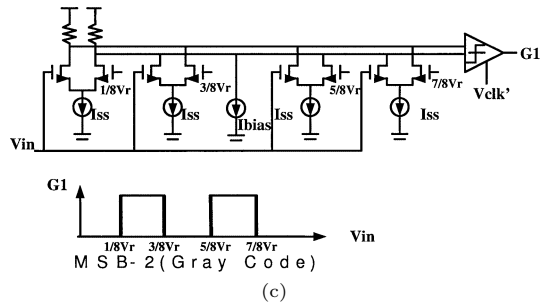
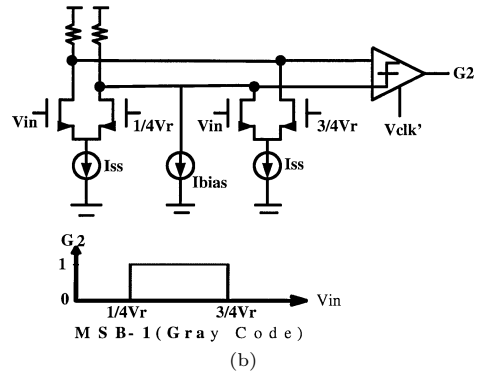
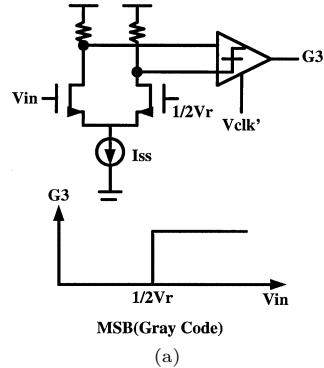


図4 従来型の電流モード折返し A-D 変換回路 .(a) MSB 発生回路，(b) MSB-1 発生回路，(c) MSB-2 発生回路
Fig.4 Current-mode folding circuits. (a) MSB (G3), (b) MSB-1 (G2), (c) MSB-2 (G1).

入力のプラス側にはアナログ入力 \$V_{in}\$ が，マイナス側にはそれぞれ参照電圧 \$(1/4)V_r\$，\$(3/4)V_r\$ が接続されている．ステップ1はトラックモードで各プリアンプの出力電圧に対応しが各キャパシタに充電される．ステップ2はホールドモードで，電荷演算を行う．プリアンプ2の出力符号がプリアンプ1,3と異なる（すなわち \$C_{p1}\$, \$C_{n2}\$, \$C_{p3}\$ が接続され，また \$C_{n1}\$, \$C_{p2}\$, \$C_{n3}\$ が接続される）ことに注意すると，図7のように電荷モードでアナログエンコードされグレーコードの上位2ビット目が生成されることが分かる．

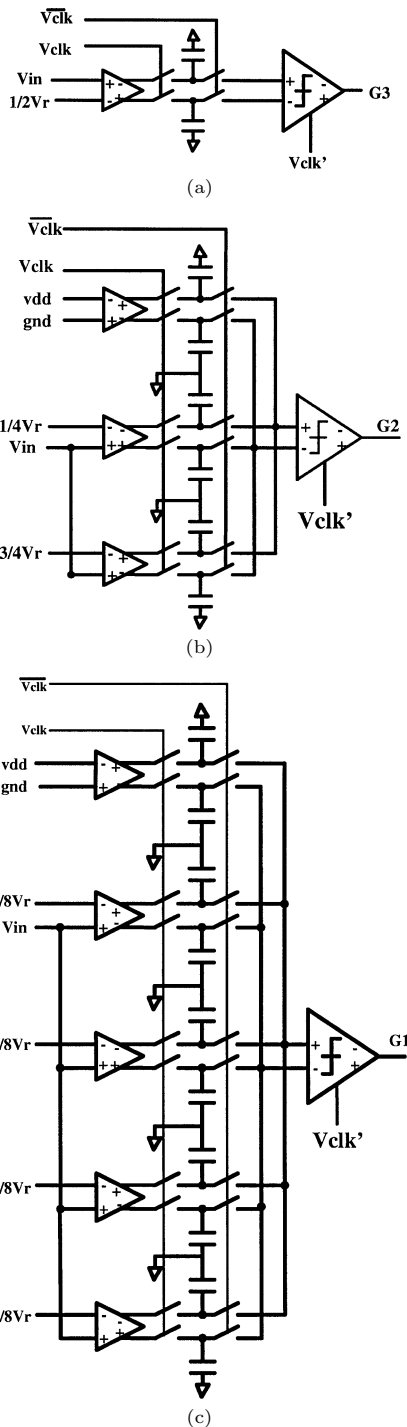


図 5 提案する電荷モード折返し A-D 変換回路 . (a) MSB 発生回路 , (b) MSB-1 発生回路 , (c) MSB-2 発生回路

Fig. 5 Proposed charge-domain folding circuits. (a) MSB (G3), (b) MSB-1 (G2), (c) MSB-2 (G1).

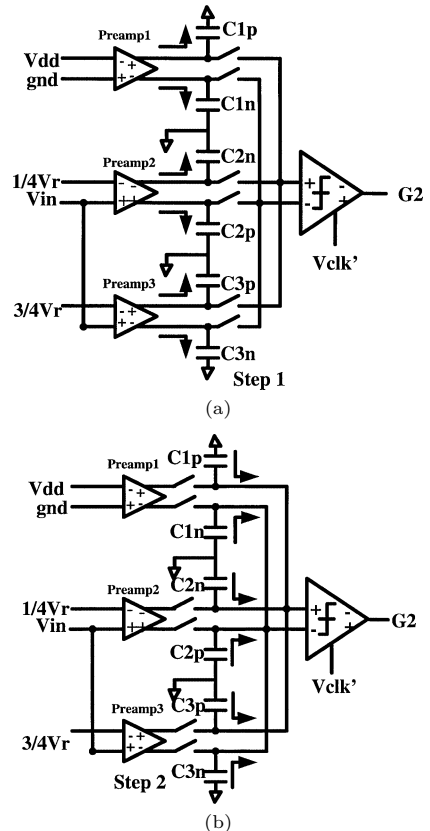


図 6 提案回路 (MSB-1 発生回路) の動作 . (a) トラックモード , (b) ホールドモードで電荷演算を行う

Fig. 6 Operation of the proposed folding circuit for MSB-1. (a) Track-mode, (b) Hold-mode.

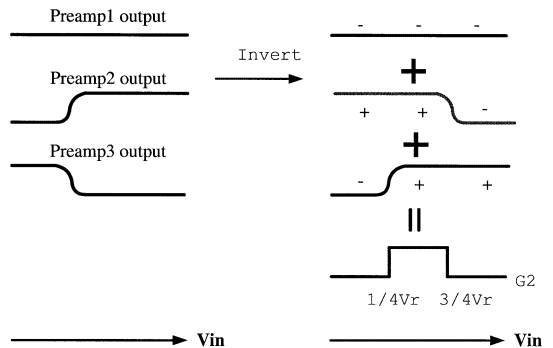


図 7 電荷の足し算によるアナログエンコード
Fig. 7 Analog encode with charge operation.

図 8 に図 6 の回路でのランプ波入力に対しサンプリングクロック周波数 250 MHz での SPICE シミュレーション結果を示す . MSB-1 コード (G2) が生成されていることが確認できる . 同様に MSB (G3) , MSB-2 (G1) , MSB-3 (G0) のコード生成も SPICE シミュ

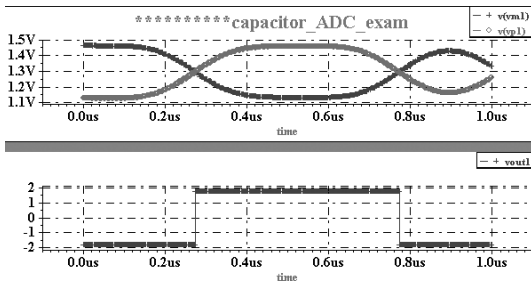


図8 図6の回路のランプ波入力に対する SPICE シミュレーション結果 (上) コンパレータ入力前の信号 (下) コンパレータ出力

Fig. 8 SPICE simulation result of the circuit in Fig.6 for a ramp input. The upper shows the comparator input waveform while the lower shows its output.

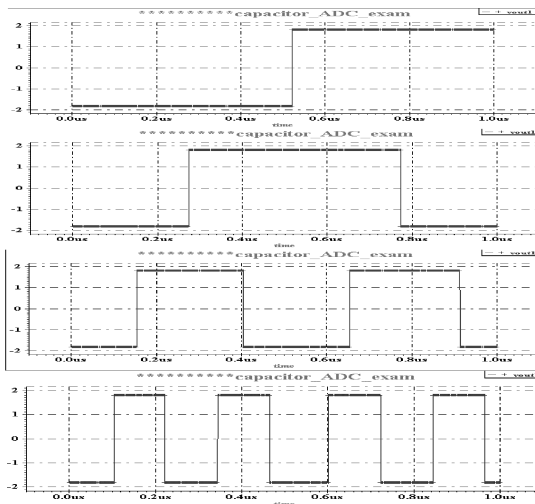


図9 図5の提案回路のランプ波入力に対する SPICE シミュレーション結果。上から G3, G2, G1, G0 ビット

Fig.9 SPICE simulation result of the circuits in Fig.5 for a ramp input. From the top to the bottom, waveforms of G3, G2, G1 and G0 are shown.

レーションで確認した (図9)。

なお、ここでは電荷モードでの折返し回路の基本的考え方のみを示しているため、実際の回路設計では高性能化のために差動増幅回路を縦続接続する等の工夫が必要である [3] ~ [7]。

また、分解能を8ビット程度まで拡張する場合は、折返し回路とともに補間回路 (interpolation circuit) を用いればよい [1] ~ [3]。例えば電荷モードでの4相の折返しアナログ信号を電圧出力としてバッファを介して補間抵抗に分配することで従来の抵抗補間回路 [9]

を用いることができる。

4. むすび

CMOS での実現に適した電荷モードでアナログエンコードを行う折返し A-D 変換回路を考案しシミュレーション動作を確認した。前段にプリアンプを設けその飽和特性を利用して、その後のスイッチドキャパシタ回路での演算でのアナログエンコードを実現する。高速・中分解能・低消費電力の A-D 変換器を簡易に実現するのに適した構成である。

謝辞 有意義な御討論を頂きました半導体理工学研究センター (STARC)、アナログデバイス社の方々に謝意を表します。

文 献

- [1] B. Razavi, Principles of Data Conversion System Design, IEEE Press, 1995.
- [2] R. van de Plassche, Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers, 1994.
- [3] R. van de Plassche, CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, 2nd Ed., Kluwer Academic Publishers, 2003.
- [4] R. Taft, C. Wenkus, M. Rosaria, O. Hidri, and V. Pons, "A 1.8 V 1.6 GS/s 8 b self-calibrating folding ADC with 7.25 ENOB at nyquist frequency," Technical Digest of ISSCC, pp.252-253, San Francisco, 2004.
- [5] G. Geelen and E. Psulus, "An 8 b 600 MS/s 200 mW CMOS folding A/D converter using an amplifier preset technique," Technical Digest of ISSCC, pp.254-255, San Francisco, 2004.
- [6] Z.Y. Wang, H. Pan, C.M. Chang, H.R. Yu, and M.F. Chang, "A 600 MSPS 8-bit folding ADC in 0.18 μ m CMOS," Symposium on VLSI Circuit Digest Technical Papers, pp.424-427, 2004.
- [7] K. Uyttenhove, J. Vandenbussche, E. Lauwers, G.G.E. Gielen, and M.S.J. Steyaert, "Design techniques and implementation of an 8 bit 200 MS/s interpolating/averaging CMOS A/D converter," IEEE J. Solid-State Circuits, vol.38, no.3, pp.483-494, March 2003.
- [8] A.G.W. Venes and R.J. van de Plassche, "An 80-MHz 80-mW, 8-b CMOS folding A/D converter with distributed track-and-hold preprocessing," IEEE J. Solid-State Circuits, vol.31, no.12, pp.1846-1853, Dec. 1996.
- [9] H. Kobayashi, T. Mizuta, K. Uchida, H. Matsuura, A. Miura, T. Yakhara, S. Oka, and D. Murata, "A high-speed 6-bit ADC with SiGe HBT," IEICE Trans. Fundamentals, vol. E81-A, no.3, pp.389-397, March 1998.

(平成 18 年 2 月 1 日受付, 5 月 1 日再受付)