

図 2 デプレッション型 MOS を用いた差動入力回路
Fig. 2 Input differential pair circuit with depletion-type NMOS FETs.

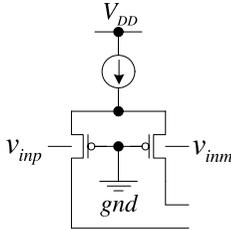


図 3 バルクドリブ型差動入力回路
Fig. 3 Input differential pair circuit driven by substrate voltages.

ション型 MOSFET で構成されたソースフォロワ等が必要である。

3. 提案オペアンプの構成と動作

3.1 オペアンプの全体構成

標準 CMOS プロセスを用いて Rail-to-Rail 入力を実現するためには上記三つの方法では難しい。そこで新たな方式を検討した。

図 4 は折返しカスコード CMOS オペアンプで、出力は Rail-to-Rail が実現されているが、同相入力範囲 (CMR: Common-Mode Range) は制限されており Rail-to-Rail は実現されていない。そこでこのオペアンプの前段に、入力信号 (GND から V_{dd} まで) をこのオペアンプの入力範囲に“信号圧縮”する回路を用いることを提案する。すなわち、この信号圧縮の回路は図 5 の入出力特性をもち、入力信号が GND から V_{dd} まで変化しても出力信号はオペアンプの同相入力範囲内に収まる。入力信号を縮小することができれば、結果的に同相入力範囲を広げたことに等しい。

図 5 の特性をもつ信号圧縮回路を設計し、図 4 の出力 Rail-to-Rail のオペアンプの二つの入力にそれぞれ信号圧縮回路を接続して、全体として入出力が Rail-to-Rail のオペアンプを実現する (図 6)。

3.2 入力信号圧縮回路の構成と動作

図 5 の特性をもつ入力信号圧縮回路を電源電圧 0.7 V

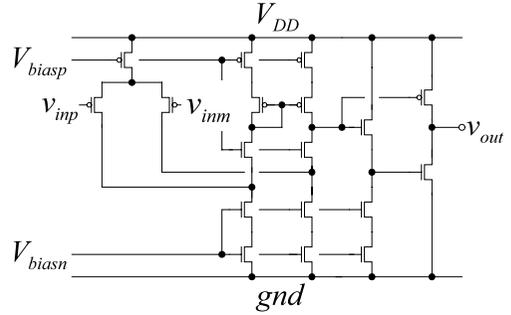


図 4 同相入力電圧範囲 (CMR) が制限された折返しカスコードオペアンプ

Fig. 4 A folded-cascode operational amplifier whose output is Rail-to-Rail, but whose input common-mode range (CMR) is not Rail-to-Rail.

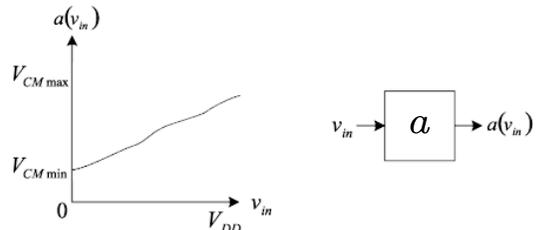


図 5 入力信号圧縮回路の特性. GND から V_{dd} の入力信号を後段のオペアンプの入力信号レンジに圧縮する. フィードバックして用いるので、単調性を確保できれば必ずしも線形な特性でなくともよい

Fig. 5 Input-output characteristics of an input signal compression circuit which compresses the Rail-to-Rail input to the input range of the following operational amplifier. Monotonicity must be guaranteed, but some nonlinearities are tolerable because feedback topology is used for the whole operational amplifier application.

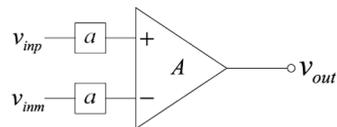
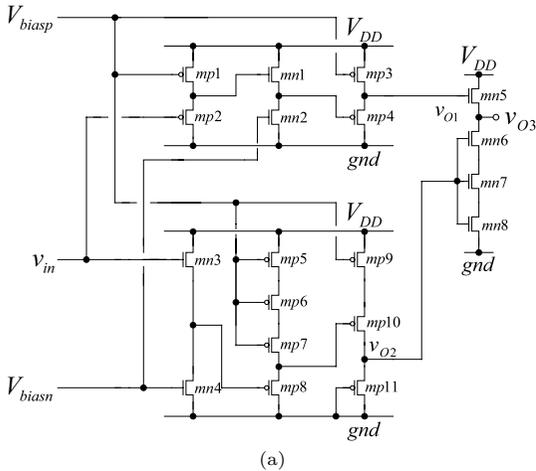


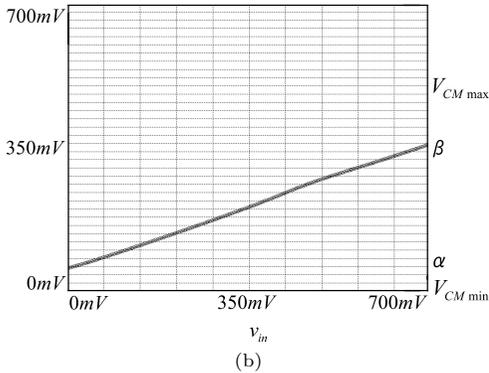
図 6 入力信号圧縮回路 (a) と出力 Rail-to-Rail オペアンプ (A) で全体として入出力 Rail-to-Rail オペアンプを実現する

Fig. 6 The input signal compression circuits (a) and the output Rail-to-Rail operational amplifier (A) together comprise an input-output Rail-to-Rail operational amplifier.

できるだけ低消費電流で動作するものを設計した。その回路を図 7 (a) に示す。これは三つの部分から構成され、それらを図 8 (a), 図 9 (a), 図 10 (a) に示す。図 7 (a) の入力信号圧縮回路の DC 入出力特性を



(a)



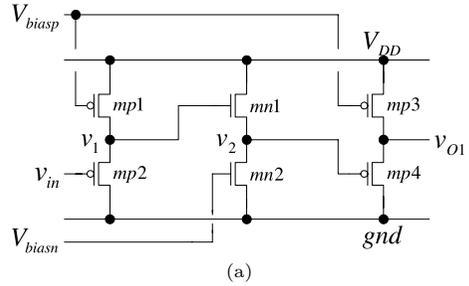
(b)

図 7 (a) 設計した入力信号圧縮回路．図 6 の α の部分に相当する．(b) (a) の回路の SPICE シミュレーション結果．入力信号を圧縮しているのが確認できる
Fig. 7 (a) Our input signal compression circuit design, which corresponds to the “a” part in Fig.6. (b) SPICE simulation result for the circuit in (a). We see that the input signal is compressed.

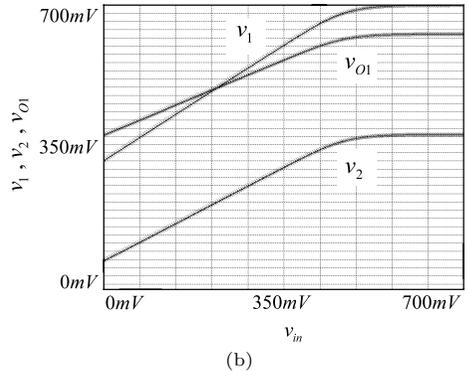
図 7 (b) に示す．単調性が確保できていることが分かる（オペアンプは負帰還をかけて使用するので単調性が確保できれば非線形性は問題ない）．また，図 7 (b) の α, β 値は図 7 (a) 中の MOS のデバイスサイズとバイアス電圧 V_{biasp}, V_{biasn} を調整することで設定することができる．

① 図 8 の回路の説明

1 段目が PMOS 構成のソースフォロワ，2 段目が NMOS 構成のソースフォロワ，3 段目が PMOSFET 構成のソースフォロワである．ソースフォロワを 3 段つなげることで出力信号を適切な電位にレベルシフトし，また小信号ゲインを 1 より小さくした．出力



(a)



(b)

図 8 (a) 入力信号圧縮回路（図 7 (a)）の左上部分の回路．
(b) (a) の回路の SPICE シミュレーション結果
Fig. 8 (a) The upper-left part of the input signal compression circuit in Fig.7 (a). (b) SPICE simulation result for the circuit in (a).

信号 V_{O1} は入力信号 V_{in} の電位が低い場合は 350 mV 程度レベルシフトされ，入力信号の電位が高い場合（500 mV 以上）は飽和し一定の電位（650 mV 程度）を出力する．

図 8 (a) の回路の DC 特性 SPICE シミュレーション結果を図 8 (b) に示す．

② 図 9 の回路の説明

1 段目の NMOS 構成のソースフォロワ，2 段目が PMOS 構成のソースフォロワで入力信号を適切な電位までレベルシフトしている．

3 段目が反転した信号を出力する回路であり，次のように動作する． V_4 の電位が低い場合は mp9, mp10 のソースフォロワ動作により V_5 は V_4 に追従する．また，mp9 と mp11 のソース・ゲート間電圧は等しいので V_{O2} は一定の値（ $\approx V_{dd} - V_{biasp}$, 350 mV 程度）を出力する． V_4 の電位がある程度高くなると V_5 が電源電圧付近まで達してしまい飽和する．つまり， V_4 とは無関係に V_5 は電源電圧付近で一定の電位を保つ．このとき 3 段目の回路は V_4 を入力， V_{O2} を出力と考え

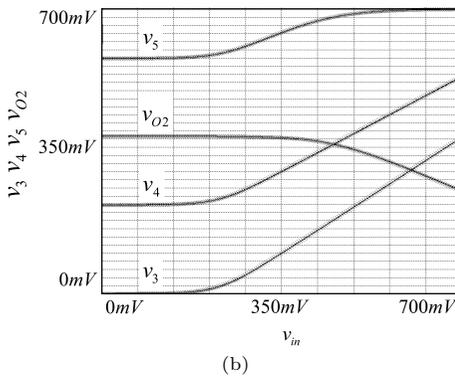
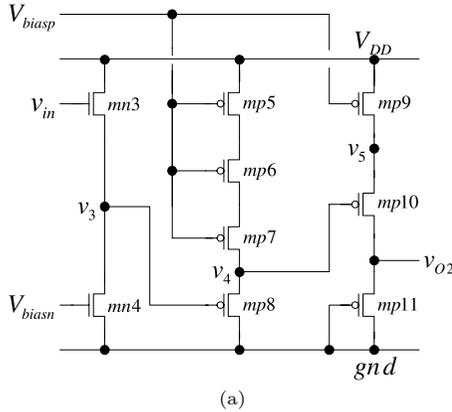


図 9 (a) 入力信号圧縮回路 (図 7(a)) の左下部分の回路 . (b) (a) の回路の SPICE シミュレーション結果 . V_{O2} は入力 V_{in} を反転した信号になっている
Fig. 9 (a) The lower-left part of the input signal compression circuit in Fig.7(a). (b) SPICE simulation result for the circuit in (a).

ると PMOS ソース接地回路になり、 V_{O2} は V_4 の反転信号を出力する . 図 9(a) 回路の SPICE シミュレーション結果を図 9(b) に示す .

③ 図 10 の回路の説明

図 8 の回路の出力 V_{O1} と図 9 の回路の出力 V_{O2} をそれぞれ入力とし、入力信号を縮小した信号 V_{O3} を出力する . 図 10(a) の回路の DC 特性 SPICE シミュレーション結果を図 10(b) に示す .

図 10(a) の回路で入力 V_{in} の電位が低い (GND - $V_{dd}/2$ 近辺) ときには、図 9(b) に示すように V_{O2} は一定になるので、図 10(a) の回路は V_{O1} を入力、 V_{O3} を出力とする NMOS ソースフォロワ回路として働く . 一方、入力 V_{in} の電位が高い ($V_{dd}/2$ 近辺 - V_{dd}) ときには、図 8(b) に示すように V_{O1} は一定になるので、 V_{O2} と $V_{O1} - V_{O3} \approx 650 \text{ mV} - V_{O3}$ はほぼ等しくなる .

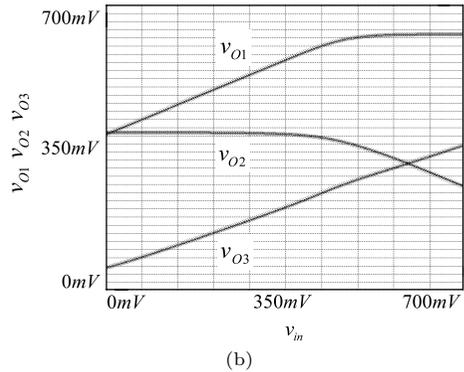
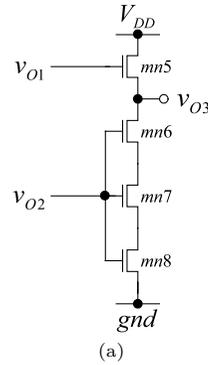


図 10 (a) 入力信号圧縮回路 (図 7(a)) の右側部分の回路 . (b) (a) の回路の SPICE シミュレーション結果
Fig.10 (a) The right part of the input signal compression circuit in Fig.7(a). (b) SPICE simulation result for the circuit in (a).

図 9(b) に示すように、この領域で V_{O2} は V_{in} の反転 (小信号で V_{O2} は V_{in} のマイナスゲイン倍) であるので V_{O3} と V_{in} はほぼ比例する^(注1) .

3.3 入力段以降の回路

設計した入力圧縮回路段以降のオペアンプ回路図を図 4 に示す . また入力圧縮回路を使用していない図 4 の回路の SPICE シミュレーションで得られた特性を表 1 に示す . その入力レンジを調べるため図 4 の回路をボルテージフォロワ構成にしたシミュレーション結果を図 11 に示す . なお、図 4 の回路では電源電圧 V_{dd} が 0.7V でほとんどの MOS がサブスレッショルド領域で動作している . なお使用した NMOS, PMOS のしきい値電圧は $\pm 0.3 \text{ V}$ である . この部分の回路はサブスレッショルド領域で動作しているため、シミュ

(注1): 抵抗分割によっても信号圧縮が実現できるが、抵抗分割回路は入力抵抗が有限であるためそのままでは使用できない (入力抵抗を無限大にするためには結局その前段に入出力 Rail-to-Rail のボルテージフォロワ等のバッファ回路が必要となる) .

表 1 図 4 のオペアンプの特性 (シミュレーション結果)
Table 1 SPICE simulated characteristics of the operational amplifier in Fig.4.

Item	Condition	Performance
DC gain	No load	67 dB
Current consumption		0.3 μ A
Common-mode input range		0 ~ 0.5 V
Output voltage range	Load 50 pF	0 ~ 0.7 V
Gain-bandwidth product	No load	100 Hz
Phase margin	No load	90 degrees
Maximum load capacitance		50 pF
Slew rate	Load 50 pF	46 V/ms
Supply voltage		0.7 V
Minimum channel length		0.18 μ m

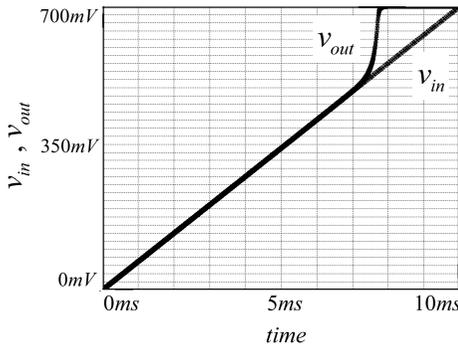


図 11 図 4 のオペアンプの同相入力電圧範囲 (CMR) の SPICE シミュレーション結果。ボルテージ・フォロワ構成にして、入力を 0 から 0.7V までのランプ波を与えた。同相入力電圧範囲 (CMR) が 0V ~ 0.5V までなのが確認できる (すなわち図 4 の回路は Rail-to-Rail 動作をできない)

Fig. 11 SPICE simulation result to check the input common-mode range of the operational amplifier in Fig.4. A ramp signal input from 0 to 0.7 V is applied to the voltage follower configuration. We see that its input common-mode range is from 0 to \approx 0.5 V, which is not Rail-to-Rail.

レーションによれば温度変化に対して DC ゲインの変化が大きく、またこの領域では製造時の特性ばらつきが比較的大きいことが知られている。このためこの動作領域を使用する回路では、温度環境が比較的厳しくないところで用いる、特性ばらつきを吸収するバイアス回路を用いる等の注意が必要である。

もちろん、図 4 以外の出力 Rail-to-Rail オペアンプに設計した入力圧縮回路を接続して入出力 Rail-to-Rail オペアンプを実現することも可能である。

3.4 提案オペアンプ全体のシミュレーション結果
全体の回路を図 12 に示し、その SPICE シミュレーションで得られた特性を表 2 に示す。また、ボルテ-

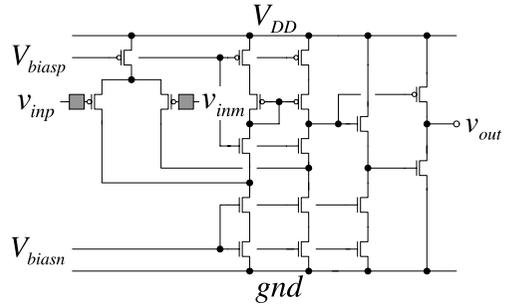


図 12 提案する Rail-to-Rail オペアンプの構成。図 4 のオペアンプに図 7 の入力回路を接続した。入力段の四角形が図 7 の入力信号圧縮回路を表している

Fig. 12 Proposed Rail-to-Rail operational amplifier where the input signal compression circuits in Fig.7 are connected to the operational amplifier in Fig.4. The boxes at the input denote the input signal compression circuits in Fig.7.

表 2 提案 Rail-to-Rail オペアンプ (図 12) の特性
Table 2 SPICE simulated characteristics of our proposed Rail-to-Rail operational amplifier in Fig.12.

Item	Condition	Performance
DC gain	No load	64 dB
Current consumption		3.1 μ A
Common-mode input range		0 ~ 0.7 V
Output voltage range	Load 50 pF	0 ~ 0.7 V
Gain-bandwidth product	No load	100 Hz
Phase margin	No load	60 degrees
Maximum load capacitance		50 pF
Slew rate	Load 50 pF	46 V/ms
Supply voltage		0.7 V
Minimum channel length		0.18 μ m

ジフォロワ構成によるその入力レンジのシミュレーション結果を図 13 に、ステップ応答を図 14 に示す。入出力 Rail-to-Rail で安定であることが確認できた。

なお、設計したオペアンプは帯域が 100 Hz と極めて低いがこの程度の周波数帯域で十分なマン・マシンインタフェース、センサインタフェースのアプリケーションを想定し、バイアス電流を絞り低消費電力化を図ったためである。当然ながらアプリケーションに応じバイアス電流を増やせば帯域をより高くすることができる。

4. む す び

標準 CMOS プロセスを用いた、電源電圧 0.7 V で動作する Rail-to-Rail オペアンプの新しい設計方法を示した。入力部に“信号圧縮”回路を用いて後段のオペアンプの入力レンジ内に信号レベルを抑える。今後

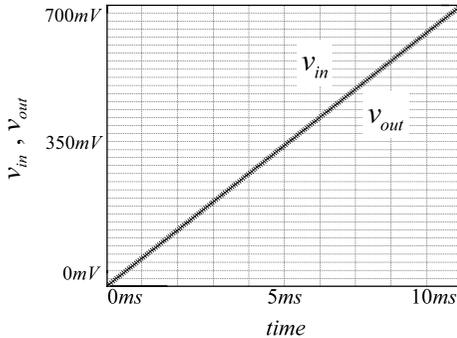


図 13 図 12 の提案オペアンプの同相入力電圧範囲 (CMR) の SPICE シミュレーション結果. Rail-to-Rail 動作が確認できる

Fig. 13 SPICE simulation result to check the input common-mode range of the proposed operational amplifier in Fig.12. A ramp signal input from 0 to V_{dd} (0.7 V) is applied to the volgate follower configuration. We see that its input common-mode range is from 0 to 0.7 V, which is Rail-to-Rail.

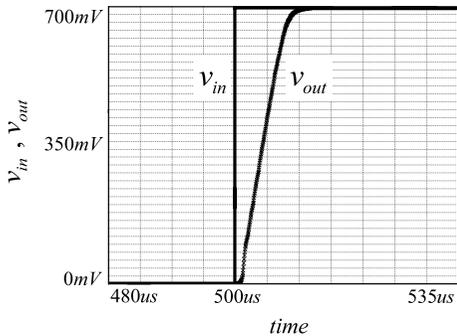


図 14 図 12 のオペアンプのボルテージフォロウ構成でのステップ応答. 0.5 ms でステップ信号を入力したときの V_{out} の時間変化は入力に V_{in} に追従していることが確認できる

Fig. 14 SPICE simulated step response of the proposed operation operational amplifier (Fig.12) with voltage follower configuration. We see that the circuit is stable and V_{out} follows V_{in} .

の課題として次のことがある.

- デバイスマスマッチによるオフセットの影響を調べる.
- 入力段はソースフォロウ回路を用いており, 後段に比べて消費電流が大きい ($1.4 \mu A \times 2$). 回路の工夫により低消費電流化を図る.
- オペアンプ全体として更なる低消費電力化を図る.
- 更なる低電圧動作化 (0.5 V 以下).

謝辞 有益なコメントを頂きました埼玉工業大学吉澤浩和先生に謝意を表します.

文 献

- [1] T. Stockstand and H. Yosizawa, "A 0.9-V 0.5 μA rail-to-rail CMOS operational amplifier," IEEE J. Solid-State Circuits, vol.37, no.3, pp.286-292, March 2002.
- [2] 須藤 稔, 吉沢浩和, MOS のアナログ動作・基本と CMOS Op-Amp の設計技術, トリケップス, 2003.
- [3] J.H. Huijsing, Operational Amplifier — Theory and Design, Kluwer Academic Publishers, 2001.
- [4] 谷口研二, 低電圧 CMOS オペアンプ設計, システム LSI 技術学院, 2005.
- [5] 黒田 徹, 解析 OP アンプ&トランジスタ活用, CQ 出版社, 2002.
- [6] アナログ・デバイスズ, オペアンプの歴史と回路技術の基礎知識, CQ 出版社, 2003.
- [7] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill Companies, 2001.
- [8] P.R. Gray, P.J. Hurst, S.H. Lewis, and R.G. Meyer, Analysis and Design of Analog Integrated Circuits, fourth ed., John Wiley & Sons, 2001.
- [9] E. Sanchez-Sinencio and A.G. Andreou, ed., Low-Voltage/Low-Power Integrated Circuits and Systems — Low-Voltage Mixed-Signal Circuits, IEEE Press, 1999.

(平成 17 年 9 月 2 日受付, 12 月 5 日再受付)



柚木崎 豊

2003 群馬大・工・電気電子卒. 2005 同大学院修士課程了. 同年三洋 LSI デザイン・システムソフト(株)入社. 現在, 音響用アナログアンプの設計に従事.



小林 春夫 (正員)

1980 東大・工・計数卒. 1982 同大学院修士課程了. 同年横河電機製作所入社. 1989 米国カリフォルニア大学ロサンゼルス校 (UCLA) 電気工学科修士課程了. 1997 群馬大学助教授, 2002 同教授. ミックスド・シグナル集積回路設計, 信号処理アルゴリズムに関心をもつ. IEEE 会員. 工博 (早稲田大学).



名野 隆夫 (正員)

1964 熊谷工業高校・電気卒。同年三洋電機(株)入社。1965 から 1968 まで茨城大学へ国内留学。1968 より三洋電機にて、PMOS, CMOS ロジック LSI 設計, CAD システム開発, デバイスマデリング開発, DRAM 設計, CMOS アナログ回路設計に従事。2004 より社内「アナログ大学院」専任講師。工博(群馬大学)。



鈴木 達也

1986 日大・理工・電子卒。同年富士重工業(株)入社。乗用車向け生産技術開発に従事。1991 三洋電機(株)入社。高耐圧 CMOS プロセスを用いた LCD ドライバやプリンタドライバ IC 及び発振回路等の開発に従事。2001 よりチャージポンプ電源 IC 及びセンサ向けアナログ CMOS-IC の基盤技術開発と開発取りまとめに従事。



趙 楠

2006 群馬大・工・電気電子卒。現在, 同大大学院博士前期課程在学中。アナログ集積回路設計に関心をもつ。