

タイムデジタイザを用いた A-D 変換器アーキテクチャ

小室 貴紀^{†a)} ヨッヘン リヴォアル^{††} 清水 一也^{†††}
 光野 正志^{††} 小林 春夫^{††}

ADC Architecture Using Time-to-Digital Converter

Takanori KOMURO^{†a)}, Jochen RIVOIR^{††}, Kazuya SHIMIZU^{†††}, Masashi KONO^{†††},
 and Haruo KOBAYASHI^{†††}

あらまし この論文では、微細半導体プロセスでの実現に適した A-D 変換方式を提案する。入力信号を時間領域で測定するタイムデジタイザ回路を用いて A-D 変換を行う。トラックホールド回路によってサンプリングされ保持された入力信号とサンプリングクロックに同期した基準余弦波信号をコンパレータ回路で比較し、サンプリングクロックエッジからコンパレータ出力の「0」から「1」または「1」から「0」へ遷移するまでの時間をタイムデジタイザ回路を用いて測定する。大部分の回路が低電圧動作可能なデジタル回路で構成できるため微細半導体プロセスでの実現に適している。また現在はタイムデジタイザ回路は数ピコ秒の分解能が実現可能であり、更に半導体の微細化が進むと時間分解能の向上が期待できるので、この方式ではアーキテクチャ回路の大幅な変更なしで A-D 変換性能向上が見込める。提案する A-D 変換器の基本動作と性能を確認する目的で、チップを試作し測定評価を行ったので報告する。

キーワード A-D 変換器, タイムデジタイザ, サンプリング, 低電圧

1. ま え が き

半導体プロセスは微細化の一途をたどっている。デジタル回路は微細化が進めばチップ面積を縮小することができ、また高速に低消費電力で動作するので、微細化のトレンドに合っている。一方アナログ回路は微細化に伴い素子ばらつきが増大し、電源電圧の低下による SNR 劣化などデジタル回路ほど微細化の恩恵を受けない。A-D 変換器の設計においても、電源電圧の低下により、電圧分解能を向上させて精度を出すことが難しくなる。しかし微細化が進めばトランジスタのスイッチング速度が高速になるため、デジタル信号の伝搬遅延を利用して時間分解能を決める方式であれば、ますます高精度が得られることが期待でき

る [1]。

そこで我々はデジタル回路リッチ・アナログ回路最小の A-D 変換器としてタイムデジタイザ回路を用いた A-D 変換器を提案する。アナログ回路部は低電圧動作可能な簡単な回路を用いているので、半導体プロセス微細化が進んでもその部分の設計変更が少なくよい。またデジタル回路部はより高速・低消費電力になるので微細化の恩恵を大きく受けることができ、微細半導体プロセスに適した方式である。

更に提案 A-D 変換器の動作を確認するためチップを試作・測定評価し、提案 A-D 変換器の 1 種類の回路で、DC、オーディオ、ビデオ帯の信号測定をカバーできる可能性を示した。最後に今後の課題について言及する。

2. 提案する A-D 変換器アーキテクチャ

2.1 タイムデジタイザ回路

タイムデジタイザ回路 (TDC: Time to Digital Converter) とは時間または時間間隔を計測しその値をデジタル出力する回路である。その実現回路は既知の周波数のクロックをカウントする方式など様々な方式が提案されている。

[†] アジレント・テクノロジー・インターナショナル (株), 八王子市 Agilent Technologies International Japan, Ltd., 9-1 Takakura-cho, Hachioji-shi, 192-8510 Japan

^{††} ヴェリジー・ジャーマニー・GmbH, 独国 Verigy Germany GmbH, Herrenberger Str. 130, D-71034 Boeblingen, Germany

^{†††} 群馬大学工学部電気電子工学科, 桐生市 Dept. of Electronic Engineering, Gunma University, 1-5-1 Tenjin-cho, Kiryu-shi, 376-8515 Japan

a) E-mail: takanori_komuro@agilent.com

その中で筆者らは高速 CMOS デジタル回路を用いた方式に注目した [2], [3]. TDC に信号が入力された時刻までに, インバータ列による遅延回路内を基準クロックのエッジがどこまで進んだかを測ることにより, インバータの遅延時間に相当する分解能で時間測定が可能となる (図 1). 更に, TDC の測定可能範囲を拡大するために, カウンタによる低分解能の時間測定と組み合わせることも一般的に行われている. 時間間隔の測定はタイミングパルスが起こったときにディレラインの状態をレジスタに書き込み, 次の状態との差を計算することによってなされる. まず基準クロック (CLK) によって大まかな時間間隔を推定し, インバータ遅延により非常に分解能の高いディレラインを構成し時間間隔を測定する. 図 1 のようにフリップフロップのクロック部にコンパレータ出力 (被測定パルス信号) を入力する. また基準クロック (CLK) をディレラインに入力し, インバータ遅延の接続点の中間タップ (D1, D2, D3, ...) をフリップフロップのデータ部 (D) に入力する. そのフリップフロップ出力 (Q) によりコンパレータ出力タイミングを高時間分解能で検出する.

現時点で 0.13 μm の CMOS プロセスを用いて 10 ps の時間分解能を達成した TDC が報告されている [2]. この方式は構成要素がデジタル回路のみであるので, CMOS プロセスが微細化されデジタル回路が高速化されるに従い時間分解能やサンプリング周期等の TDC の性能の向上が期待できる. この論文では TDC とその前段にアナログデータを時間データに変換する回路とで構成する A-D 変換器を提案する. 同様に半導体プロセスの微細化とともにこの構成の A-D 変換器の性能向上が期待できる.

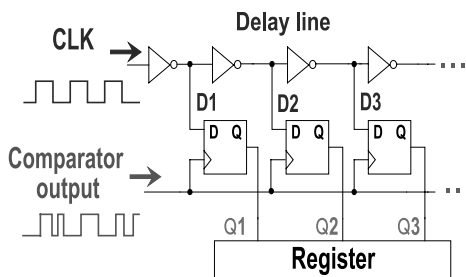


図 1 インバータ遅延を用いたタイムデジタイザ回路の基本構成

Fig. 1 Time-to-digital converter circuit with inverter delays.

2.2 TDC を用いた A-D 変換器の構成 (タイプ I, 非一様サンプリング)

図 2 に上記の TDC にコンパレータと基準余弦波信号発生器を加えた提案 A-D 変換器構成を示す. コンパレータ出力が「0」から「1」または「1」から「0」への遷移を TDC で観測することにより, 入力信号と基準余弦波信号が一致するタイミングをデジタルデータとして得ることができる. 余弦波信号の情報 (振幅, 周波数, 初期位相など) を既知とすると, そのタイミングでの基準余弦波の電圧値を確定することができる. これは入力信号の電圧値と等しいので, コンパレータ出力から入力信号の電圧値を確定することができる. すなわち入力電圧とコンパレータ出力遷移タイミングのデジタルデータの関連が得られることになり, 全体として A-D 変換器として動作する. 筆者らはこの構成の動作とシミュレーション結果を [4] で報告した. 以下式を用いて動作を記述する.

A-D 変換器の入力レンジを $-A$ から A とする. 基準信号の余弦波 $V_{ref}(t)$ の振幅は A で, 周期はクロック CLK 周期と同じ T とし, またクロックの立上りエッジで $V_{ref}(t)$ の位相は 0 とする. すなわち

$$V_{ref}(t) = A \cos\left(2\pi \frac{t}{T}\right).$$

入力アナログ信号 $A_{in}(t)$ と基準信号の余弦波 $V_{ref}(t)$

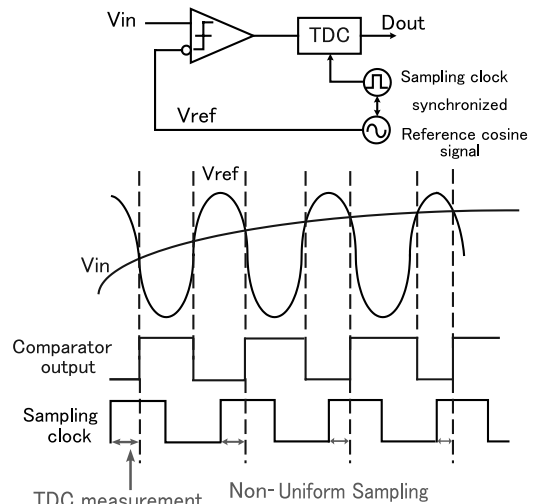


図 2 提案する TDC を用いた A-D 変換器の構成と動作 (タイプ I, 非一様サンプリングを行う)

Fig. 2 The proposed ADC architecture (type I) and its operation. It employs a TDC and performs non-uniform sampling.

をコンパレータ回路で比較する．コンパレータ回路の出力波形 (Comparator output) は「1」か「0」の方形波が得られる．クロック (Sampling clock) の立上りエッジから (クロック周期 T 内に最初に現れた) この「1」と「0」の切り換わる瞬間の時間をタイムデジタイザ回路により測定する．この時間と基準信号である余弦波からその時間における入力信号の振幅を求めることができる． $nT \leq t < (n+1)T$ において

$$A \cos\left(2\pi \frac{t_n}{T}\right) = A_{in}(t)$$

$$\text{ゆえに } t_n = T \arccos\left(\frac{A_{in}(t)}{A}\right).$$

t_n をデジタル化したものが TDC の出力 $T_{out}(n)$ であり，A-D 変換器のデジタル出力 $D_{out}(n)$ は

$$D_{out}(n) = A \cos\left(2\pi \frac{T_{out}(n)}{T}\right)$$

となる．

しかし上記の方法で得られるデータ $D_{out}(n)$ は $A_{in}(t)$ を (通常の同期型 A-D 変換器のように時刻 nT でサンプリングした値ではなく) 時刻 $nT + t_n$ でサンプリングしたデジタル値である．通常の A-D 変換の用途では，得られたデータにはデジタルフィルタ処理や FFT 処理などが加えられるが，これらのデジタル信号処理は，等時間間隔 (Uniform Sampling) で得られたデータ列を前提とした体系が確立しており，非一様サンプリング (Non-uniform Sampling) のままでは扱いにくい．非一様サンプリングされたデータを信号処理の手法で等時間間隔のデータに変換する手法も提案されているが [5] ~ [7]，計算量が膨大になり最終的な変換結果を得るまでに時間がかかるので現状では用途が制限される．そこで今回は上記の手法を更に改良して簡単な構成で同期サンプリングを行う方法を提案する．

2.3 TDC を用いた A-D 変換器の構成 (タイプ II, 一様サンプリング)

図 3 に今回提案する A-D 変換器の基本的な構成と動作を示す．図 2 の構成にトラックホールド回路を付加した構成である．サブレンジング型 A-D 変換方式などと比較して，アナログ部分の構成がシンプルで実現が容易である．

基準余弦波 (V_{ref}) が最大値となるタイミングでトラックホールド回路は入力信号をサンプリングして，そのときの入力電圧を保持する (V_{hold})．この保持された

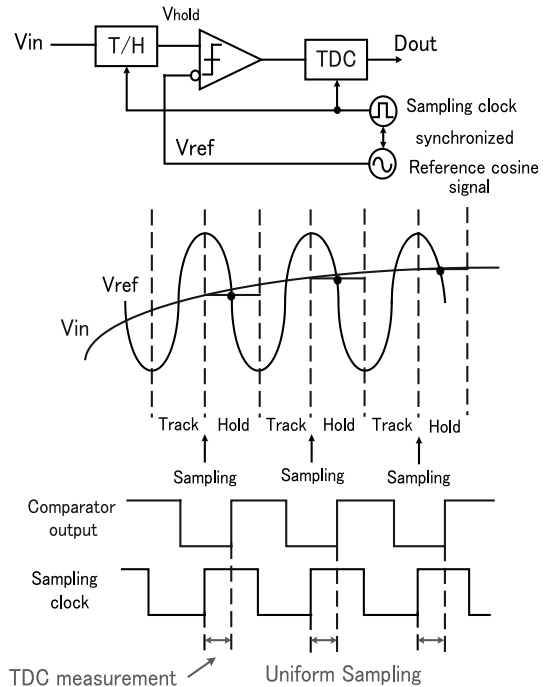


図 3 提案する TDC を用いた A-D 変換器の構成と動作 (タイプ II, 前段にトラックホールド回路を用いて一様サンプリングを行う)

Fig. 3 The proposed ADC architecture (type II) and its operation. It employs a TDC and performs uniform sampling with a track/hold circuit.

電圧と基準余弦波が交差するタイミング (t_1, t_2, t_3, \dots) は，後続のコンパレータと TDC によりデジタル値として得られる．基準余弦波信号の振幅 A ，周波数 f ，初期位相 θ のパラメータは，事前の校正操作により既知とすることができるので，各タイミング t_n における基準余弦波の電圧は $A * \cos(2\pi f t_n + \theta)$ から求められる．この電圧はトラックホールド回路がホールド動作に移る瞬間にサンプリングした入力電圧に等しいので，そのタイミングにおける入力電圧値をデジタル値として得たことになる．

この方式ではトラックホールド回路の働きにより等間隔のサンプリングが行われるので，通常の A-D 変換器と同じ同期サンプリングのデジタルデータが得られる．

2.4 積分型 A-D 変換器との比較

提案 A-D 変換器は電圧信号を時間領域で計測するという観点から積分型 A-D 変換器と共通であるが，次の点で異なる．

- 提案 A-D 変換器では基準信号に余弦波を用い

ており積分型ではランプ波を用いている．余弦波は高周波で精度の高いものが得やすいが，ランプ波は高精度なものを IC 内回路で発生するのは難しい．

● 提案 A-D 変換器では時間を測定するのに高時間分解能 TDC を用いているが，積分型では一般にカウンタ（低時間分解能）を用いている．

したがって提案方式は高速・高精度 A-D 変換器を微細半導体プロセスでの IC として実現するのに適している．積分型は低速・超高精度 A-D 変換器を実現するのに適しているが，必ずしも微細半導体プロセス IC での実現には適していない．

また，積分型 ADC では傾きが一定のランプ波を用いているので ADC の分解能の LSB (Least Significant Bit) が存在するが，提案 ADC は基準余弦波の傾きはその信号レベルに依存して一定でないので ADC 分解能は入力電圧レベルに依存する．すなわち提案 ADC は「すべての入力信号レベルに対して一定の分解能」は成立しないので，LSB という概念が存在せず，従来の ADC のように LSB を基準として INL や DNL を議論することができない．代わりに直線性が保障されたランプ波入力に対して，本提案 ADC の変換結果がどの程度の偏差をもつかの性能評価が考えられる．

2.5 デルタシグマ型 A-D 変換器との比較

「微細プロセスのメリットを生かす」という観点からはデルタシグマ型 A-D 変換器も有力なアプローチとして広く用いられている．デルタシグマ型に対する本方式の特長は，高速・広帯域 A-D 変換に対して有利であるということである．デルタシグマ型 ADC で高速・広帯域 A-D 変換を実現するためにはオーバーサンプリングが必須でサンプリング周波数を上げなければならないが制約が生じる．それに対して本提案の ADC は信号帯域をナイキスト周波数まで利用でき，更にそれを超えてサンプリングオシロスコープ，LSI テスタ等の電子計測器に必要なアンダサンプリング（等価時間サンプリング）も可能である．

3. 提案 A-D 変換器の誤差要因と実現上の考察

3.1 TDC の時間分解能の影響

TDC の時間分解能 (Δt) は基準余弦波の傾き ($dV_{ref}(t)/dt$) に従って入力電圧に対する分解能 (ΔV) に対応する．

$$\Delta V = \left| \frac{dV_{ref}(t)}{dt} \right| \Delta t.$$

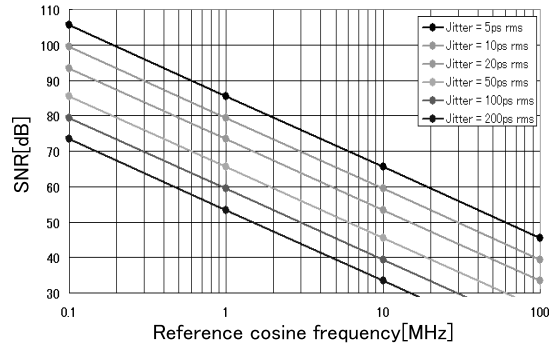


図 4 TDC の時間分解能（等価的にジッタ rms 値）に対する ADC SNR への影響

Fig.4 TDC time resolution (or equivalently, jitter rms value) versus ADC SNR.

今 TDC の時間分解能 (Δt) が一定である場合を考えると，基準余弦波の周波数 (f_s) が上がっていくに従って A-D 変換器としての分解能は線形に低下していく (ΔV が大きくなってしまう)．すなわち $V_{ref}(t) = A \cos(2\pi f_s t)$ のとき

$$\Delta V = 2\pi f_s A |\sin(2\pi f_s t)| \Delta t$$

したがって

$$\Delta V_{max} = \Delta t \leq 2\pi f_s A \Delta t \tag{1}$$

となる．図 3 の構成では基準余弦波の周波数 f_s は A-D 変換器のサンプリング周波数でもあるので，今回提案した A-D 変換器ではサンプリング周波数 f_s が上昇するに従って電圧分解能が線形に低下する．

図 4 に時間分解能 Δt (TDC ジッタの rms 値とみなすこともできる) をパラメータとして f_s と提案 ADC で達成できる SNR の数値計算結果を示す．ここでは実際に A-D 変換器として利用する場合を想定して，入力信号 $V_{in}(t)$ を基準余弦波振幅の (1/1.2) 倍と仮定した．

$$V_{in}(t) = (A/1.2) \cos(2\pi f_{in} t). \tag{2}$$

(1), (2) から SNR を次のように計算した．

$$\begin{aligned} SNR &= 20 \log_{10} \frac{V_{in} \text{の実効値}}{\Delta V_{max}} \\ &= 20 \log_{10} \left(\frac{1}{\sqrt{2} \times 1.2} \cdot \frac{1}{2\pi f_s \Delta t} \right) \text{ [dB].} \end{aligned}$$

TDC の時間分解能が 10 ps で 1 MHz の基準余弦波を用いた場合には，理想的には提案 A-D 変換器は 80 dB 程度の SNR が得られる．

3.2 TDC のオンチップ化と自動校正

5. で述べる ADC 試作結果では TDC はオフチップのものを用いているが、将来的には高い精度をもつ TDC をオンチップ化することが望ましい。最近の微細 CMOS の IC では、複雑な信号処理を行えるプロセッサを内蔵することは、当然と考えられている。更に微細 CMOS では、デジタル回路の規模が多少増えることは問題にならない。したがって、TDC 回路を冗長にチップ内にもって、A-D 変換の動作中に内蔵プロセッサを利用してバックグラウンドで TDC の自動校正作業を行うことは容易に実現できる。これにより TDC は、十分に高い精度をもつことが期待できる。筆者のうちの 1 人は、実際に自己校正機能を備えた TDC を微細 CMOS で実現する手段を提案している [8], [9]。すなわちこれら自動校正の技術を併用することで微細化に伴い CMOS オンチップ TDC の性能は向上していくことが予想できる。

3.3 基準余弦波信号のひずみの影響

提案 A-D 変換方式では、基準余弦波がひずんでいた場合には、A-D 変換された結果にもひずみが生じる。しかし基準余弦波のひずみが既知であれば、時間データを電圧データに戻す部分で基準余弦波のひずみを含んだ形で時間・電圧変換を行えばよい。更に基準余弦波のひずみによる影響は A-D の入力に D-C の場合でも全く同様に発生するので、既知の D-C 入力を用いて A-D の直線性を校正することは容易である。

3.4 基準余弦波信号発生回路

一般的に ADC よりも DAC の方が構成が単純で高速・高精度を実現しやすい。したがって基準余弦波を「発生する」部分の性能が、ADC 全体の性能のネックとなる危険性は極めて少ない。実用的な A-D 変換器の構成では高純度の基準余弦波信号発生のためにデルタシグマ型 D-A 変換器をチップに内蔵することが有効である。この D-A 変換器は、ほとんどの構成要素がデジタル回路であり、TDC と同様に半導体プロセスが微細になるにつれて性能が向上する。

この D-A 変換器の実現上の問題は (変調器のデジタル部ではなく) 後段の LPF (Low Pass Filter) の構成方法である。LPF の実現のため高性能な容量、例えば MIM (Metal-Insulator-Metal) 容量を IC 内部に搭載することは技術的に可能であるが経済的な観点から制約となる場合もあり得る。その場合は高性能容量をチップ外に置くことで対応できる (この外付け容量は IC に不可欠な電源のバイパスコンデンサと同

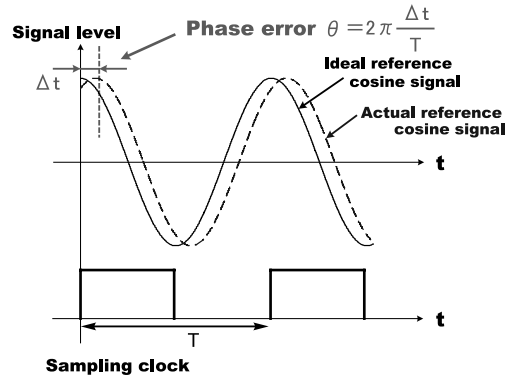


図 5 基準余弦波とサンプリングクロック間の位相差の定義
Fig. 5 Phase error between the reference cosine signal and sampling clock.

様に扱うことができるので現実的な問題は少ない)。

実際我々はオンチップで D-A 変調器を試作し外付け容量で LPF を実現して提案 ADC 全体の性能劣化のネックにはなっていないことを確認している。

3.5 基準余弦波とサンプリングクロックの位相差による影響

提案 A-D 変換方式 (タイプ II) に固有の誤差要因として、実際にコンパレータに印加される基準余弦波信号と TDC 出力 (時間情報) を電圧に変換する部分で使用するサンプリングクロック間の位相差がある (図 5)。提案した A-D 変換方式では基準余弦波とサンプリングクロックとの間には図 3 で示した位相関係が成立していることが前提となっている。実際に印加されている基準余弦波とサンプリングクロックの間に上記の仮定からの隔たりがある場合は、TDC 出力 (時間情報) を電圧に換算する過程で非線形誤差 (高調波ひずみ) が発生する。この現象は、実際に印加されている基準余弦波 (Actual reference cosine signal) と電圧に変換する部分で使用する数式としての基準余弦波 (Ideal reference cosine signal) の間に位相差が生じて、非線形な誤差を含んだ変換が行われることが原因である。図 6 にその影響のシミュレーション結果を示す。しかしこの誤差はキャリアレーションでキャンセルが可能であることを実チップで検証した (5. 参照)。

3.6 トラックホールド回路

提案 A-D 変換器 (タイプ II) ではトラックホールド回路を使用しているが、低電源電圧・微細 CMOS 化においては、トラックホールド回路内のスイッチのチャージインジェクションにより検出した信号レベル

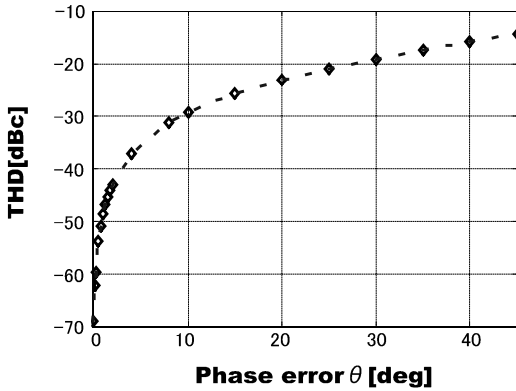


図 6 基準余弦波とサンプリングクロック間の位相差による提案 ADC (タイプ II) の全高調波ひずみのシミュレーション結果

Fig. 6 Simulated total harmonic distortion of the proposed ADC (type II) due to the phase error between the reference cosine signal and the sampling clock.

に誤差(すなわち非線形性)が生じる, という問題が顕著になる. この問題を解決するため回路技術ではボトムプレートサンプリング技術等が開発されてきている. また, 今回の ADC は LSI テスタへの応用を想定しておりそこでは校正技術が使用できるので, チャージインジェクションによる非線形性も校正により取り除くことができ得る. 更に, 将来的には非一様サンプリング信号処理技術を確立し, トラックホールド回路を使用しない提案 ADC (タイプ I) も開発していく.

4. 試作した A-D 変換器チップ (タイプ II) の概要

提案する A-D 変換器アーキテクチャの動作と有効性を実チップで確認する目的で, 提案 A-D 変換器 (タイプ II) のチップを試作・測定評価し, 提案 A-D 変換器の一つで D-C, オーディオ, ビデオ帯の信号測定をカバーできることを示した (試作・評価した回路部分は図 7 の点線で囲んだ「Device Under Test」部である). 使用した半導体プロセスは MAXIM 社の CB-2 で, 同社の QuickChip サービスにより試作を行った. QuickChip サービスは, 所望の機能を短納期・低価格で実現するセミ・カスタム IC のサービスであり, トランジスタや容量, 抵抗を仕込んだ標準ウェーハに対して, 配線層のみを自由に使うことができる. 今回使用した QuickChip に仕込まれている素子の概要を表 1 に示す. QuickChip では, ショットキーダイオード

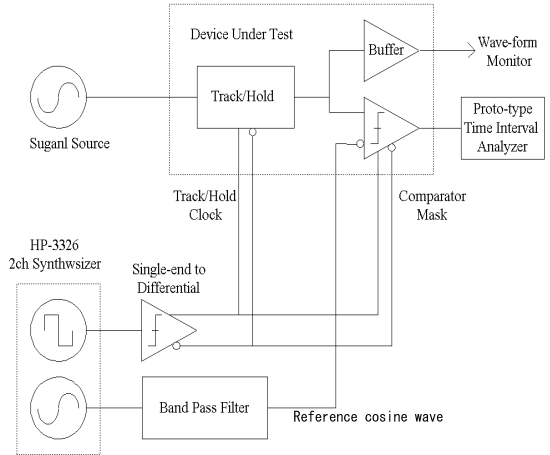


図 7 試作 ADC チップ測定評価環境

Fig. 7 Measurement setup of the prototype ADC chip.

表 1 試作で用いたプロセスでの素子の概要
Table 1 Device characteristics of the fabrication process.

NPN Transistor	$BV_{CBO}=17V, f_T=8.7GHz, 3\text{ Sizes}$
PNP Transistor	$BV_{CBO}=12V, f_T=6.4GHz, 3\text{ Sizes}$
Pchannel JFET	Available
Schottky Diode	Guarded & Unguarded
Implanted Resistor	400 Ω , 4 k Ω & 10 k Ω
Nichrome Resistor	Available
Capacitor	MOS Capacitor, 0.5 pF

と P チャネル J-FET も用意されているので, それらを用いて低周波領域でも高性能なトラックホールド回路を実現できる (なお今回の ADC 試作ではその LSI テスタ応用のためこのパイポーラプロセスを用いたが, CMOS でも実現可能である).

5. 試作した ADC チップの測定評価

図 7 に試作 ADC 測定評価時のセットアップを示す. TDC として以下の性能の Agilent 93000 LSI Tester 用の試作品を利用した.

- 最大入力周波数: 250 [MHz]
- 時間分解能: 5 [ps]
- ジッタ: 20 [ps rms]
- 測定間隔: 2.5 [Msa/s]

この TDC 部分は CMOS チップに置き換える予定である. また基準余弦波信号として, 外部の発振器出力を高調波ひずみを除去するためのフィルタを通して十分に低ひずみな信号にして用いた.

図 8 に測定したトラックホールド回路の出力と基準

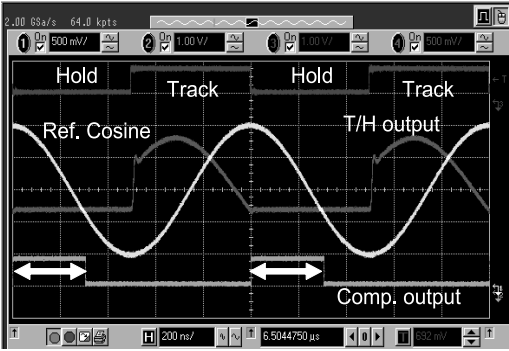


図 8 試作 ADC チップのトラックホールドクロック、トラックホールド出力、基準余弦波、コンパレータ出力の測定波形

Fig. 8 The measured waveforms of the track-hold clock, track-hold circuit output, reference cosine wave, comparator output in the prototype ADC.

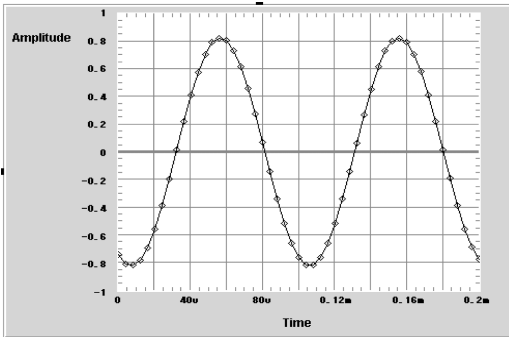


図 9 時間データ (TDC 出力) から電圧データへ変換した ADC 出力信号の再構成波形

Fig. 9 The reconstructed signal waveform obtained by converting the ADC TDC (timer) signal to amplitude data.

余弦波信号、コンパレータ出力の波形を示す。入力信号を 1 MHz, $1.8 V_{p-p}$ とし基準余弦波信号は 1 MHz, $2.0 V_{p-p}$ である。トラック期間中のコンパレータ出力の不要なエッジにより後続の TDC が誤動作するのを避けるために、トラック期間中のコンパレータの出力をトラックホールドクロックを用いて無効化した (図 7 中の Comparator Mask 信号がこの働きをしている)。図 8 中の矢印で示した時間を TDC で計測する。これらの測定波形から 2. で説明した動作を行っていることが確認できた。

更に入力信号は約 10 kHz, $1.6 V_{p-p}$ で、基準余弦波信号が 500 kHz, $2.0 V_{p-p}$ の場合の TDC 出力から振幅レベルの ADC 出力を再構成した波形を図 9 に示す

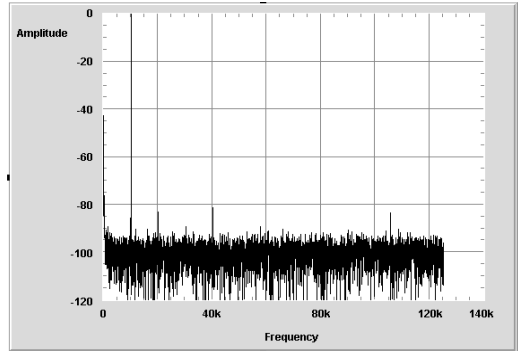


図 10 時間領域データから電圧データへ変換後に FFT をして得られた ADC 出力パワースペクトル

Fig. 10 The ADC output power spectrum obtained by FFT of the amplitude data converted from the time domain data.

表 2 試作 ADC の測定評価結果

Table 2 Measured performance of the prototype ADC.

入力帯域幅	DC ~ 65 MHz
サンプリング周波数	(1 kHz) ~ 10 Msa/s 下限は TDC のカウンタの長さで決まる
SNDR	85 dB @ 1 kHz, 100 ksa/s (A-weighted) 60 dB @ 1 MHz, 5 Msa/s 54 dB @ 1 MHz, 10 Msa/s

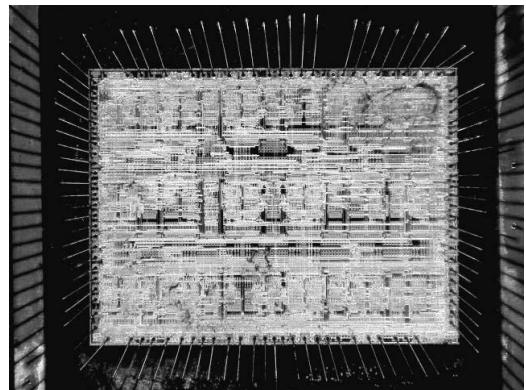


図 11 試作 A-D 変換器チップ写真

Fig. 11 A photo of the prototype ADC chip.

(評価に用いた TDC の制約によりサンプルデータは 1/2 に間引かれている。そのため、サンプリング周波数は 250 kHz 相当になっている)。これより A-D 変換器としての動作が正常に行われていることが確認できる。更にその再構成された電圧データに対し FFT 処理を行いパワースペクトルを得た結果を図 10 に示す。基準余弦波の位相誤差をキャリブレーションにより取り除き、80 dB 以上の SFDR が得られた。その他の測

定評価結果を表 2 に示す．なお表中の SNDR は評価に利用した TDC のジッタの値 (= 20 ps rms) で制限されており，ADC としての実力 (TDC より前段の回路性能) はこれ以上と推定している．図 11 に試作 A-D 変換器チップ写真を示す．

提案 ADC の試作・測定評価を通して，提案方式は簡単な構成ながら高い性能が得られ微細半導体プロセスでの ADC 実現に適した大きな可能性をもっていることが確認できた．

6. む す び

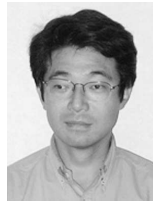
この論文では振幅情報を時間情報に変換するシンプルな回路と時間をデジタル計測するタイムデジタイザ回路から構成する A-D 変換器を提案した．タイムデジタイザ回路は半導体プロセスの微細化とともに性能の向上が期待できる．この A-D 変換器の性能はタイムデジタイザ回路の性能とともに向上していくので微細半導体プロセスでの実現に適した A-D 変換方式である．提案した A-D 変換方式に固有の誤差要因を指摘してその影響を考察し，実現上の問題を検討した．更に，セミカスタム IC により実際に A-D 変換器として動作するシステムを構築し特性の確認を行った．

タイムデジタイザを用いる A-D 変換方式はまだ研究が始まったばかりであり，今後この方式の多面的な展開をしていく．

文 献

- [1] R.B. Staszewski, K. Muhammad, D. Leipold, C.-M. Hung, Y.-C. Ho, J.L. Wallberg, C. Fernando, K. Maggio, R. Staszewski, T. Jung, K. Jinseok, S. John, I.Y. Deng, V. Sarda, O. Moreira-Tamayo, O. V. Mayega, R. Katz, O. Friedman, O.E. Eliezer, E. de-Obaldia, and P.T. Balsara, "All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS," *IEEE J. Solid-State Circuits*, vol.39, no.12, pp.2278-2291, Dec. 2004.
- [2] J. Jansson, A. Mantyniemi, and J. Kostamovaara, "A delay line based CMOS time digitizer IC with 13ps single-shot precision," *IEEE International Symposium on Circuits and Systems*, pp.4269-4272, Kobe, 2005.
- [3] J. Jansson, A. Mantyniemi, and J. Kostamovaara, "A CMOS time-to-digital converter with better than 10 ps single-shot precision," *IEEE J. Solid-State Circuits*, vol.41, no.6, pp.1286-1296, June 2006.
- [4] 清水一也, 元澤篤史, 林 海軍, 小室貴紀, 小林春夫, "タイムデジタイザを用いた非同期サンプリング AD 変換器と信号処理," *電子情報通信学会 第 19 回回路とシステム軽井沢ワークショップ*, pp.75-80, April 2006.
- [5] F. Marvasti, "Application of Nonuniform Sampling to Nonlinear Modulation, A/D and D/A Techniques," in *Nonuniform Sampling Theory and Practice*, pp.647-687, Kluwer Academic/Plenum Publishers, New York, 2001.
- [6] J.J. Benedetto and P.J.S.G. Ferreira, *Modern Sampling Theory: Mathematics and Applications*, Birkhauser Boston, 2001.
- [7] S. Bagchi and S.K. Mitra, *The Nonuniform Discrete Fourier Transform and its Applications in Signal Processing*, Kluwer Academic Publishers, 1999.
- [8] J. Rivoir, "Fully-digital time-to-digital converter for ATE with autonomous calibration," *Proc. IEEE International Test Conference*, Paper 6.3 (CD-ROM), Santa Clara, CA, Oct. 2006.
- [9] J. Rivoir, "Statistical linearity calibration of time-to-digital converters using a free-running ring oscillator," *Proc. Fifteenth Asian Test Conference*, pp.45-50, Fukuoka, Nov. 2006.

(平成 18 年 7 月 12 日受付, 8 月 31 日再受付)



小室 貴紀

1985 東大・工・電気卒．同年横河電機製作所入社．計測用 A-D 変換器の開発に従事．1991 から 1995 まで超伝導センサ研に出向し MEG システムの電子回路部の設計開発を行う．1995 から金沢工業大学で SQUID システムの開発を行う．1997 にアジレント・テクノロジー社入社し，以来ミックスド・シグナル LSI テスタの開発に従事．現在アジレント・テクノロジー・インターナショナル社．IEEE 会員．



ヨッヘン リヴォアル

1985 よりヒューレット・パッカード社，アジレント社，現在はヴェリジー社 (独) に勤務．そこで光ファイバー試験装置，パルス・データ発生器，コンピュータ検証ツール等のテスト試験装置の研究開発・マネージメント，SOC テスト研究を行う．テスト・システム・アーキテクトとして低コスト，高速，ミックスド・シグナル/RF 半導体試験装置に関する先端技術に関心をもつ．



清水 一也

2006 群馬大・工・電気電子卒。現在同大大学院修士課程在学中。アナログ集積回路，A-D 変換回路に関心をもつ。



光野 正志 (学生員)

2003 群馬大・工・電気電子卒。2005 同大大学院修士課程了。現在同大学院博士課程在学中。アナログ集積回路，スイッチング電源，MEMS 技術，計測制御技術に関心をもつ。電気学会，エレクトロニクス実装学会，IEEE 各学生員。2003 電気学会

学術奨励賞受賞。



小林 春夫 (正員)

1980 東大・工・計数卒。1982 同大大学院修士課程了。同年横河電機製作所入社。1989 米国カルフォルニア大学ロサンゼルス校 (UCLA) 電気工学科修士課程了。1997 群馬大学助教授，2002 同教授。ミックスド・シグナル集積回路設計，信号処理アルゴリズムに関心をもつ。2003 横山科学技術賞受賞。IEEE 会員。工博 (早稲田大学)。