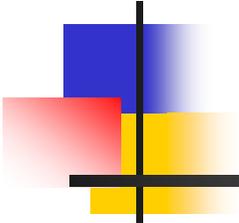


2007年10月30日

外国系半導体商社協会
アナログ技術セミナー(中級コース)

デジタルとアナログの 協調と共存



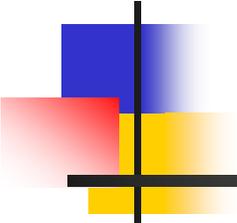
群馬大学大学院 工学研究科 電気電子工学専攻
小林春夫

連絡先: 〒376-8515 群馬県桐生市天神町1丁目5番1号
群馬大学工学部電気電子工学科
電話 0277 (30) 1788 FAX: 0277 (30)1707
e-mail: k_haruo@el.gunma-u.ac.jp



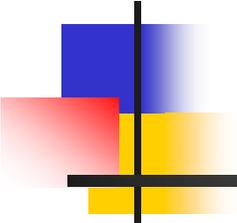
発表内容

- アナログを高性能化するデジタル技術
- デジタルを高性能化するアナログ技術
- 今後の技術課題



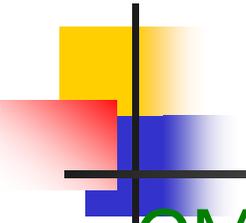
アナログを高性能化する デジタル技術

- デジタルアシストアナログ技術
- 波形のサンプリング技術
- デルタシグマAD変換器
- 時間領域AD変換器
- 逐次比較AD変換器
- DACのデジタル誤差補正



アナログを高性能化する デジタル技術

- デジタルアシストアナログ技術
- 波形のサンプリング技術
- デルタシグマAD変換器
- 時間領域AD変換器
- 逐次比較AD変換器
- DACのデジタル誤差補正



デジタル・アシスト・アナログ技術

CMOS微細化にともない

→ デジタルは大きな恩恵

高集積化、低消費電力化、高速化、低コスト化

→ アナログは必ずしも恩恵を受けない

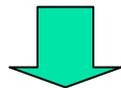
電源電圧低下、出力抵抗小、ノイズ増大

- 「デジタル技術を用いてアナログ性能向上する技術」が重要
- 「デジタルリッチ・アナログミニマムな構成」が重要
- SOC内 μ Controller はPAD程度のチップ面積

半導体プロセスと回路

— 目的と手段 —

「デジタルは半導体プロセス微細化のトレンドに適合。
アナログは適しているとは限らない。」



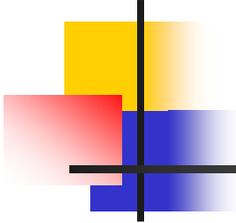
半導体ロードマップの呪縛にかかった発想・表現

半導体プロセスの微細化はデジタルの低消費電力・
高速・高集積化・低コスト化のために行う。

デジタルでメリットなければ半導体微細化をする理由なし。



微細化プロセスでもデジタルは必ず動く、高性能・低コスト。



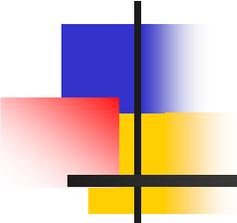
ナノCMOS時代のアナログ技術

キーワードは 「デジタルリッチ」 (空間)
に加えて 「高速サンプリング」 (時間)

ナノCMOS FETの余裕ある高速特性、
高周波特性を生かす設計が重要。

高周波回路

「ナノCMOSを用いたRF回路ではシステム仕様に
比べてトランジスタ高周波特性 (f_T) に余裕がある」
(群馬大学客員教授 石原昇先生)

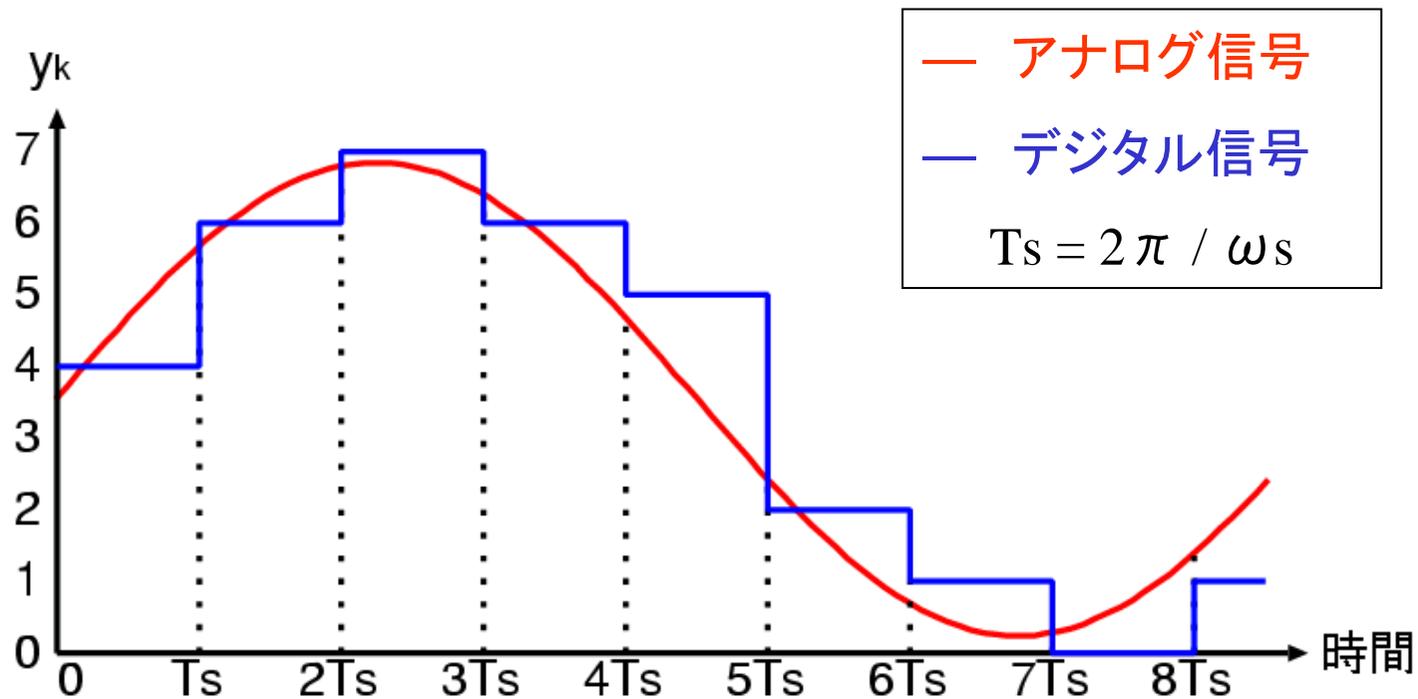


アナログを高性能化する デジタル技術

- デジタルアシストアナログ技術
- **波形のサンプリング技術**
- デルタシグマAD変換器
- 時間領域AD変換器
- 逐次比較AD変換器
- DACのデジタル誤差補正

デジタル信号の特徴(1)

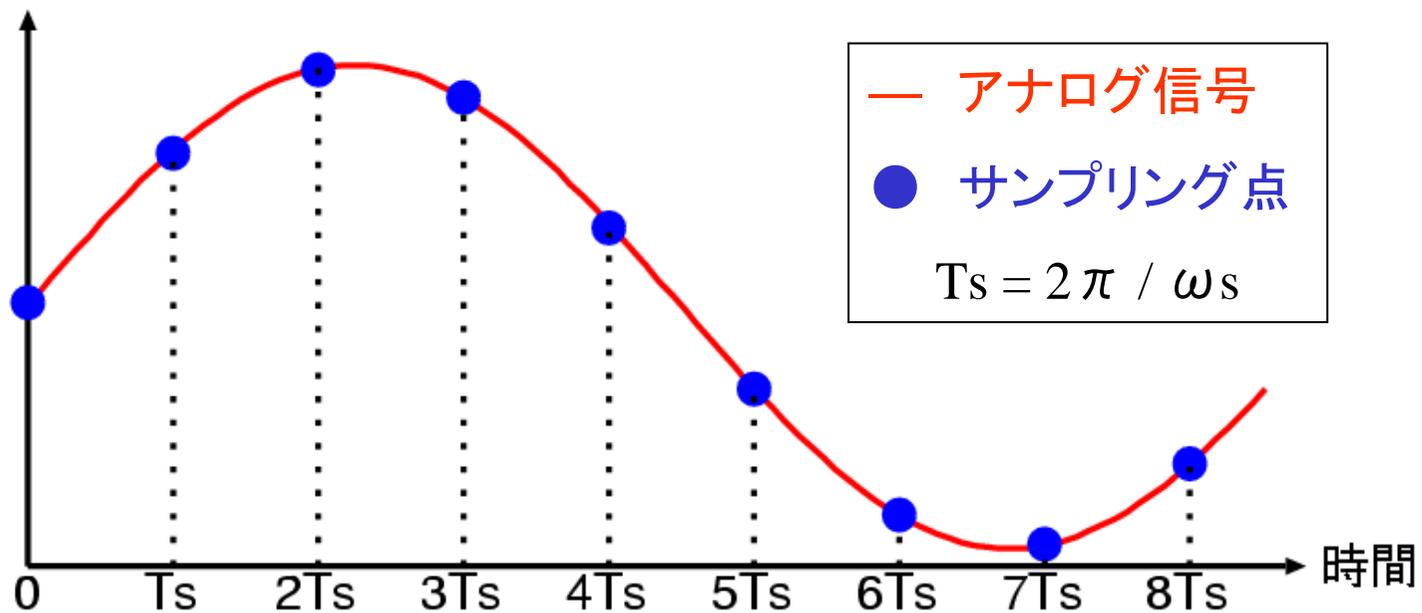
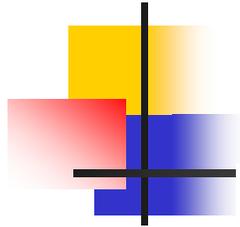
空間の量子化 (信号レベルの数値化)



デジタル信号はアナログ信号レベルを
四捨五入(または切り捨て)

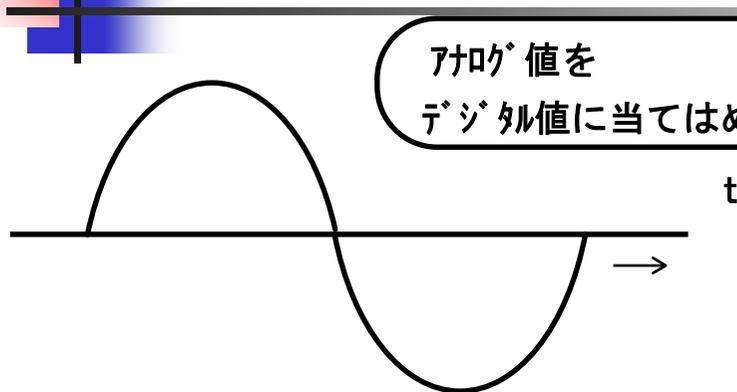
デジタル信号の特徴(2)

時間の量子化 (サンプリング)

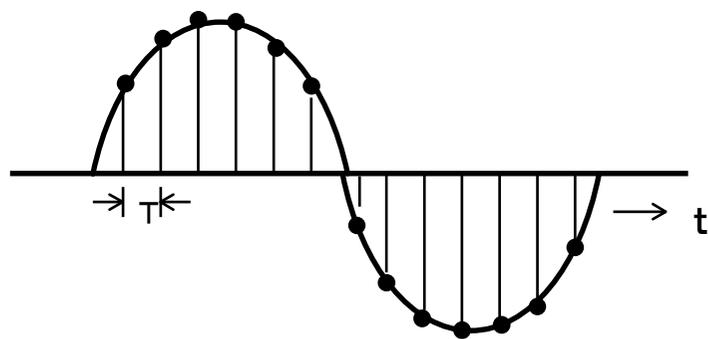


一定時間間隔のデータを取り、間のデータは捨ててしまう。

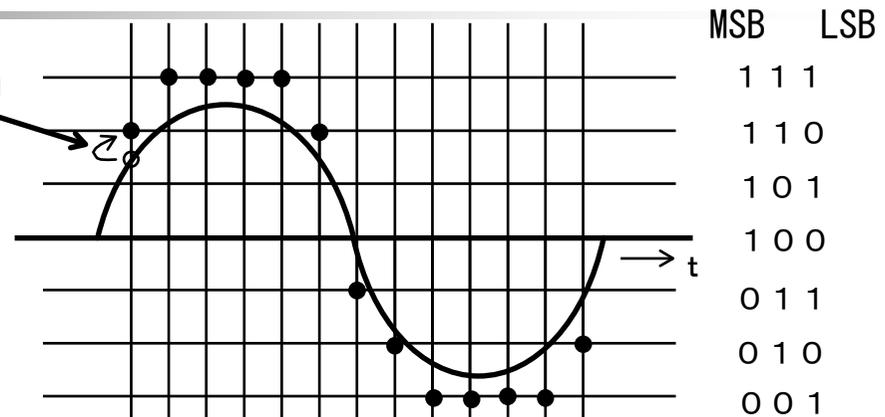
アナログ -> デジタル 変換波形



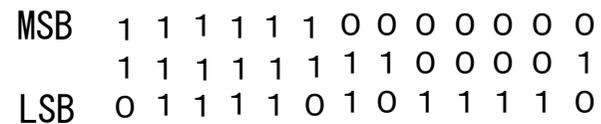
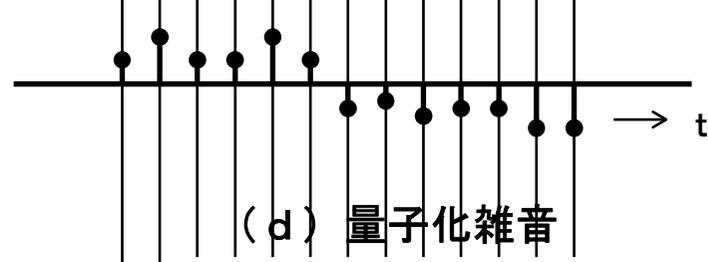
(a) アナログ入力



(b) 標本化



(c) 量子化



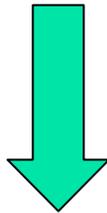
(e) 符号化

群馬大学
田中先生
作成資料

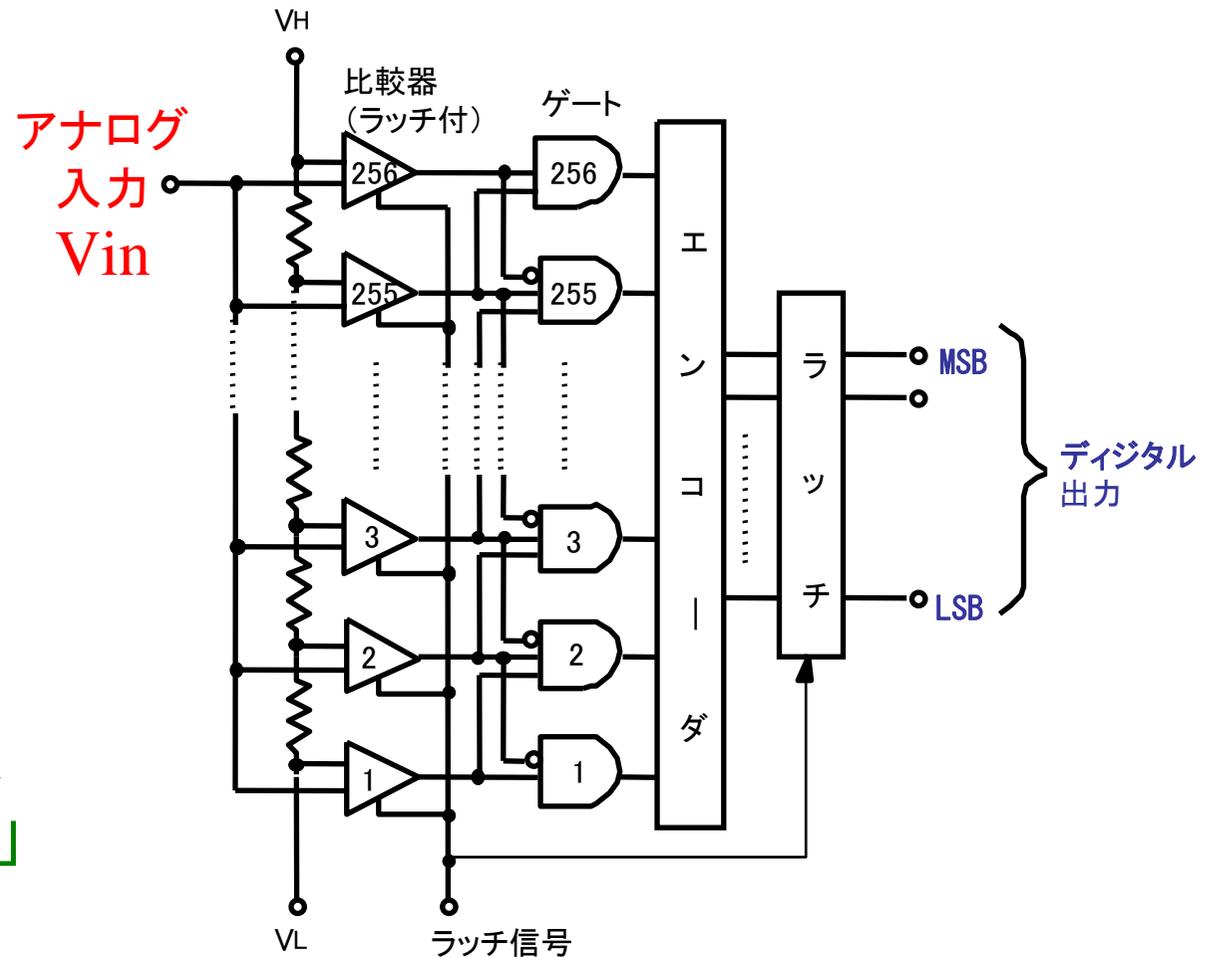
偉大なる方式 フラッシュ型AD変換器

8ビット以下の分解能の超高速ADC方式

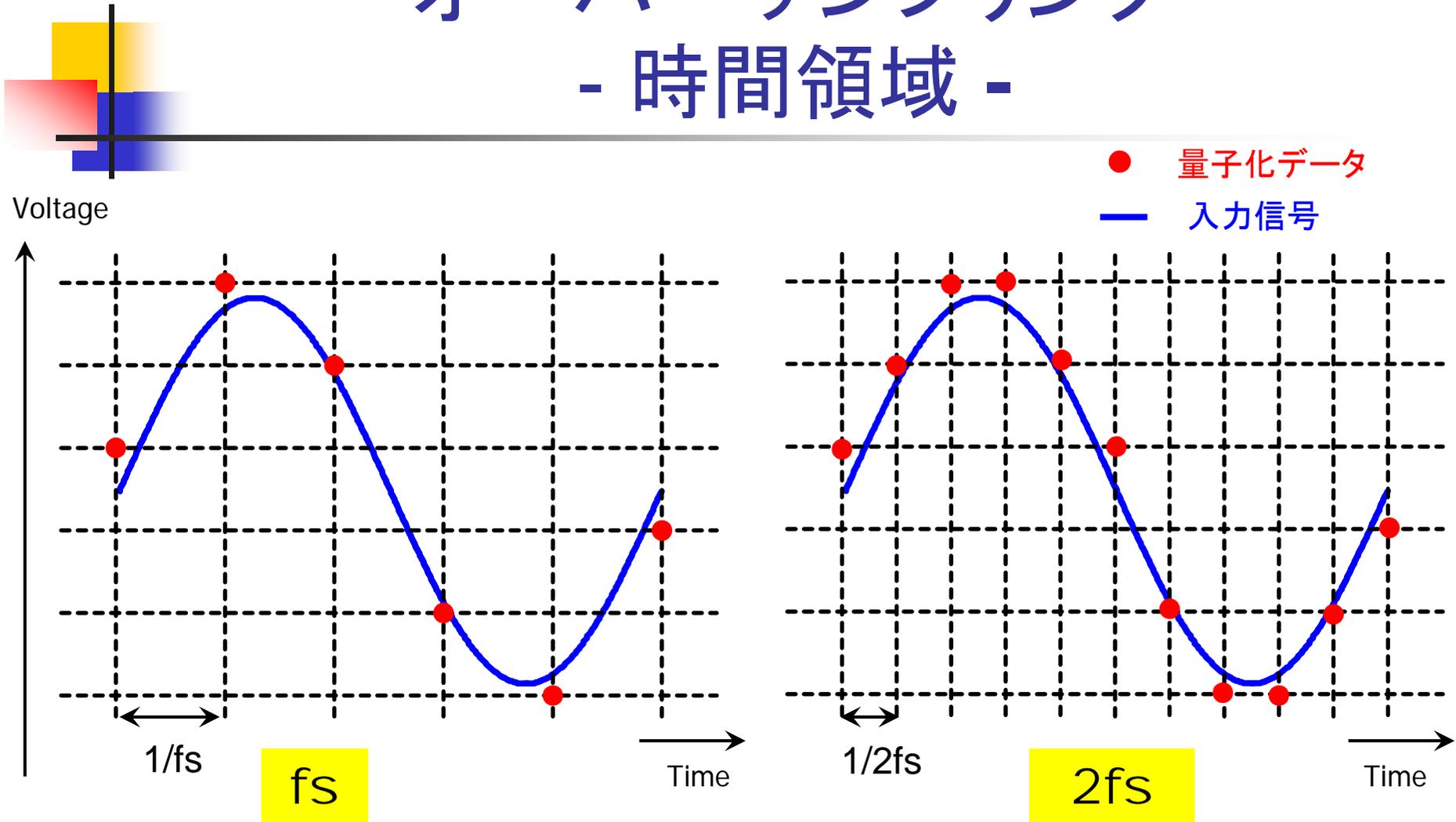
「フラッシュ型は
馬鹿な方法だ」



「フラッシュ型は
偉大なる方法だ」



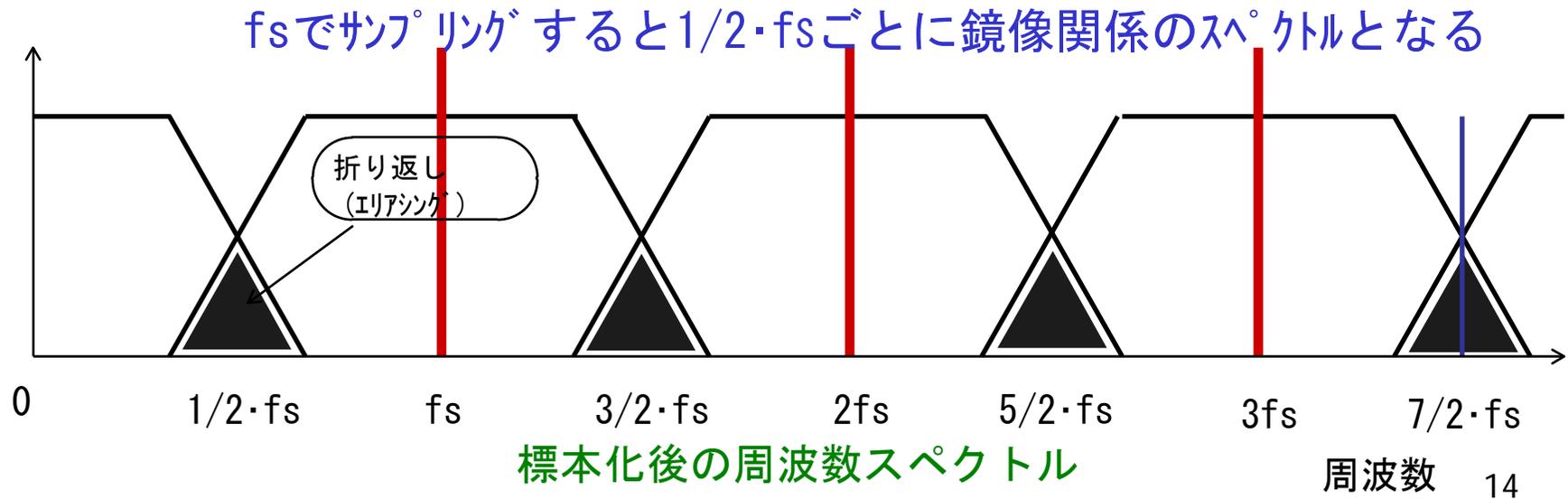
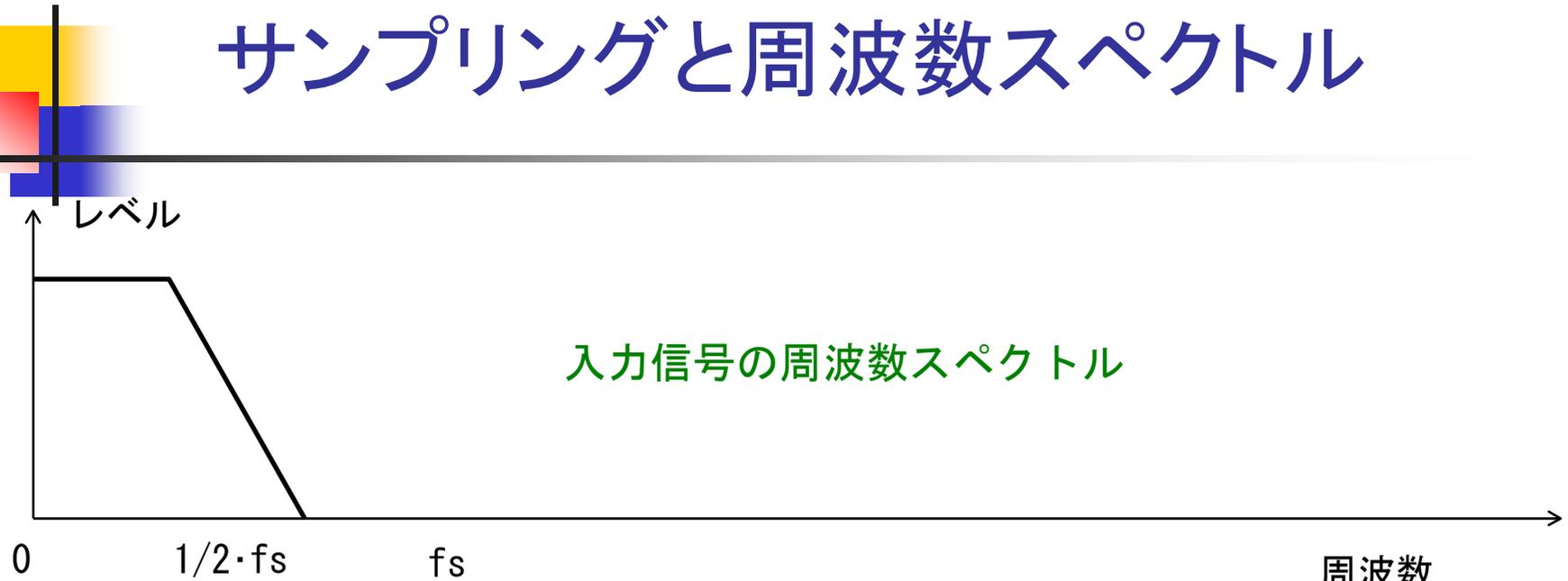
オーバーサンプリング - 時間領域 -



オーバーサンプリングにより

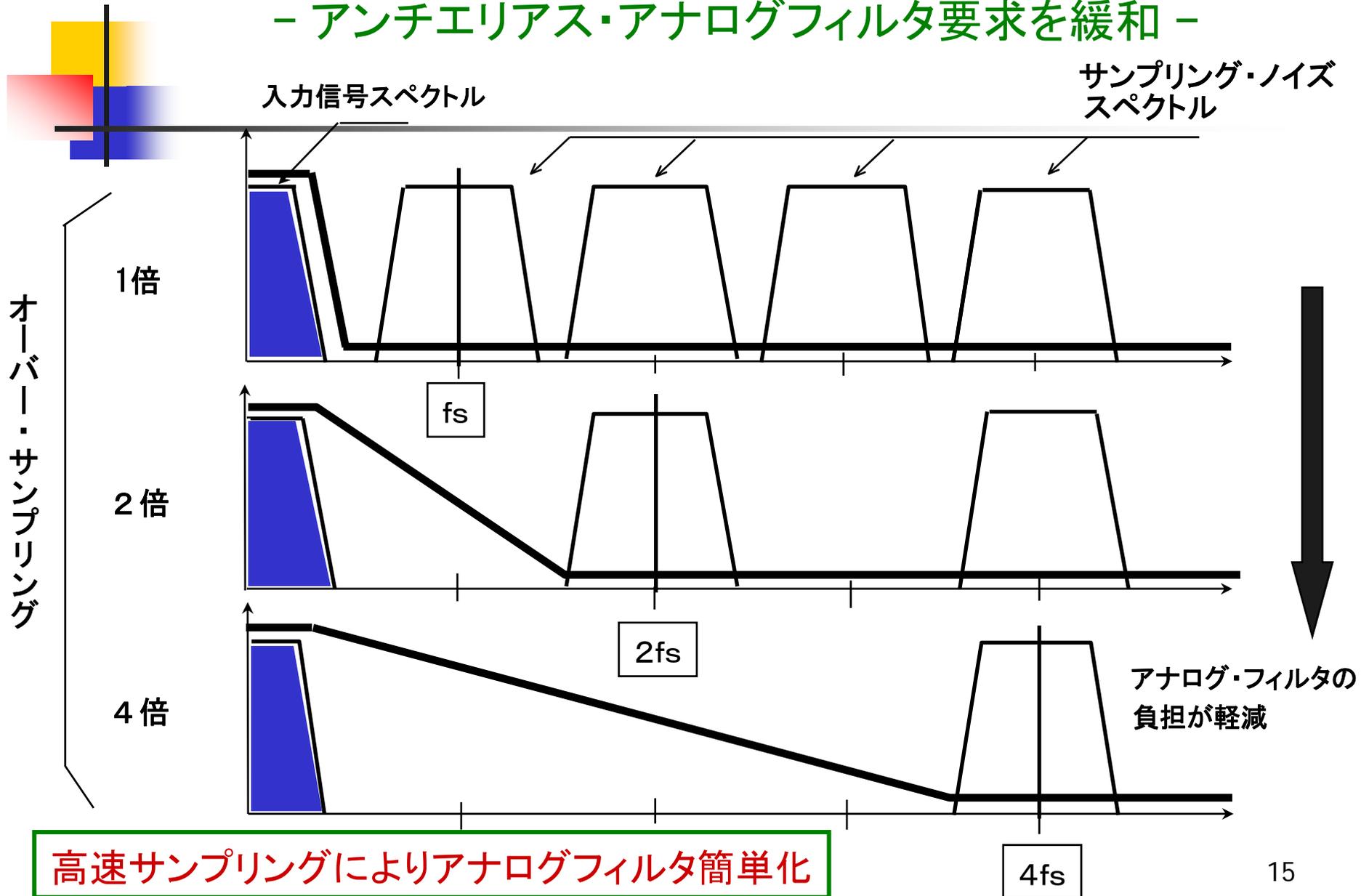
入力信号の再現性が高まる → 低ノイズ化

サンプリングと周波数スペクトル

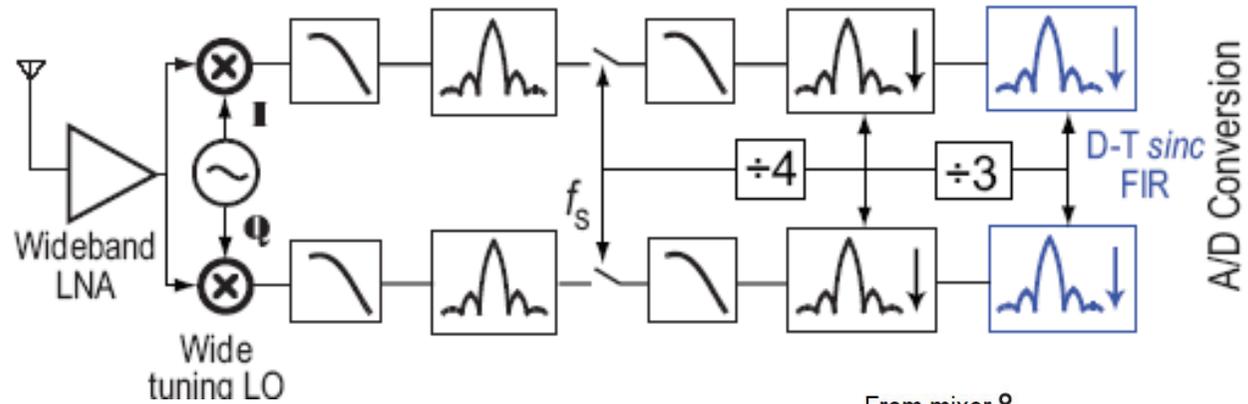


オーバーサンプリング

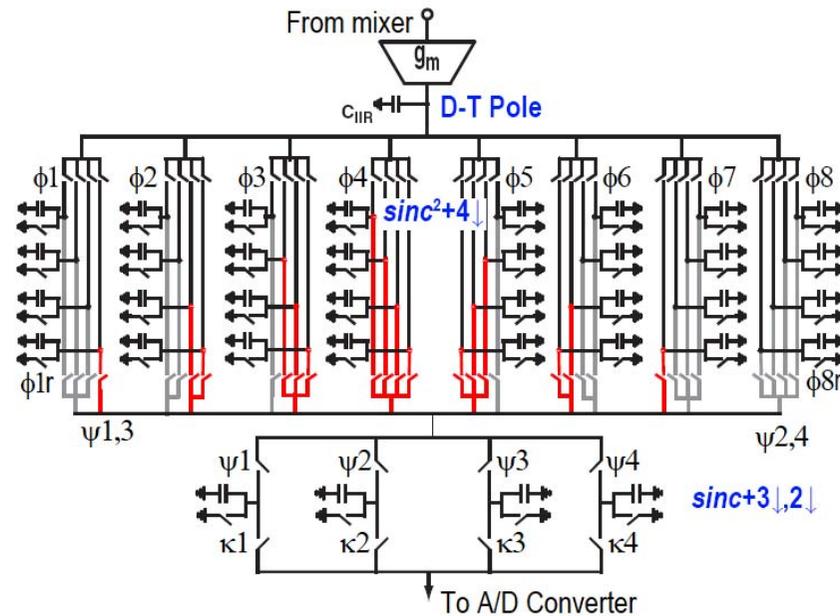
- アンチエイリアス・アナログフィルタ要求を緩和 -



ソフトウェア無線用受信機 (TI社、UCLA)

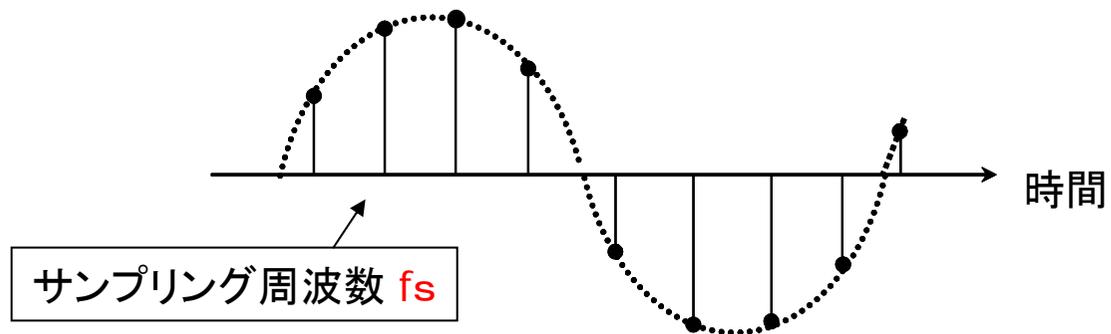


- 初段でキャリア周波数程度の高速サンプリング
- プログラマブル・アナログ・サンプリング・フィルタ
- マルチレート信号処理

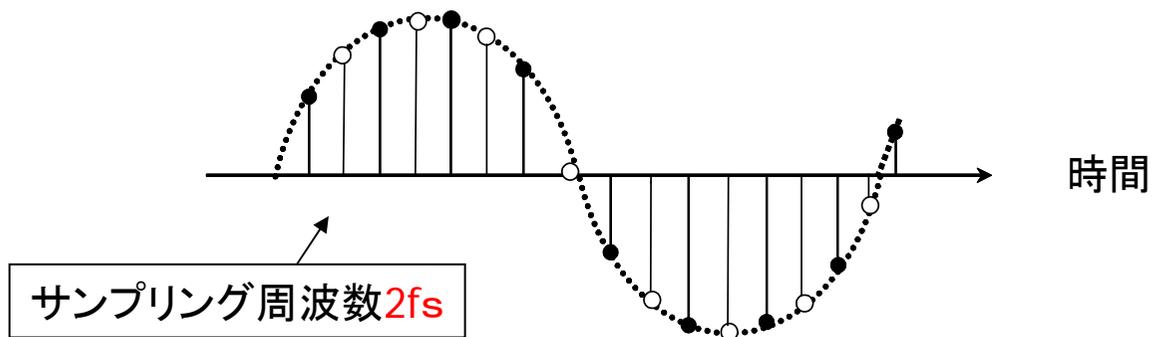


DA変換器出力時間波形と サンプリング周波数

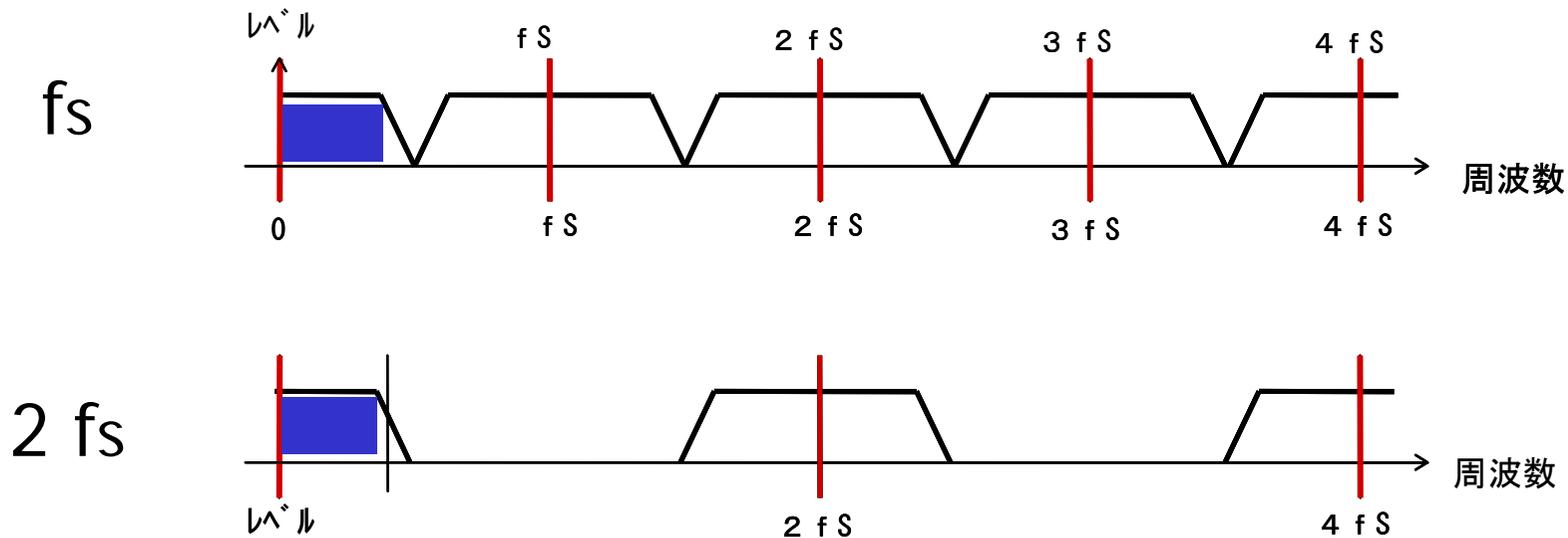
DA変換器
出力 1



DA変換器
出力 2



DA変換器出力周波数スペクトルと サンプリング周波数



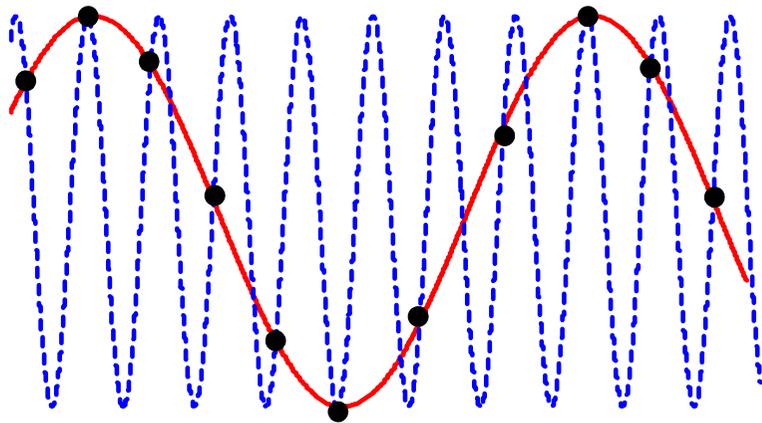
DA変換器でサンプリングレートを高くすれば
後段のアナログフィルタが簡単化

サンプリング技術で周波数変換

— 折り返し (aliasing) 現象を積極利用 —

ダウンサンプリング

高周波信号を低周波信号へ変換

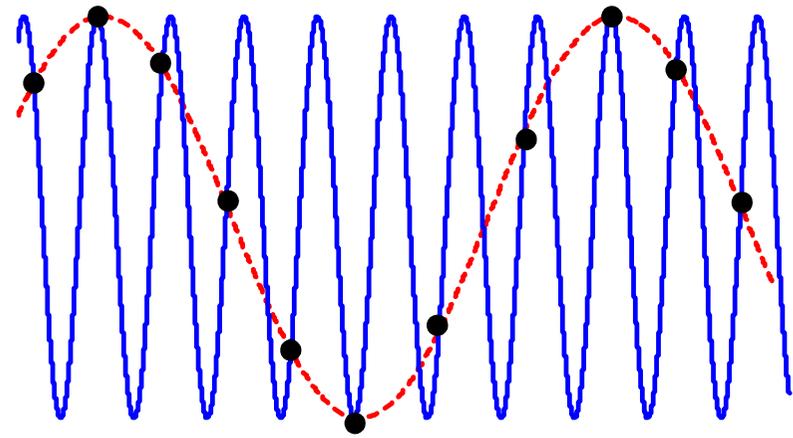


RF signal \Rightarrow Baseband signal

(LPFで高周波成分をカット)

アップサンプリング

低周波信号を高周波信号へ変換



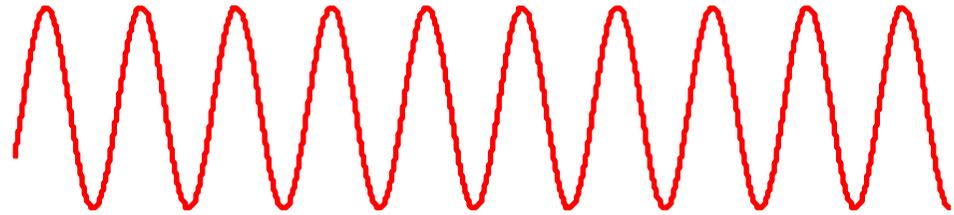
Baseband signal \Rightarrow RF signal

(BPFで注目帯域以外の成分をカット)

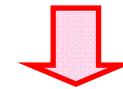
ダウンサンプリング - 時間領域 -

Down-sampling

V_{in}

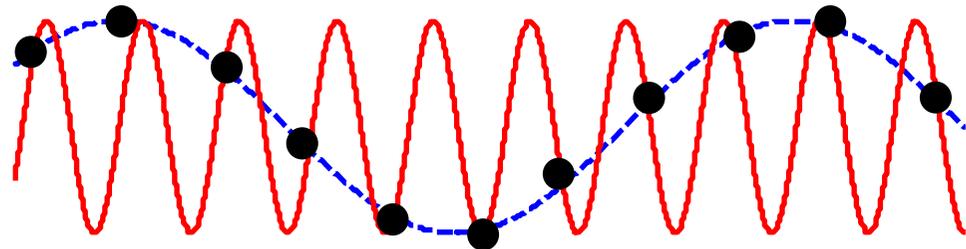


RF signal \Rightarrow Baseband signal



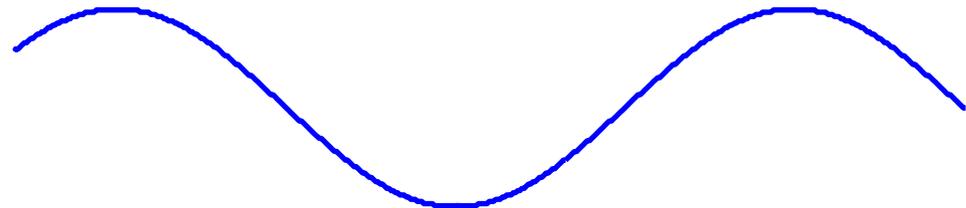
Sampling

LPFで高周波成分をカット

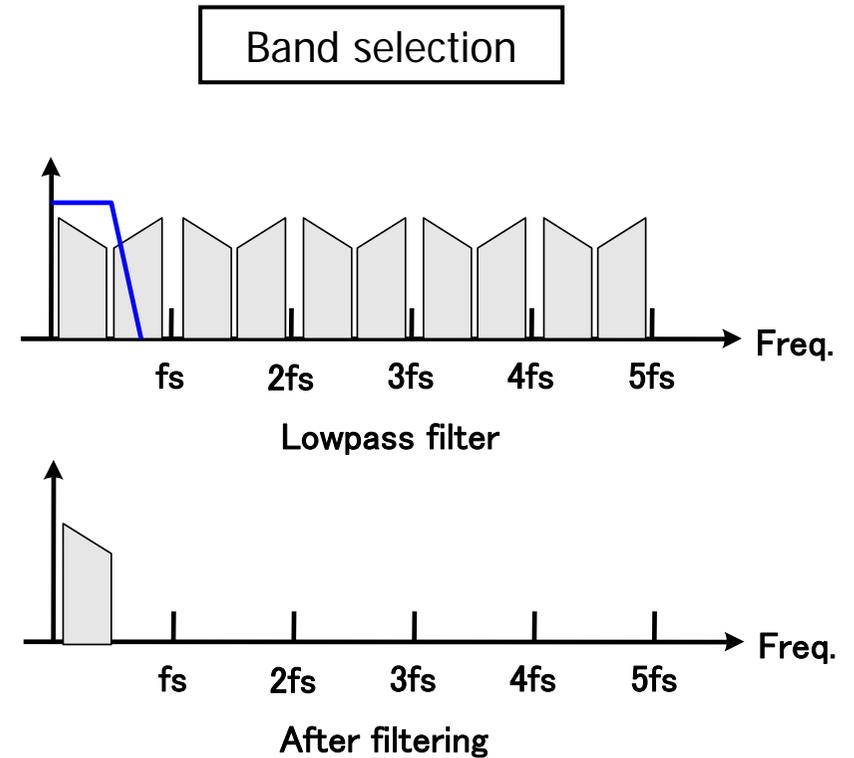
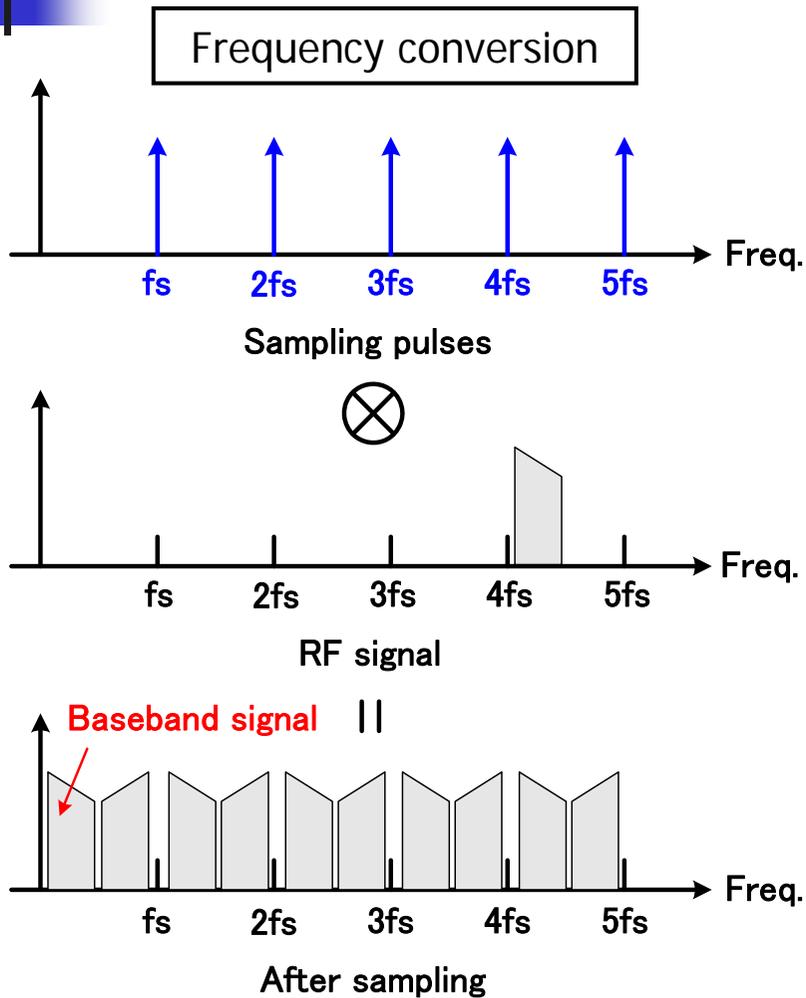


LPF

V_{out}



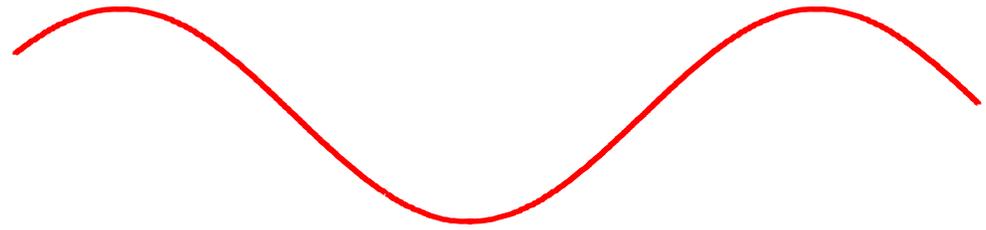
ダウンサンプリング - 周波数領域 -



アップサンプリング - 時間領域 -

Up-sampling

V_{in}

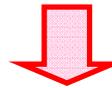
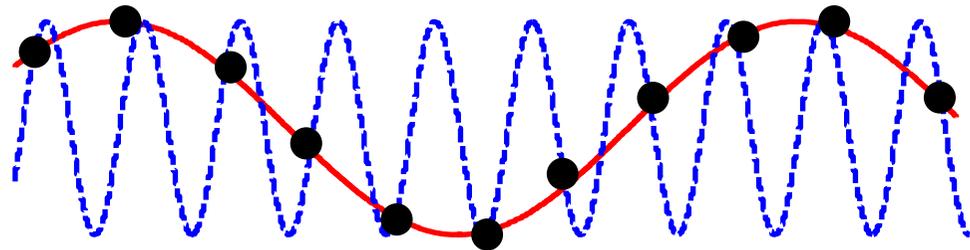


Baseband signal \Rightarrow RF signal



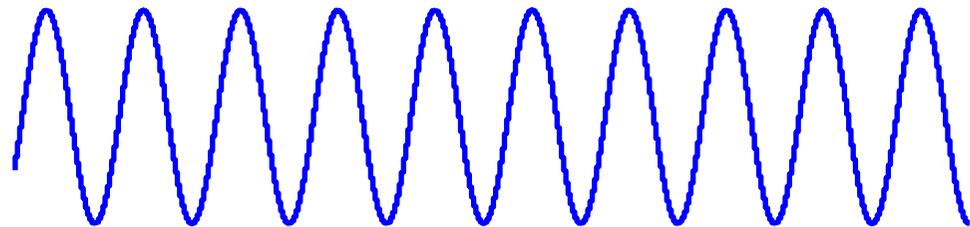
Sampling

BPFで注目帯域以外の成分を
カット



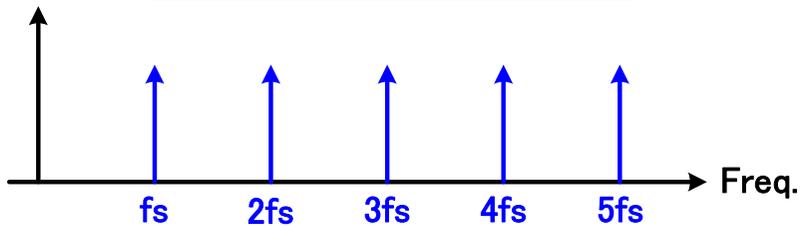
BPF

V_{out}



アップサンプリング - 周波数領域 -

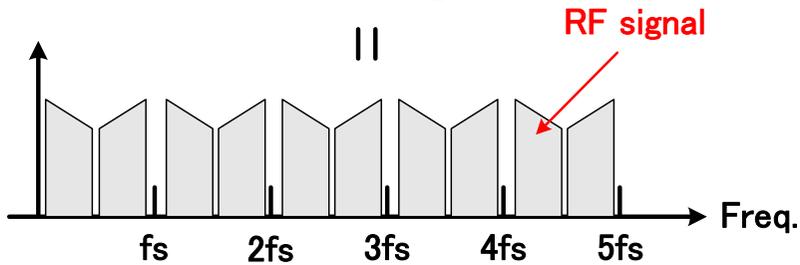
Frequency conversion



Sampling pulses

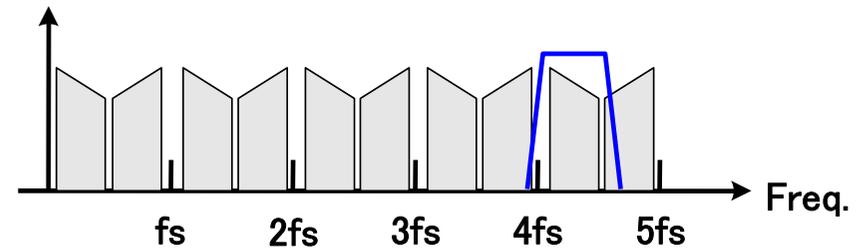


Baseband signal

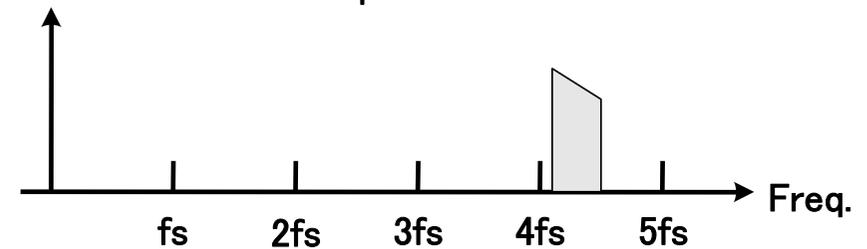


After sampling

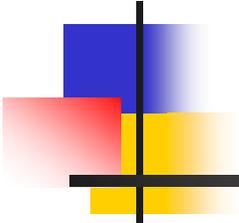
Band selection



Bandpass filter

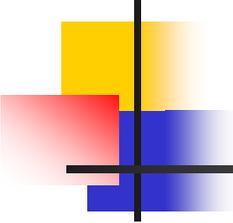


After filtering



アナログを高性能化する デジタル技術

- デジタルアシストアナログ技術
- 波形のサンプリング技術
- **デルタシグマAD変換器**
- 時間領域AD変換器
- 逐次比較AD変換器
- DACのデジタル誤差補正



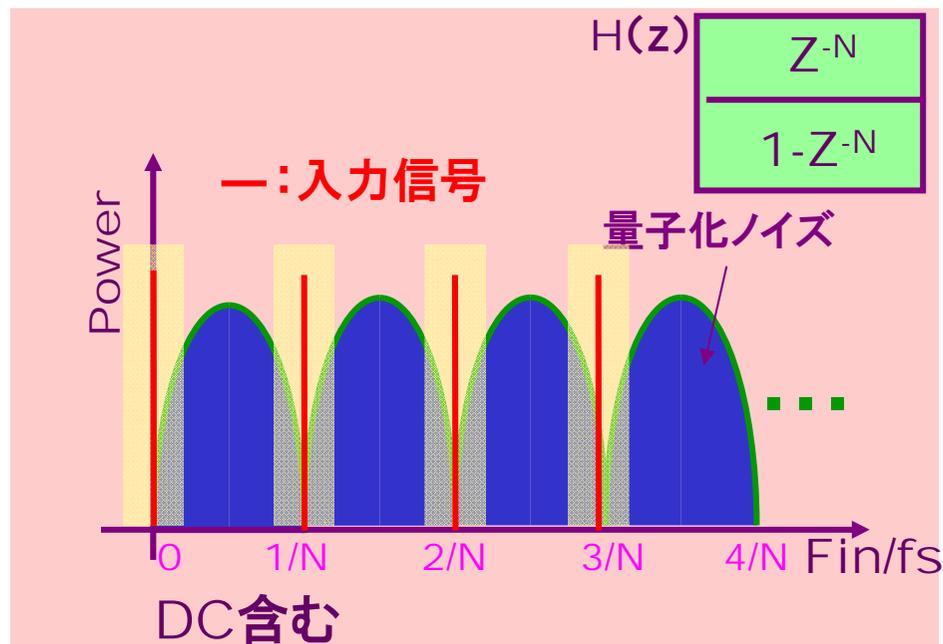
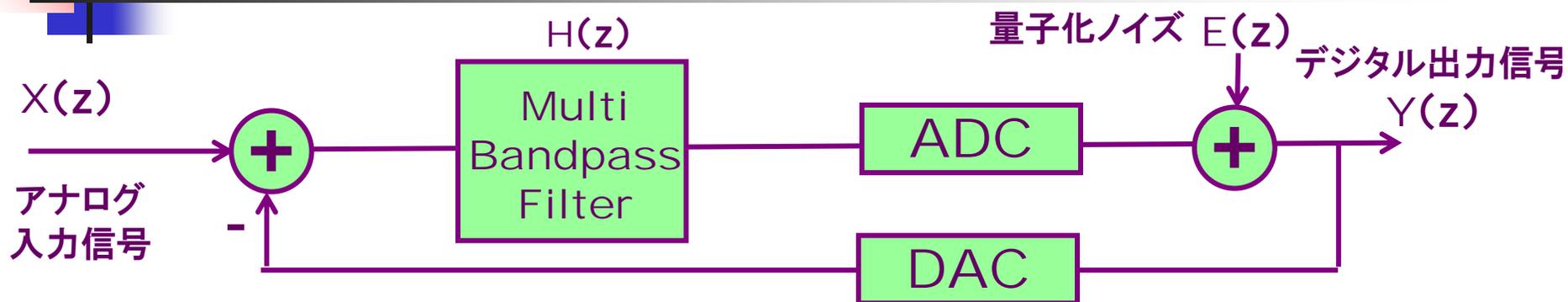
デルタ・シグマAD/DA変調技術

- アナログ最小、デジタルリッチな構成
ナノCMOSではデジタルは大きな恩恵
- スピードを精度に変換
ナノCMOSではスピードに余裕
- 高精度なデバイス、回路不要



ナノCMOSで高精度なADC/DACを
実現するのに適した構成

マルチバンドパス $\Delta \Sigma$ AD変調器

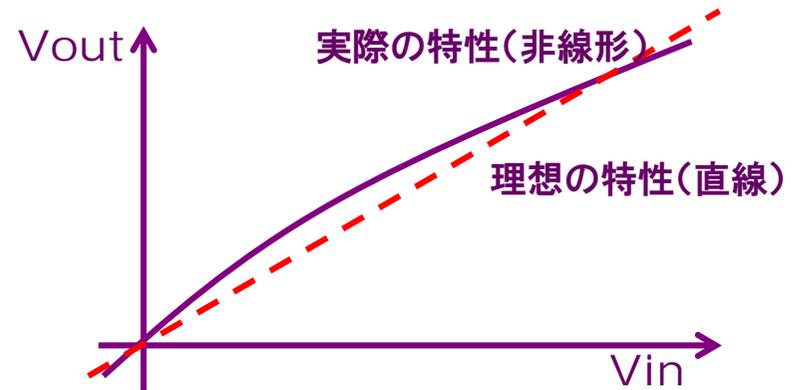


リニア・アナログ回路の非線形性

リニア・アナログ回路
(アンプ、DA変換器、スイッチ等)



非線形性により歪みが生じる



入力
 $X(t) = A \cos \omega t$



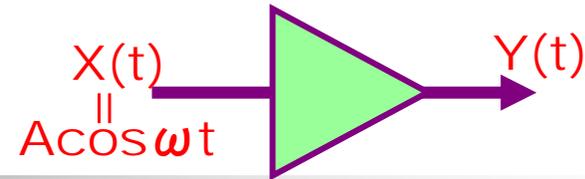
出力

$$Y(t) = A_0 + A_1 \cos \omega t + A_2 \cos 2\omega t + A_3 \cos 3\omega t + \dots$$

高調波

高調波歪み測定への応用

シングルエンド回路

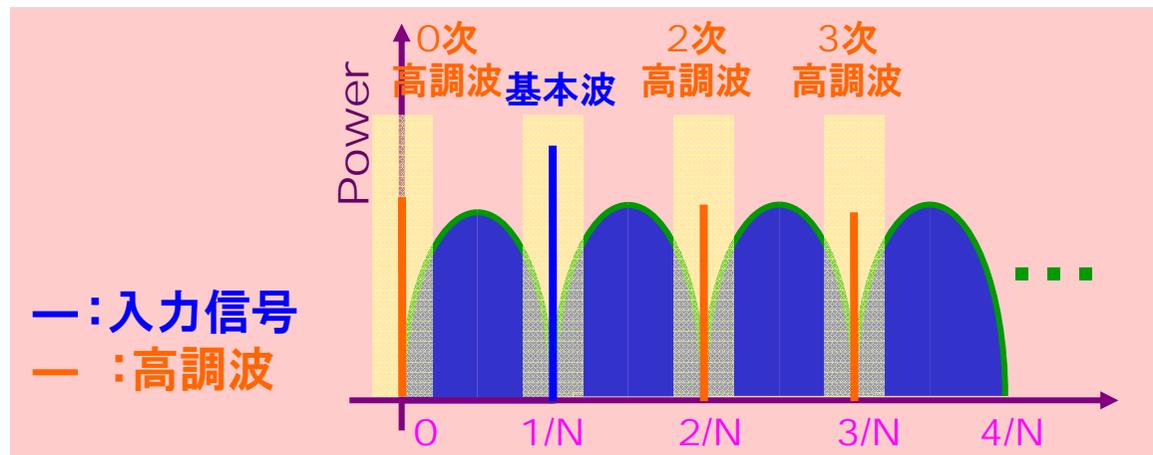


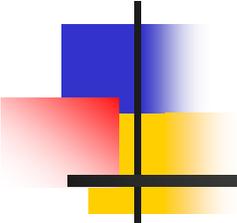
$$\text{出力: } Y(t) = A_0 + \underbrace{A_1 \cos \omega t}_{\text{基本波}} + \underbrace{A_2 \cos 2\omega t + A_3 \cos 3\omega t + \dots}_{\text{高調波}}$$

- 基本波とともに
0次、2次、3次、4次...の高調波を高精度にAD変換
- マルチバンドパス $\Delta \Sigma$ 変調器を使用し測定

内部フィルタ

$$\frac{Z^{-N}}{1 - Z^{-N}}$$

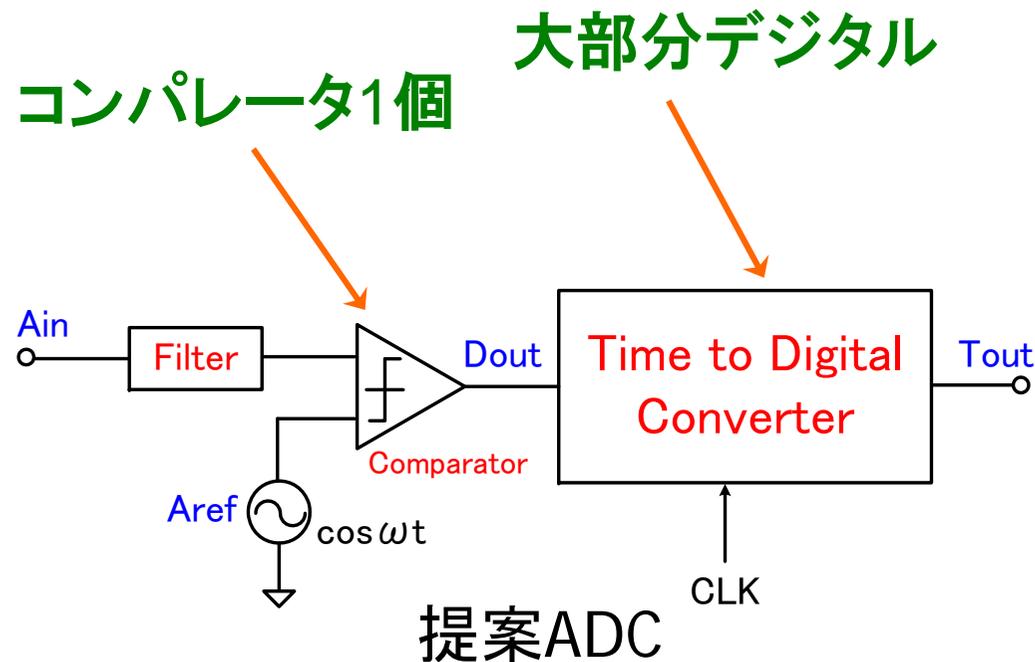




アナログを高性能化する デジタル技術

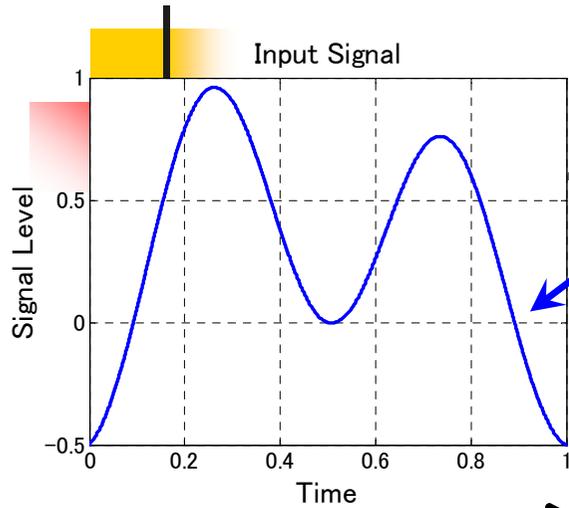
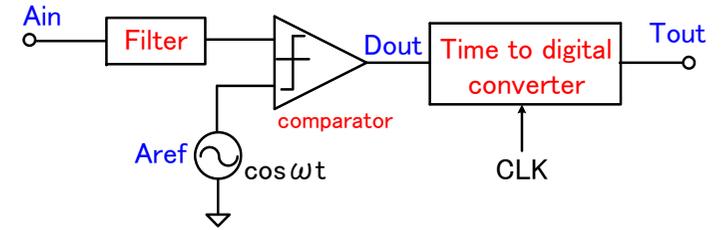
- デジタルアシストアナログ技術
- 波形のサンプリング技術
- デルタシグマAD変換器
- **時間領域AD変換器**
- 逐次比較AD変換器
- DACのデジタル誤差補正

非同期サンプリングAD変換器



- 高速、高精度なサンプルホールド回路不要
- 非同期サンプリング
- デジタル信号処理が複雑

非同期AD変換器の動作

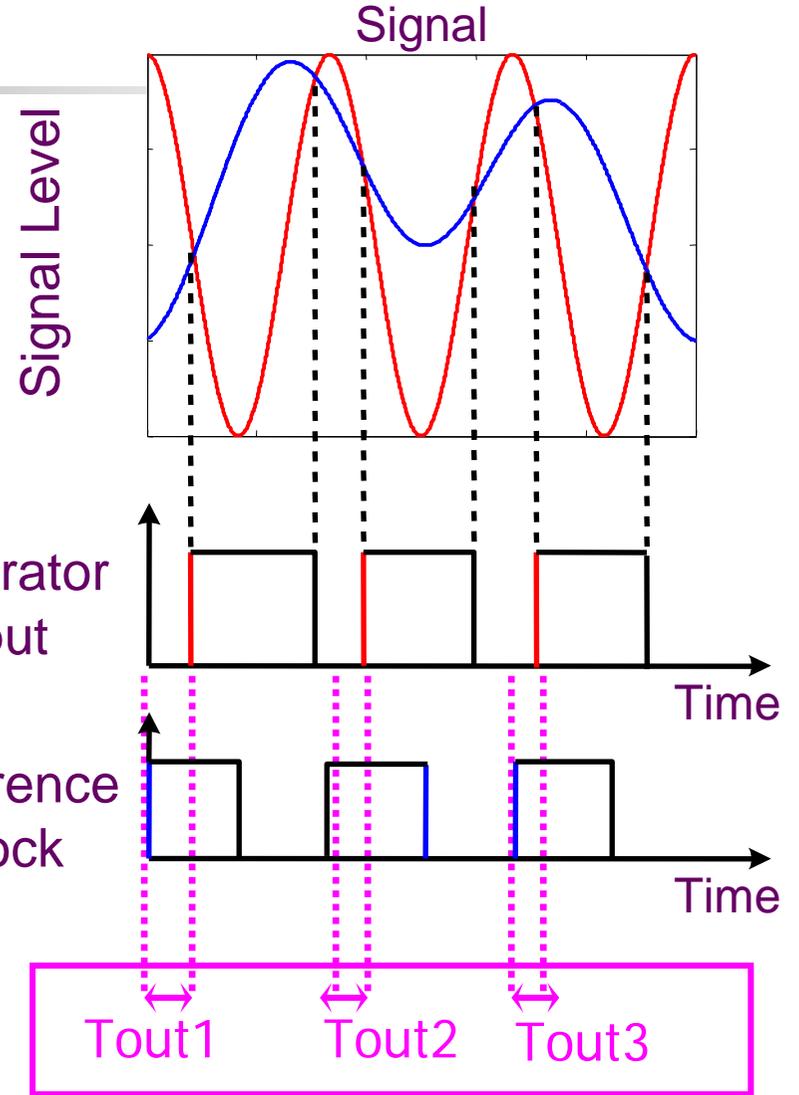
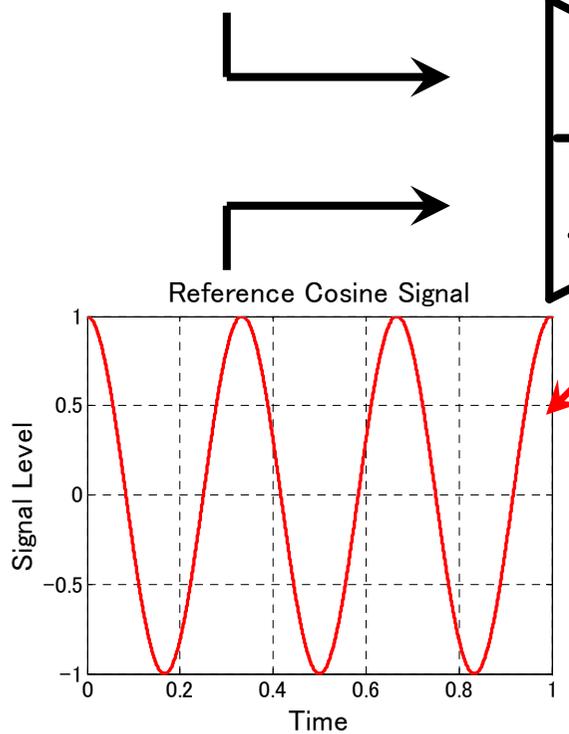


入力信号

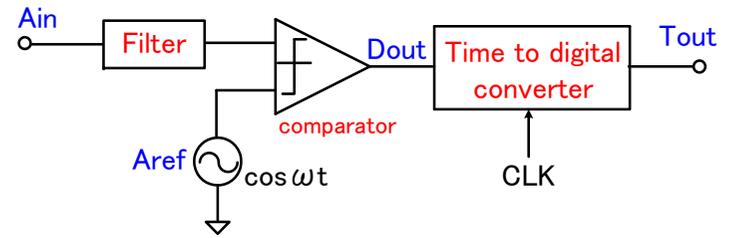
Comparator

基準余弦波

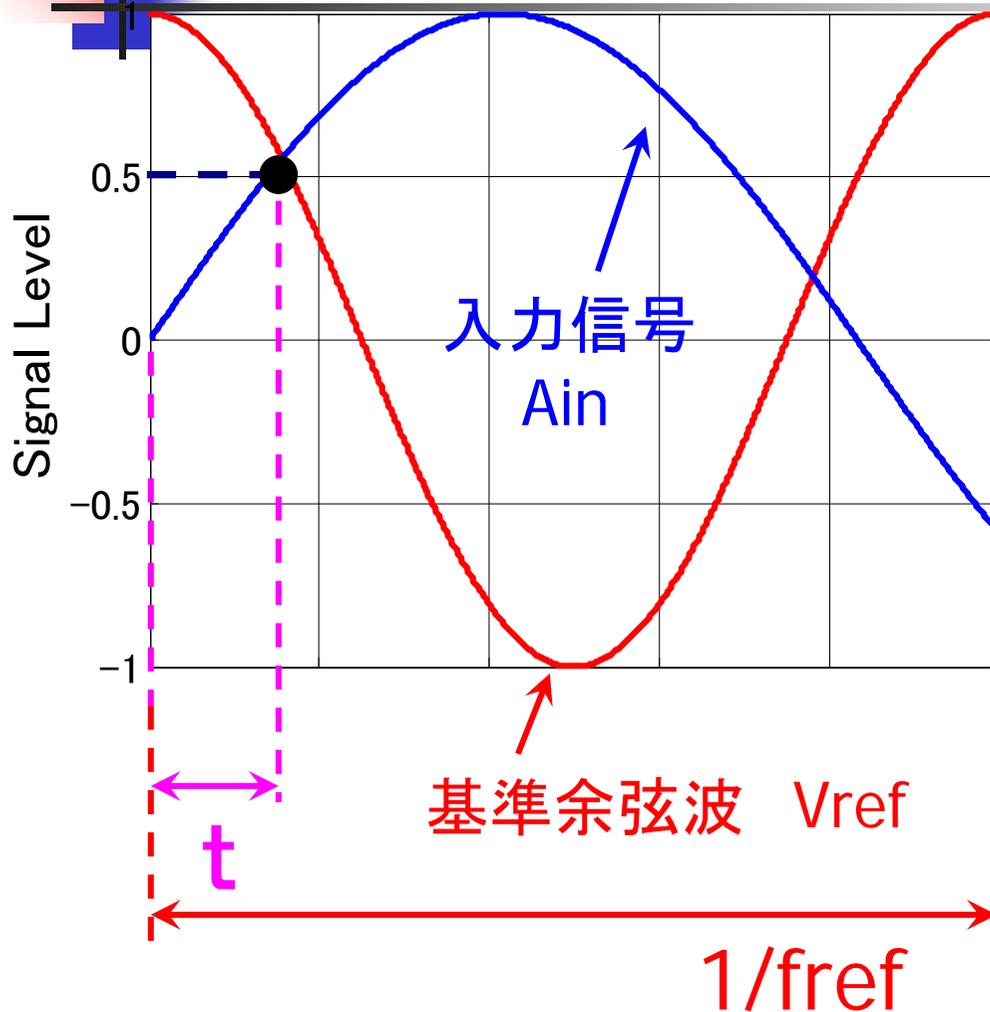
クロック周期 = 基準余弦波周期



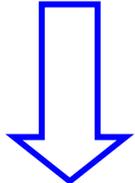
非同期AD変換器の動作



Sampling Principle



時間tを測定



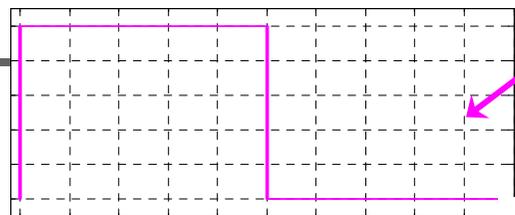
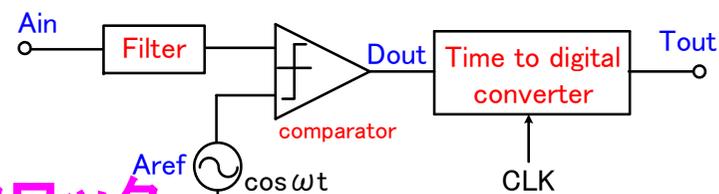
基準余弦波から振幅

基準余弦波: $V_{ref}(t) = A \cos\left(2\pi \frac{t}{T}\right)$

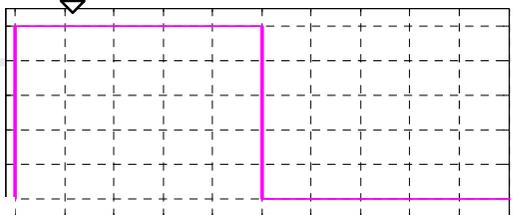
$$A \cos\left(2\pi \frac{t}{T}\right) = A_{in}(t)$$

$$\therefore t_n = T \arccos\left(\frac{A_{in}(t)}{A}\right)$$

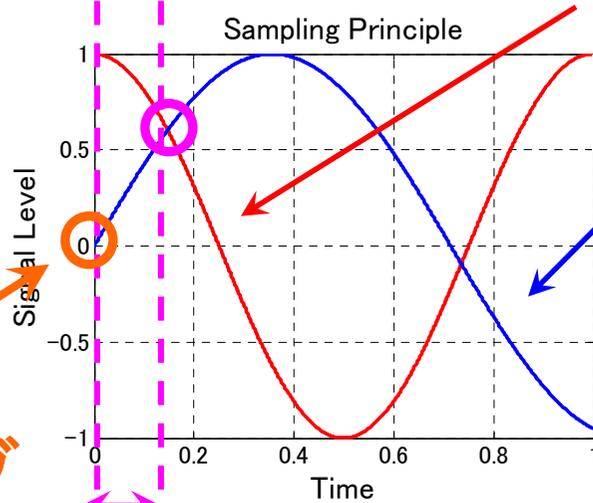
非同期AD変換器の動作



基準クロック

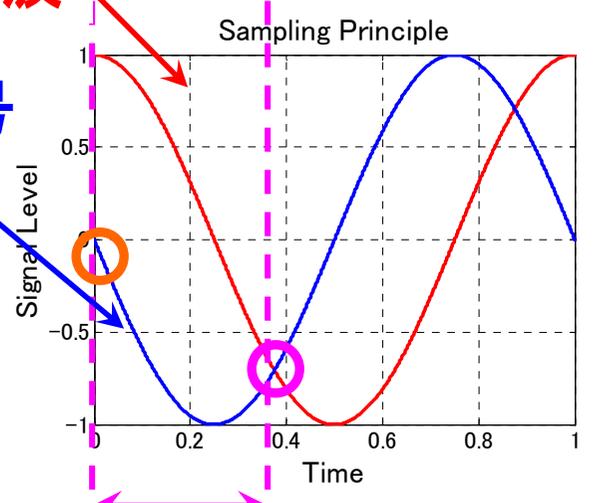


基準余弦波



同期
サンプリング

入力信号

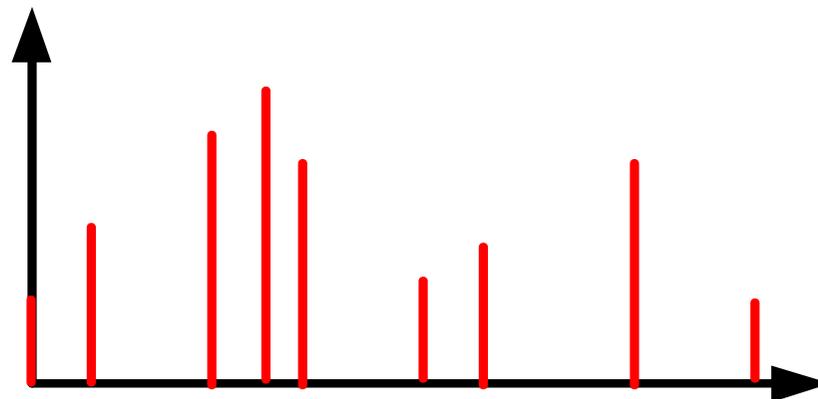


非同期サンプリング

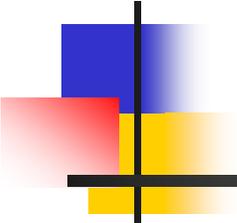
■ サンプリング → 入力信号依存性

非同期サンプリング (Non-Uniform Sampling)

- サンプリング時間間隔が一様でない
- 「サンプリング周期の平均値」をサンプリング周波数と定義するとサンプリング定理が成立
- ナイキスト周波数以上の信号の非同期サンプリング波形
→ ランダムデータに見える



時間



アナログを高性能化する デジタル技術

- デジタルアシストアナログ技術
- 波形のサンプリング技術
- デルタシグマAD変換器
- 時間領域AD変換器
- 逐次比較AD変換器
- DACのデジタル誤差補正

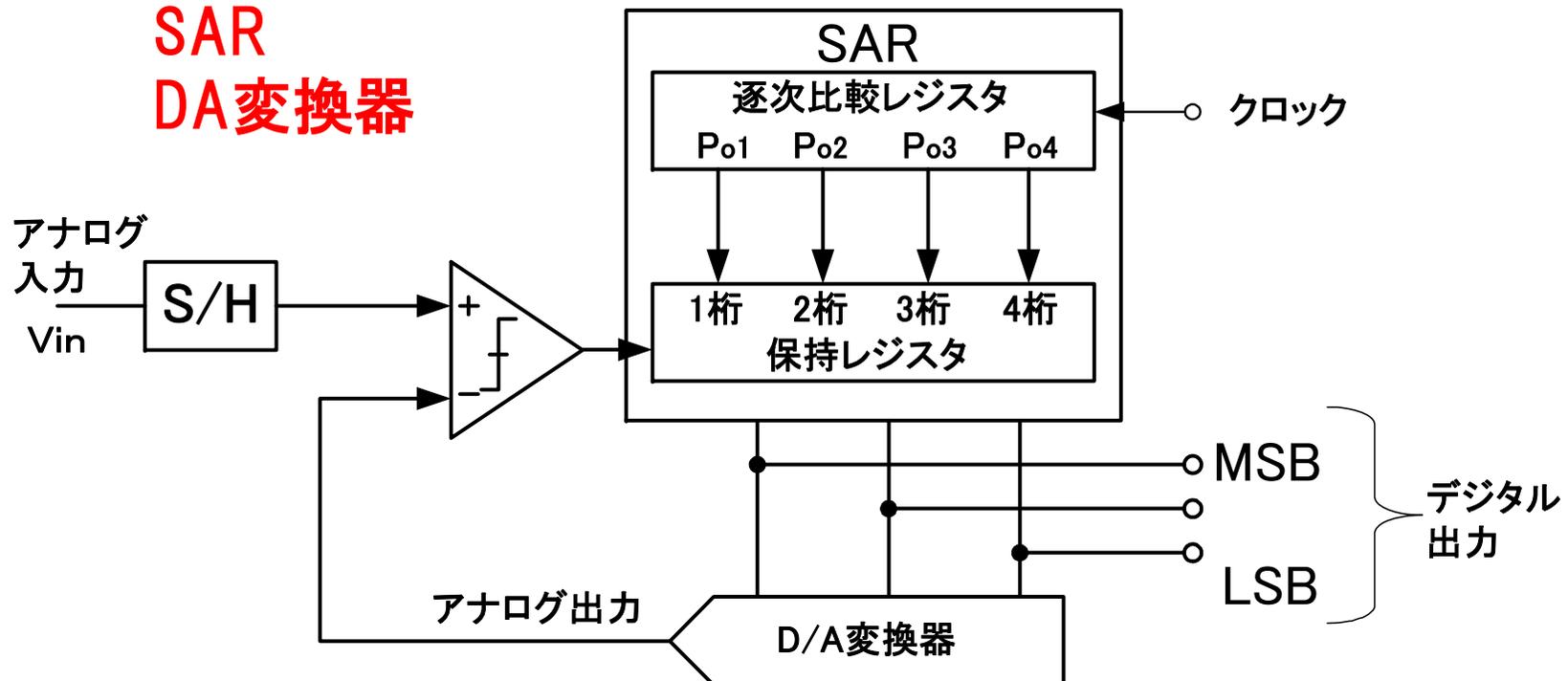
逐次比較形AD変換器

Successive Approximation Register (SAR) ADC

構成要素

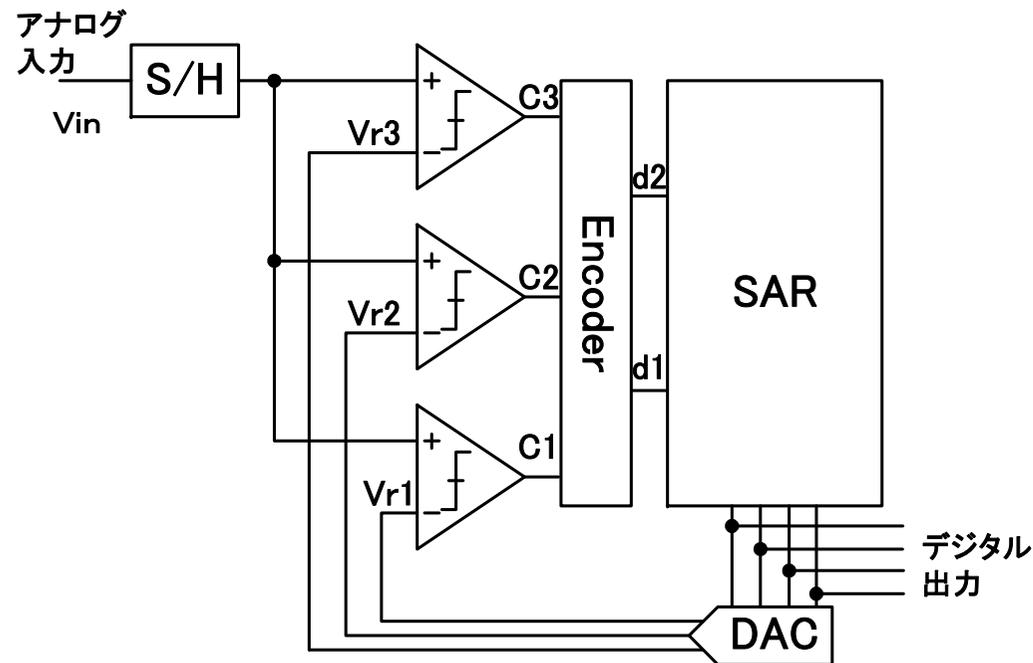
S/H回路
コンパレータ
SAR
DA変換器

オペアンプ不要な
微細CMOS低電圧動作可
再注目



SAR ADC 冗長性を用いたデジタル誤差補正

武蔵工大(堀田Gr), 群馬大, STARC 共同研究 AVLSIW2006発表

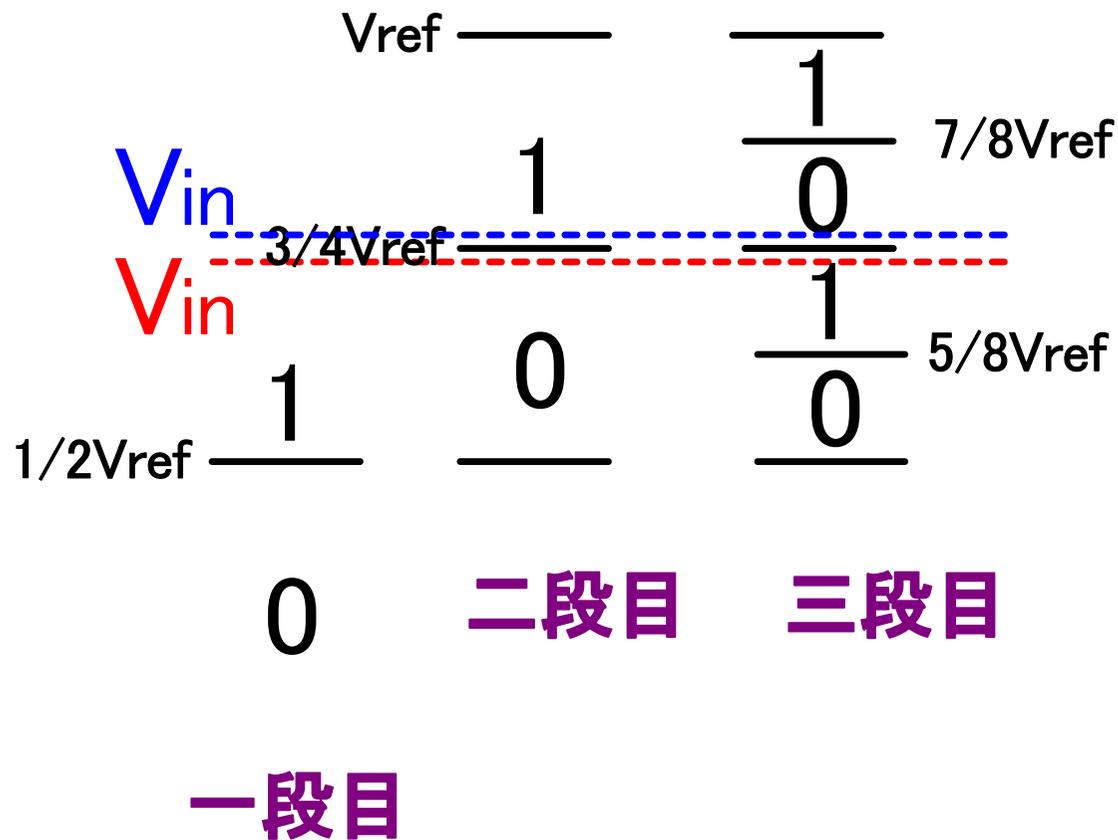


三個のコンパレータを使用し、
比較電圧範囲に冗長性を持たせる

前段でのエラーは後段でデジタル補正可能

1個のコンパレータによる 逐次比較AD変換

- 従来法 -



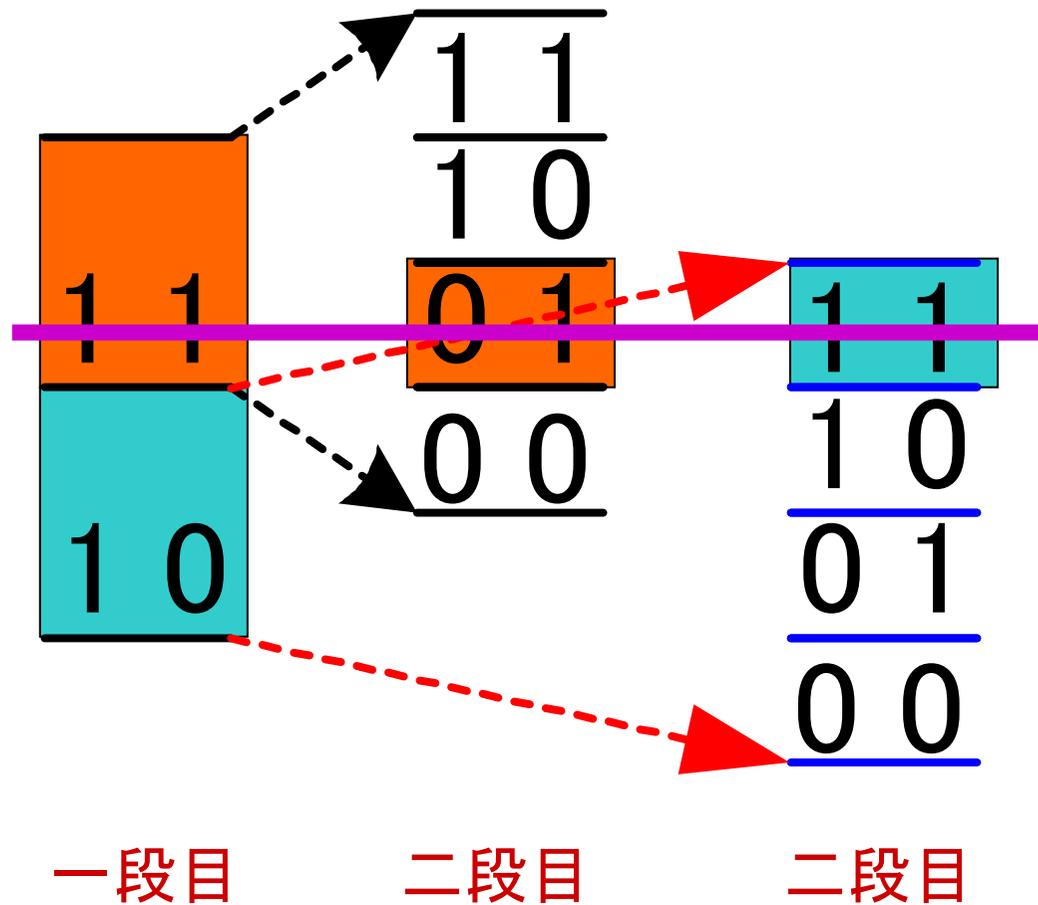
ある段で間違えると
後段で補正ができない

正解

不正解

3個のコンパレータによる デジタル誤差補正アルゴリズム

— 提案法 —

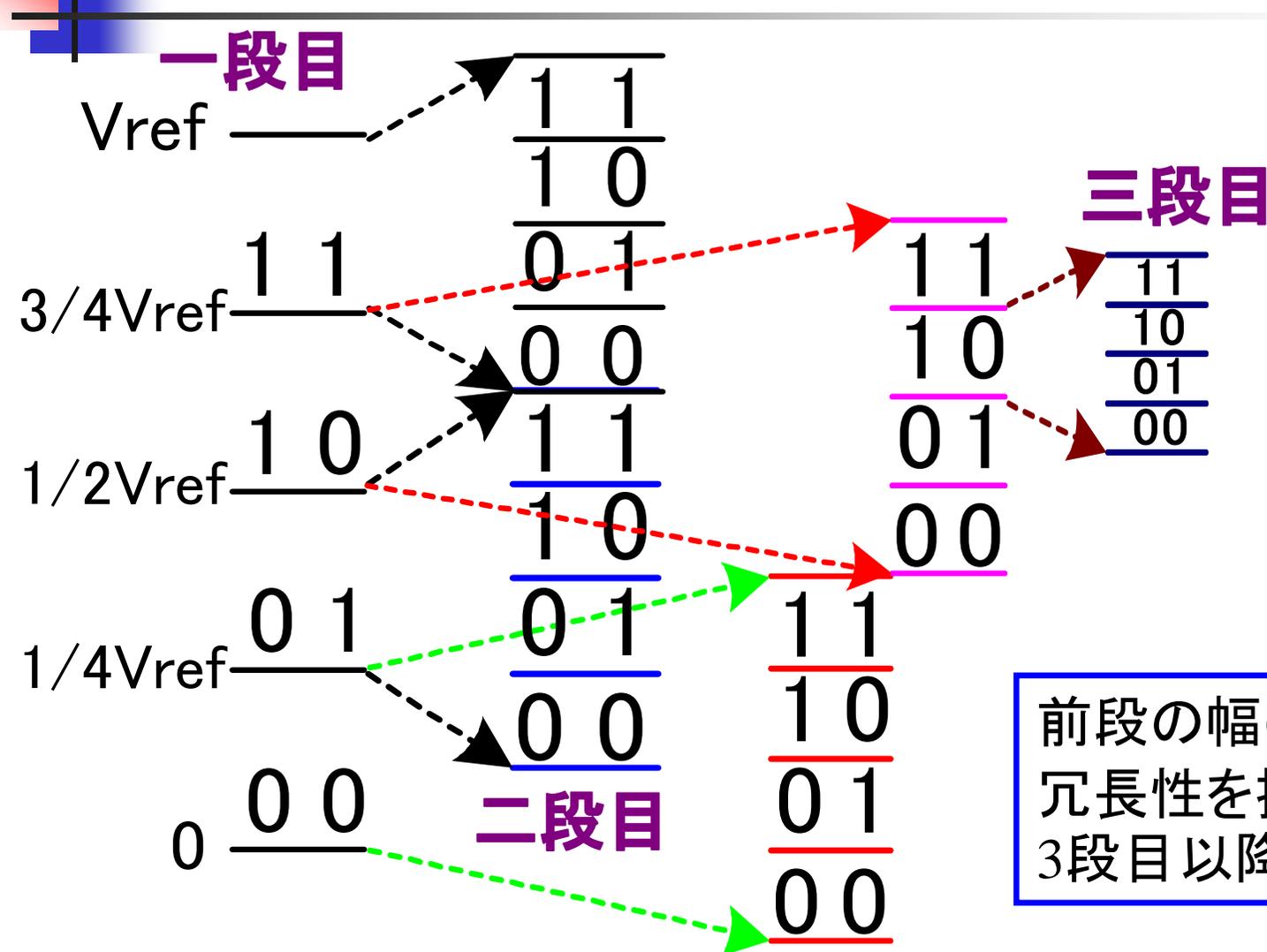


11 01の場合と
10 11の場合には
同じデジタル値
110を出力

正解
不正解

3個のコムパレータによるデジタル誤差補正

— 提案法 —



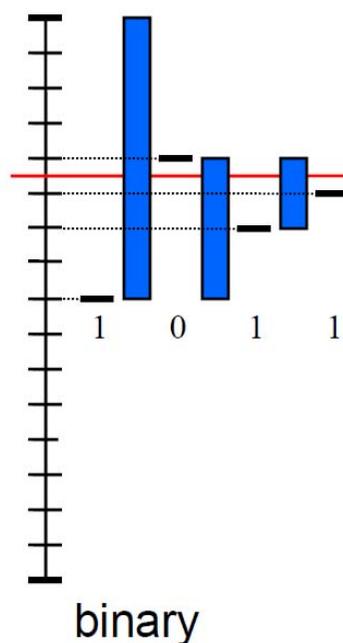
非2進逐次比較近似ADC

時間領域の冗長性を利用したデジタル誤差補正

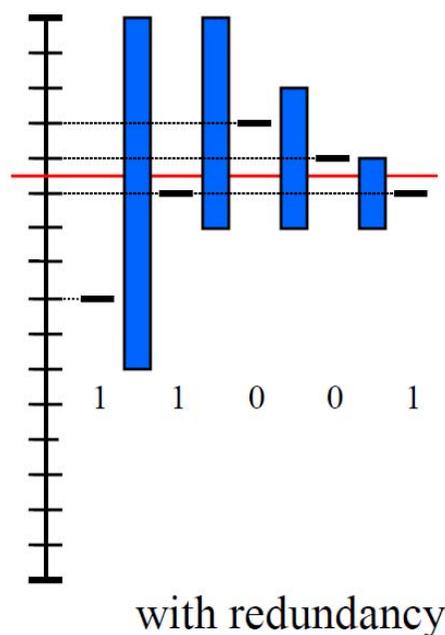
出典: [1] F. Kuttner (Infineon) A 1.2V 10b 20MS/S Non-Binary SAR ADC in 0.13um, ISSCC (2002).

[2] M. Heserner 他 (Infineon) A 14b 40MS/S Redundant SAR ADC with 480MHz Clock in 0.13um, ISSCC (2007).

Binary (従来法)



NonBinary
(冗長性を持つ)



4ビットADC

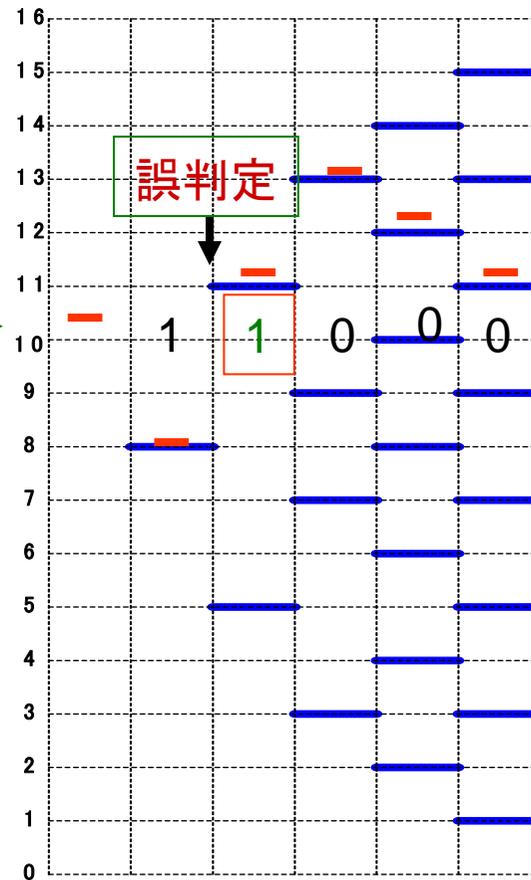
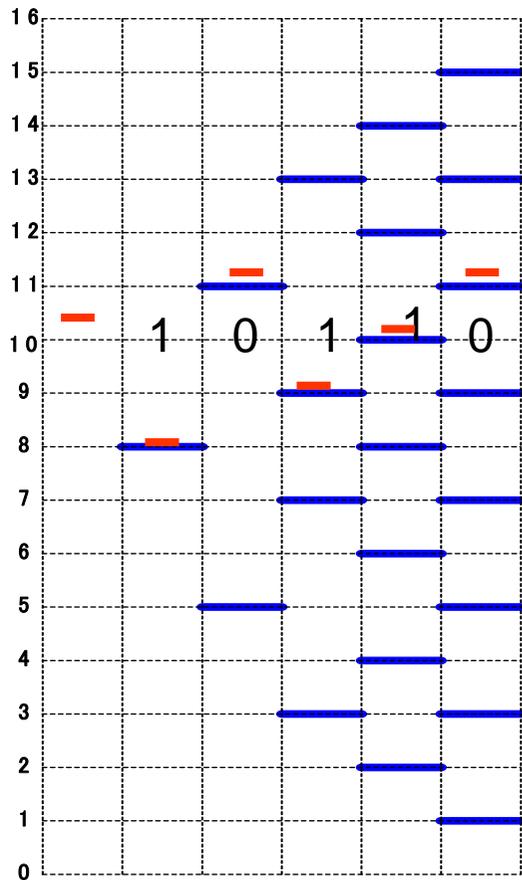
10 < Vin < 11 の場合

5サイクルで2進4ビット出力

誤判定なし

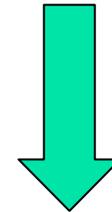
誤判定あり

Vin
→



10110

11000



4bit 正解出力

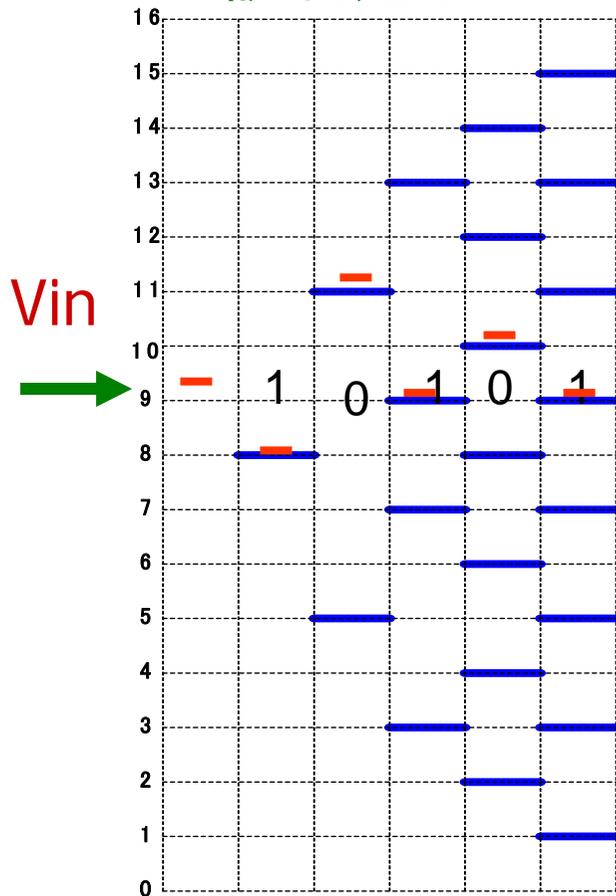
1010

4ビットADC

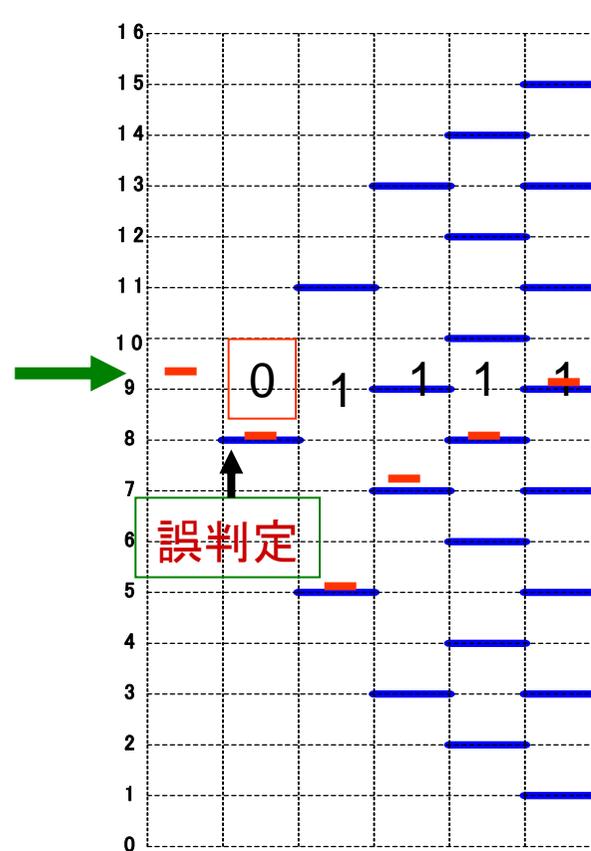
9 < Vin < 10 の場合

5サイクルで2進4ビット出力

誤判定なし



誤判定あり



10101

01111



4bit 正解出力

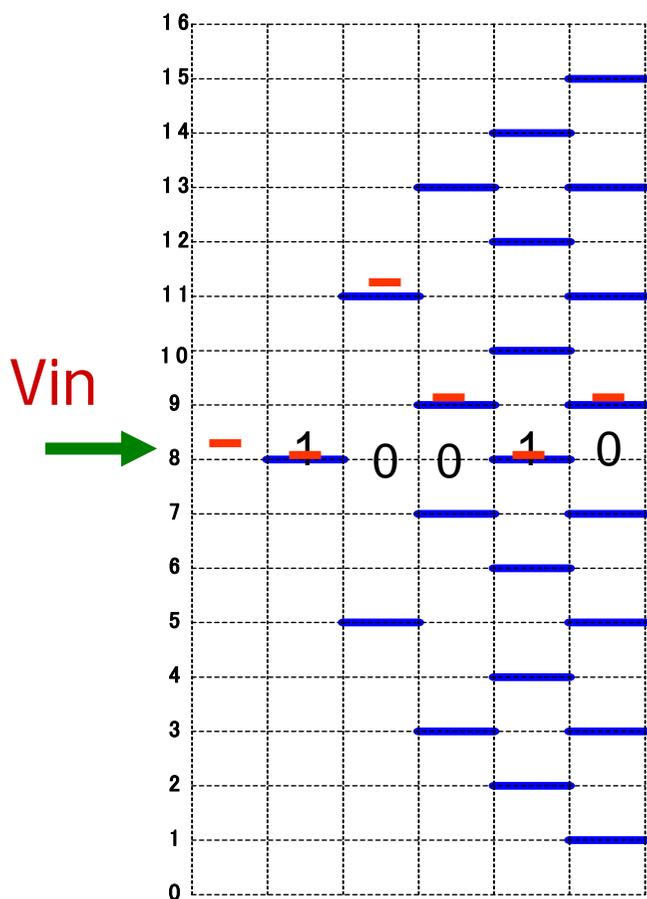
1001

4ビットADC

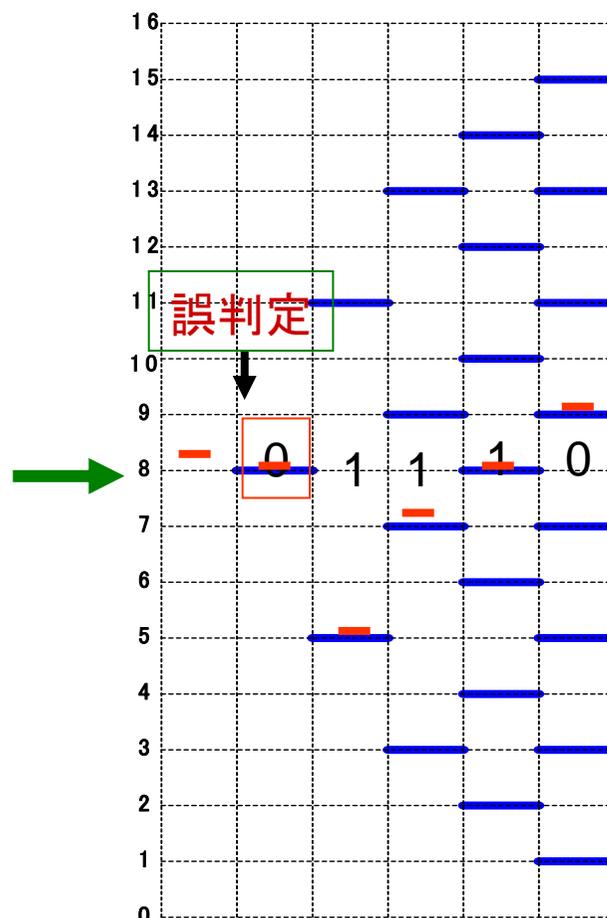
$8 < V_{in} < 9$ の場合

5サイクルで2進4ビット出力

誤判定なし

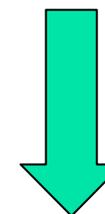


誤判定あり

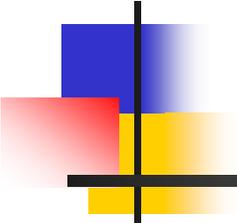


10010

01110



4bit 正解出力
1000



アナログを高性能化する デジタル技術

- デジタルアシストアナログ技術
- 波形のサンプリング技術
- デルタシグマAD変換器
- 時間領域AD変換器
- 逐次比較AD変換器
- **DACのデジタル誤差補正**

ADC/DAC キャリブレーション

— 計測、信号処理技術 —

逐次比較近似ADC、パイプラインADC



フィードバック部の内部DACの線形性が重要



逐次比較ADC, パイプラインADC自身を
測定用ADCとして用いてDACキャリブレーション

電流源DACの自己校正法

— 電流源の並び替え —

- 上位7ビットがセグメント、下位7ビットがバイナリ

電流セル型DAC

- 上位7ビット電流セルの大小の並び替え
(このために電流コンパレータ1個のみでよい)

- 20個余分な電流源

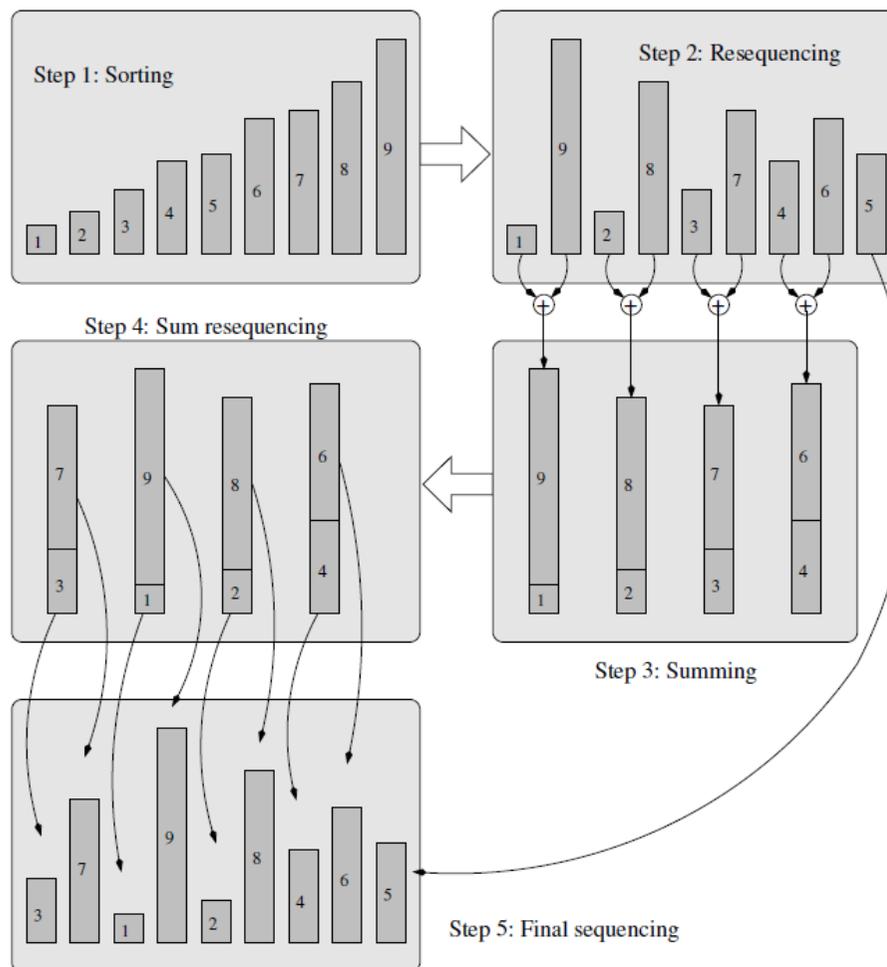
 14ビット精度を確保

電流源のマッチング不要でチップ面積縮小

- 出典: A 14-bit 200-MHz Current-Steering DAC with Switching-Sequence Post-Adjustment Calibration
T. Chen, G. Gielen, ESAT-MICAS, K.U.Leuven, ASSCC, China (2006)

Switching-Sequence Post-Adjustment (SSPA) のアルゴリズム

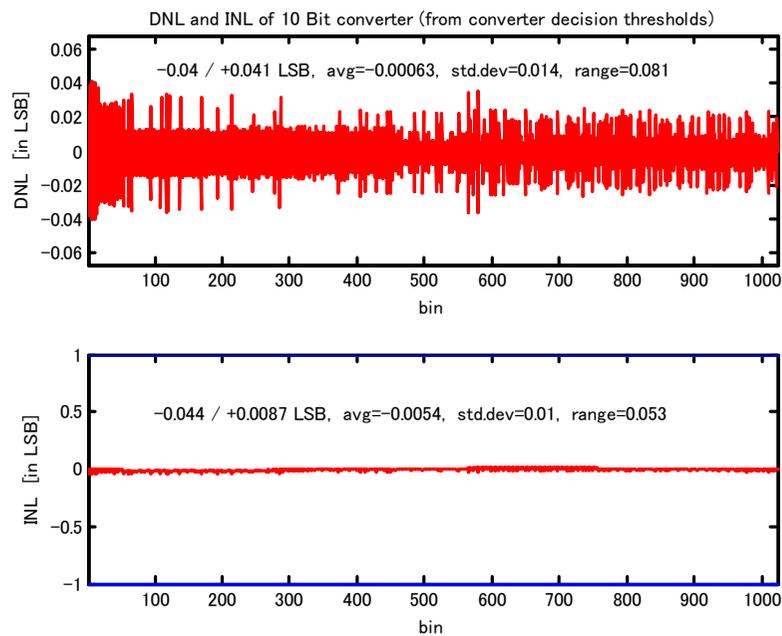
電流源の
大小比較結果に
基づき、
電流源の2段階の
並び替え



SSPA法の効果の追試シミュレーション結果

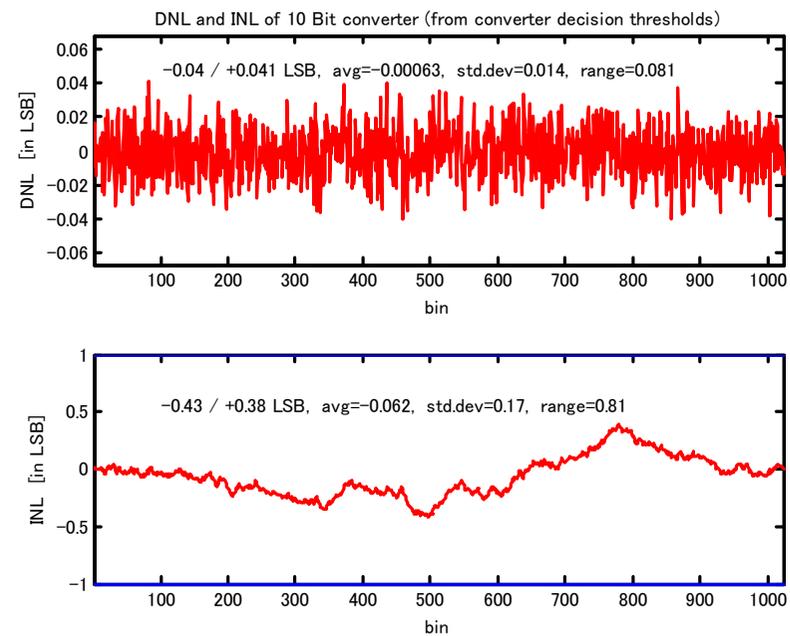
- INL, DNL -

SSPA法



DNL_{pp} = 0.081LSB
INL_{pp} = 0.053LSB

SSPA法なし

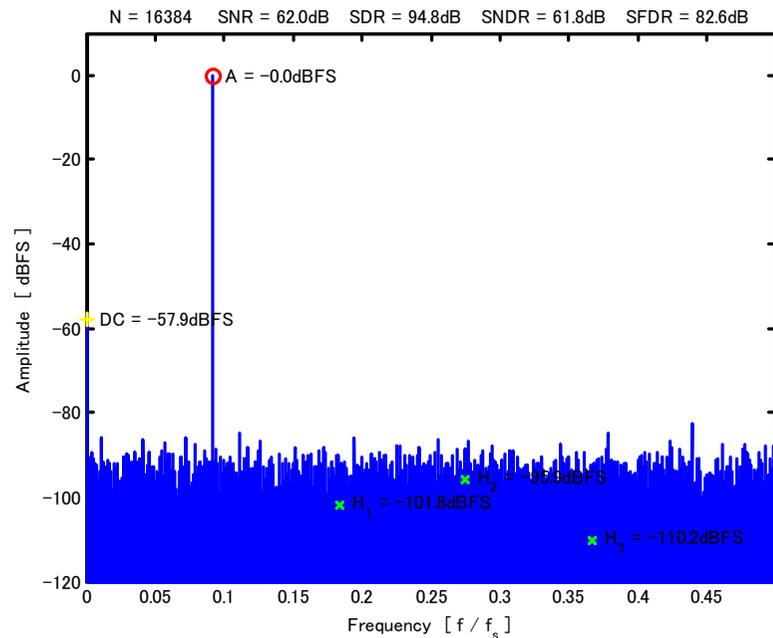


DNL_{pp} = 0.081LSB
INL_{pp} = 0.81LSB

SSPA法の効果の追試シミュレーション結果

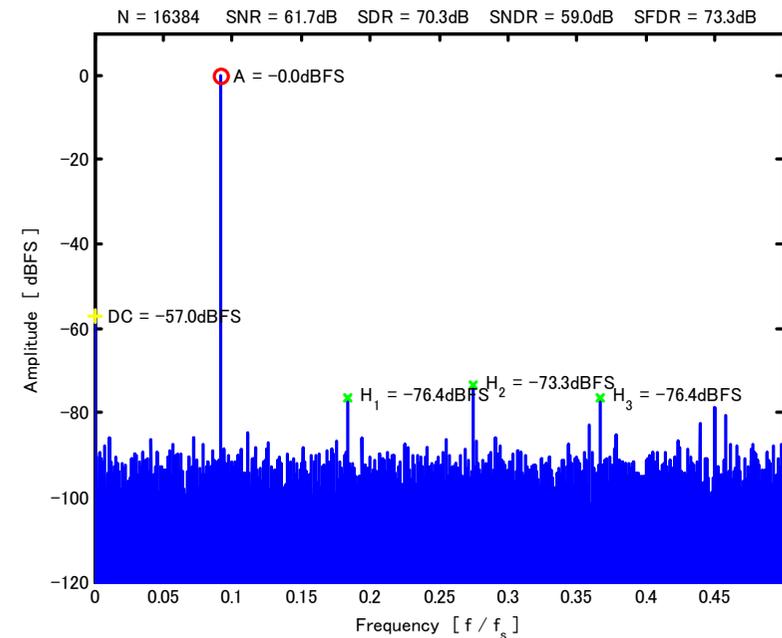
- SFDR, SNDR -

SSPA法



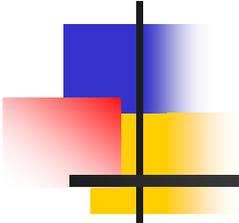
- SFDR = 82.6 [dB]
- SNDR = 61.1 [dB]

SSPA法なし



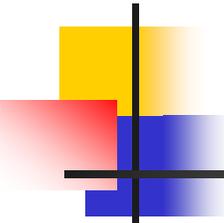
- SFDR = 73.3 [dB]
- SNDR = 59.0 [dB]

デジタルを高性能化する アナログ技術



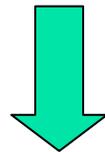
- 高速デジタル伝送（イコライザ）
- 高速クロック
- パワーマネージメント回路
- メモリ回路

附録：高速デジタル伝送（LVDS）



デジタル回路はアナログ回路

- 高速デジタル信号は高周波アナログ信号として扱う。
- デジタル回路の低消費電力化のためには電源回路(アナログ回路)との協調が必要。



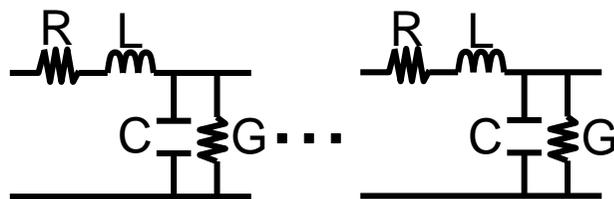
デジタルを高性能化するためにはアナログ技術が必要。

あるマイクロプロセッサ・メーカーのハードウェア技術者の7割はアナログ技術者。

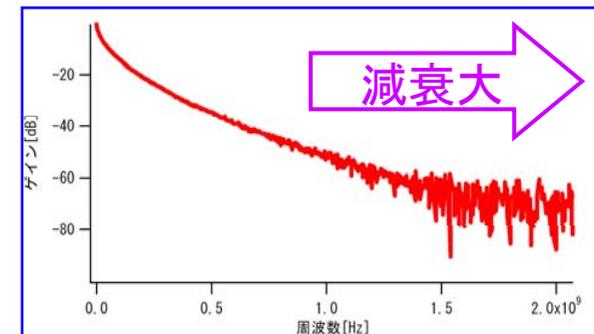
高速デジタル伝送とイコライザ

高速信号伝送における配線の性質、信号の劣化

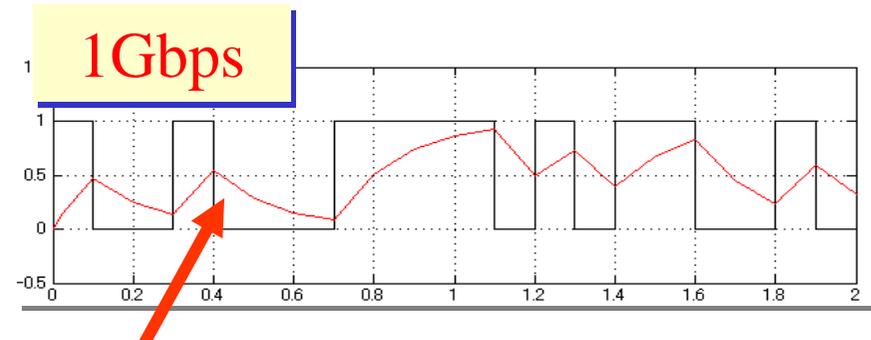
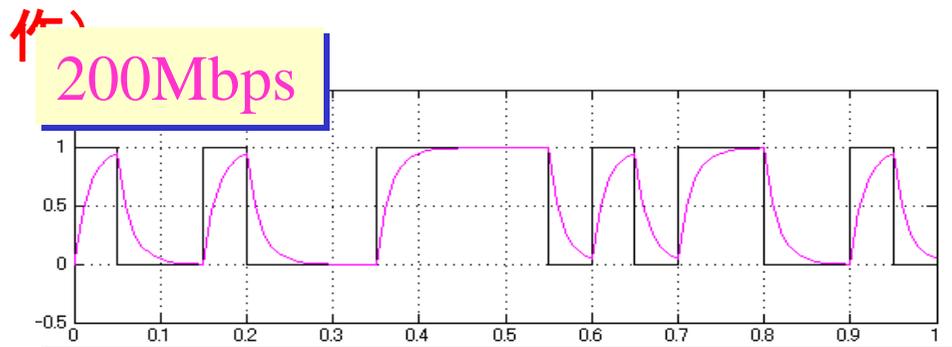
— 高周波では分布定数線路 表皮効果(R)、誘電損失(G)などによる損失



$$L \rightarrow j\omega L$$
$$C \rightarrow \frac{1}{j\omega C}$$



⇒ 高周波成分が減衰(ローパス[積分]動

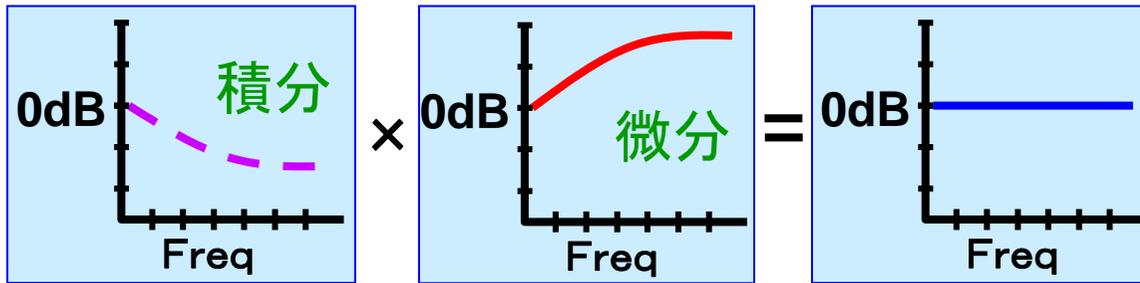
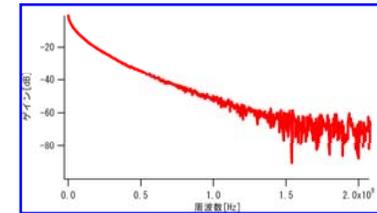


伝送路の制限帯域
100MHz

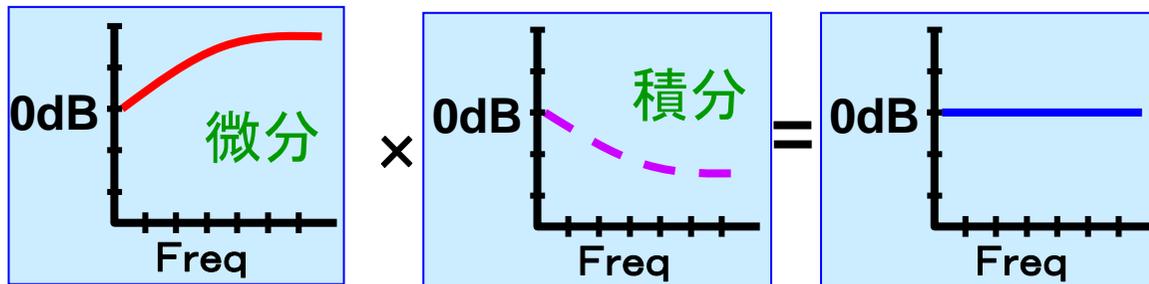
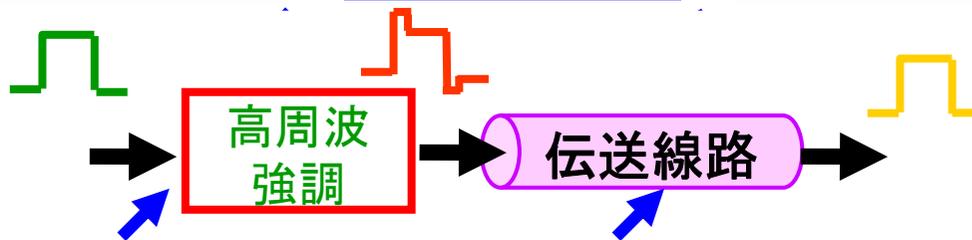
符号間干渉 (Inter-symbol Interference: ISI)

波形整形技術：等化、プリエンファシス

原理：配線のローパス（積分）特性で失われた信号の高周波成分を微分回路で強調



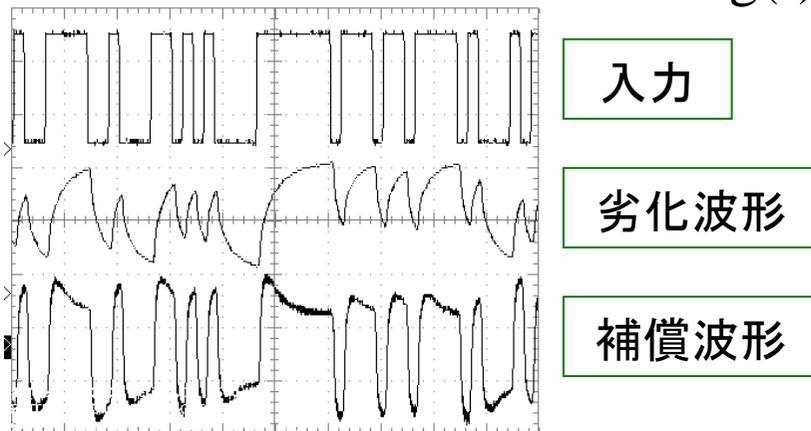
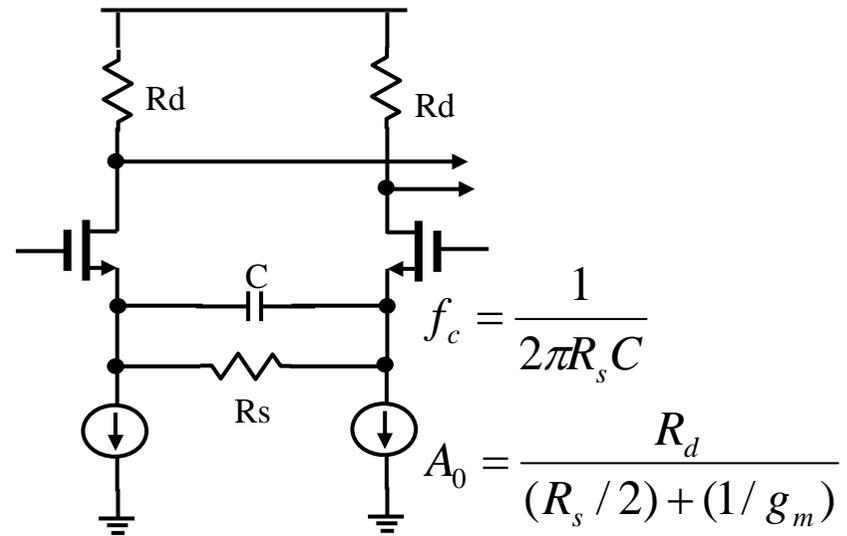
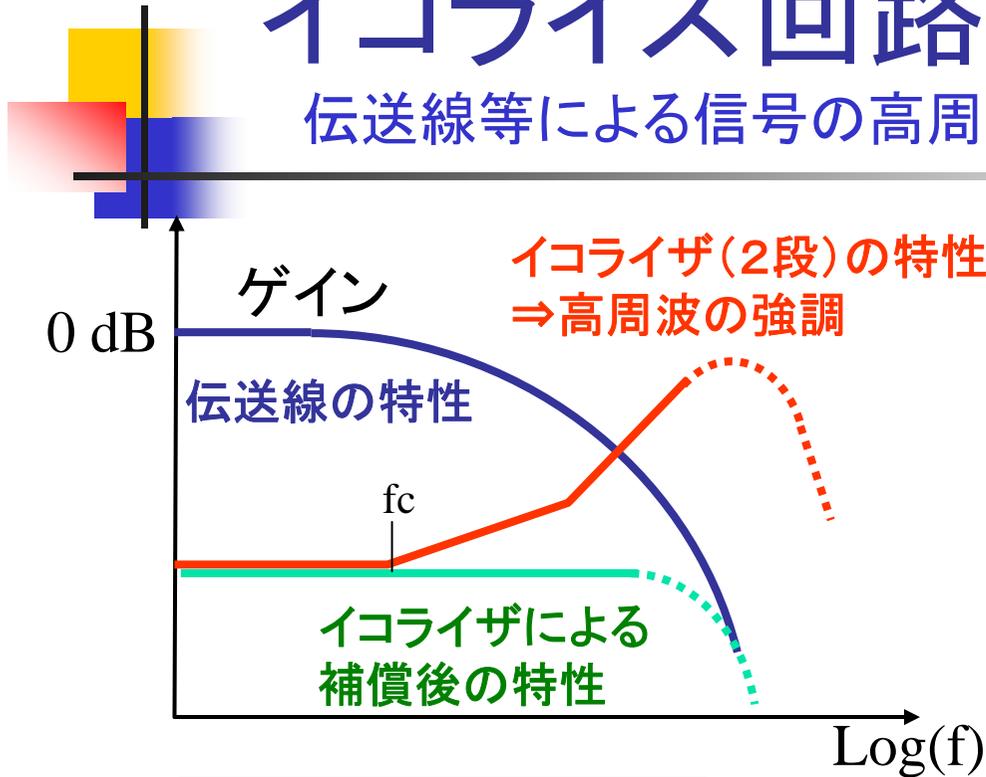
高周波成分を強調して波形整形
(等化：イコライズ)



データ高周波成分を強調して伝送
(プリエンファシス)

イコライズ回路

伝送線等による信号の高周波減衰を**伝送後に**補償する回路



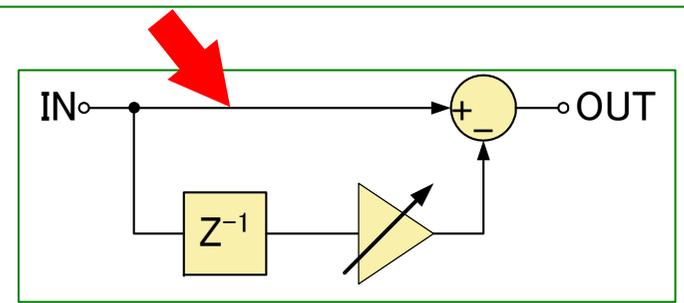
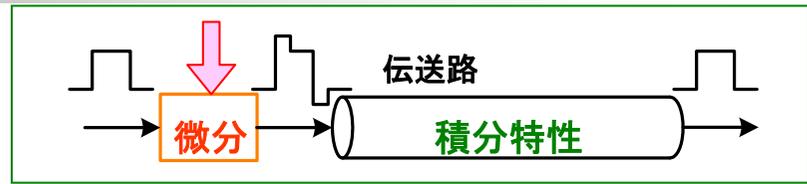
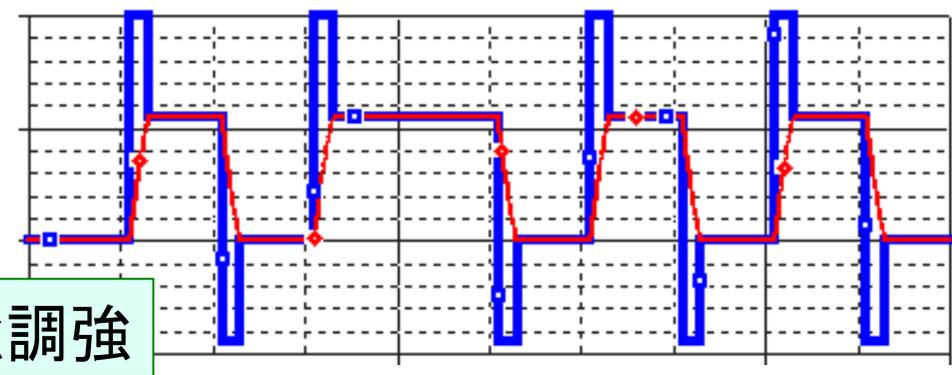
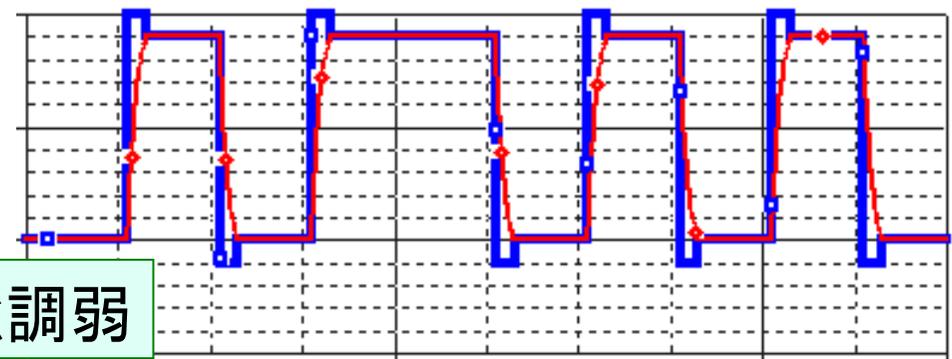
イコライズ回路例:
capacitive degeneration

プリエンファシス技術

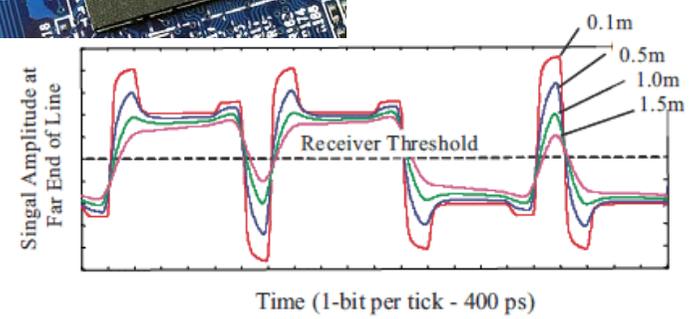
伝送線等による信号の高周波減衰を**伝送前**に補償する回路

変化点をあらかじめ強調し、信号を伝送

— 強調波形 — 受信波形



Xilinx FPGA
等で実用化



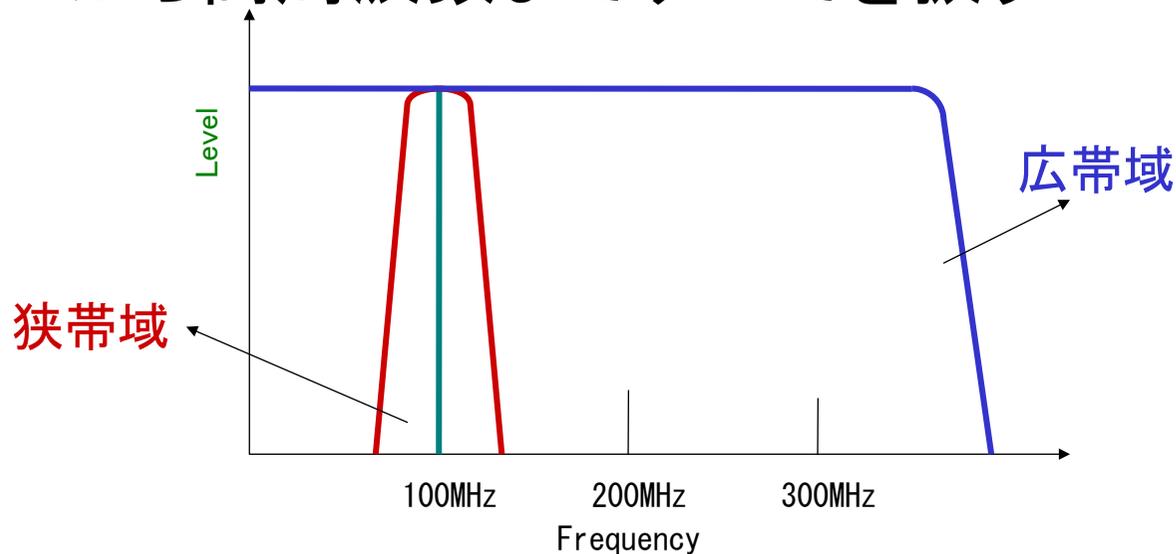
「高周波」と「広帯域」とは異なる

「高周波回路」 例： 無線システム

キャリアが中心周波数の狭帯域回路

「広帯域回路」 例： 高速デジタル伝送回路

DCから高周波数まですべてを扱う



デジタルCMOS LSI 内 高周波クロック

デジタルCMOS LSI は同期回路。
クロックに同期して動作



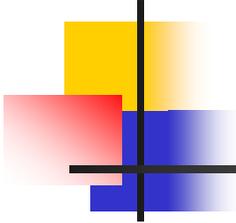
性能はクロック周波数に比例



外部低周波クロックから
チップ内でPLL (Phase Locked Loop)回路で
高周波クロックを生成



デジタルCMOS LSI 内回路は高周波クロックで動作



パワーマネージメント技術

デジタルCMOS LSI

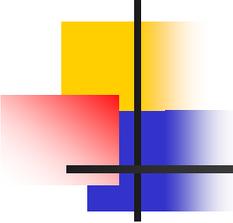
- 消費電力 電源電圧Vdd の2乗に比例
- スピード 電源電圧Vdd の1乗に比例

温度、プロセス変動にも依存

必要最小限のスピードになるように

Vddを自動調整

→ 消費電力を必要最小限に抑えられる



メモリ回路

デジタルの 0, 1 を記憶するメモリ回路
DRAM, SRAM, Flash Memory, ...

➡ 内部はアナログ回路の塊り

センスアンプ:

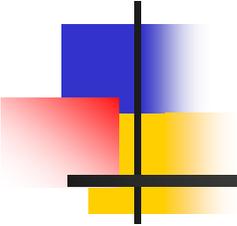
内部のデータ信号を論理レベルまで
素早く増幅

PLL, DLL:

メモリのR/W タイミングの調整

電源回路:

R/W の電圧生成、
漏れ電流(リーク)を防ぐ電圧生成



今後の課題

エレクトロニクス市場からの 増大する要求

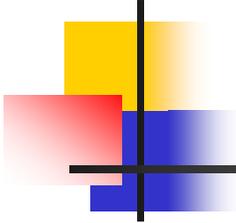
アナログを含んだシステムに対して

- 高速化・高周波化
- 低電圧・大電流対応
- 低消費電力・高効率化
- 高精度化
- 高信頼性能化
- 低コスト化

ますます厳しくなる市場からの技術的要求



絶え間ない技術革新が必要



半導体微細化とアナログ回路

半導体微細化  デジタル回路の為に行う

アナログに**有利**: トランジスタの高速・高周波化

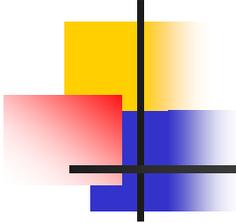
アナログに**不利**: 低電源電圧化、ばらつき増大、
アーリー電圧低下等

微細化のためには巨大な投資。

ウェーハ単位面積当たりのコスト増。



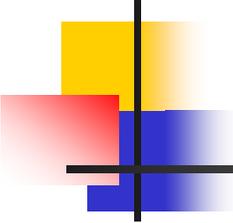
微細CMOSでのアナログもデジタルと同様に
高性能化・低消費電力化・低コスト化が求められる。



高収益性とアナログ技術

- **先端設備**を用い困難な技術開発にチャレンジし達成することで高い付加価値を得る。
- **2-3世代前の枯れた半導体設備を使用**
比較的小回路規模のアナログIC
回路だけでなくプロセスも工夫
高耐圧・パワーデバイス混載、
複数のV_{th} 等
→ 他国にコピーされない

健全な半導体産業発展のために高収益化のストーリーが必要



技術者教育

- アナログを含んだシステムの設計には
ベースバンドアナログ、パワー回路、
高周波回路、デジタル回路、信号処理、計測制御
デバイス、システム等の総合力が必要になってくる。
「ある部分の能力が弱いとそれが製品の弱さになって
表れてくる。」（ある半導体技術者談）
さらにアプリケーション、マーケティング、技術経営能力
- 「後生畏るべし。
いずくんぞ来者の今に如かざるを知らんや。」
若者を侮ってはいけない。

若者のポテンシャルを信じるのが教育の大前提

日本がアナログで勝つためには — アナログ・サイエンスの提唱 —

アナログを「**匠の技**」から「**サイエンス**」へ

「匠の技」「センス」「経験」ばかりを主張していると、
アナログ人口は増えず、産業は伸びない。

技術でうまくいく、いかないというのは

「**理屈**」がある。それを**科学的に**解明し

体系的な設計論、教育システムを確立するべき。

大阪大学 谷口研二先生

アナログ回路に不思議はない。



すべて理詰めで理解できる(基礎理論の習得が重要)。

LVDS

Low Voltage Differential Signaling

小振幅差動信号方式

LVDSは回路や伝送プロトコルなどを比較的自由に設計できる
高速デジタル信号(数百Mbps)の伝送規格

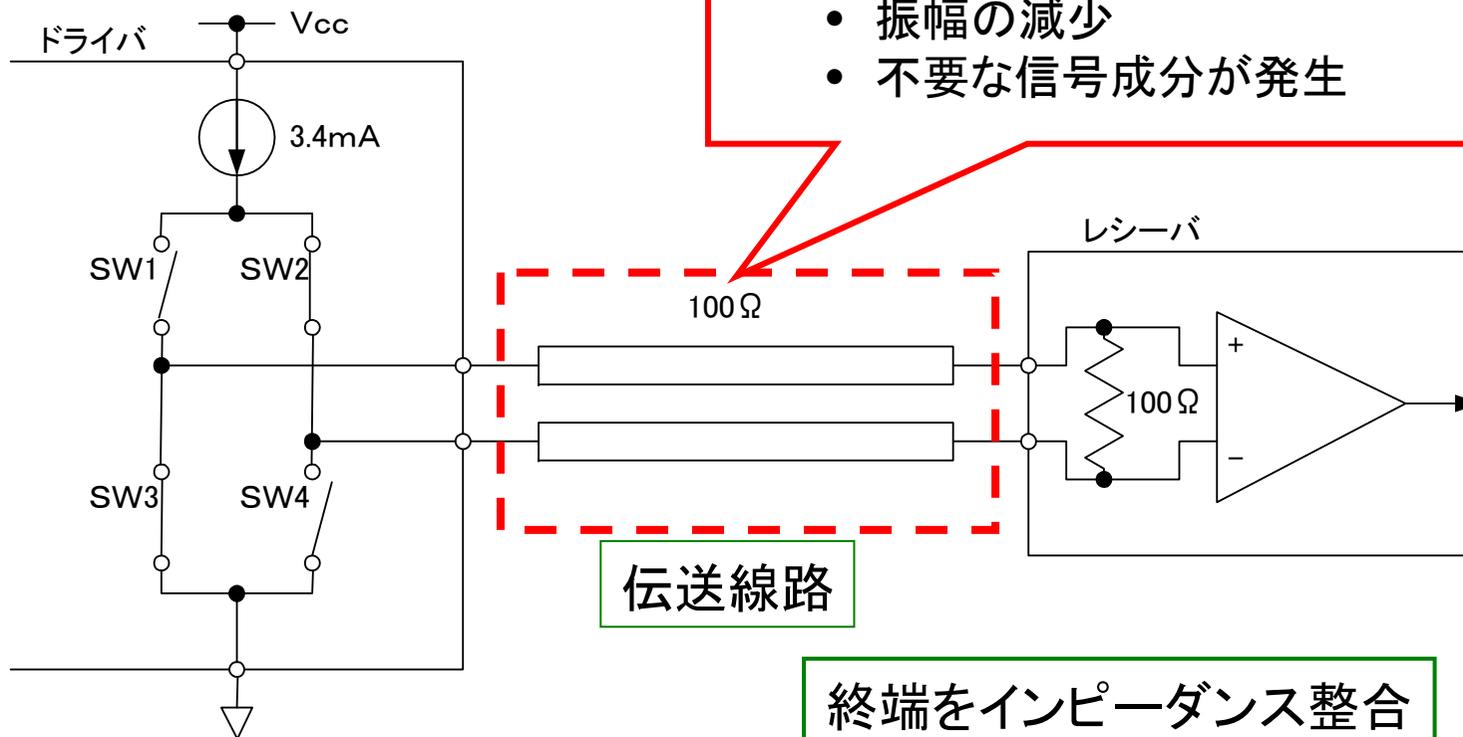
特徴

- 電流駆動
- 高いデータ・レート
- 低消費電力
- 低電圧電源との親和性
- 少ないノイズ発生量
- 高いノイズ除去性能
- 信頼性の高い伝送信号
- システム・レベルのICへの集積化が可能
- 自由な設計が可能
- ユニット間の大量データ伝送に有効
- 低EMIノイズ
- 長距離伝送可能

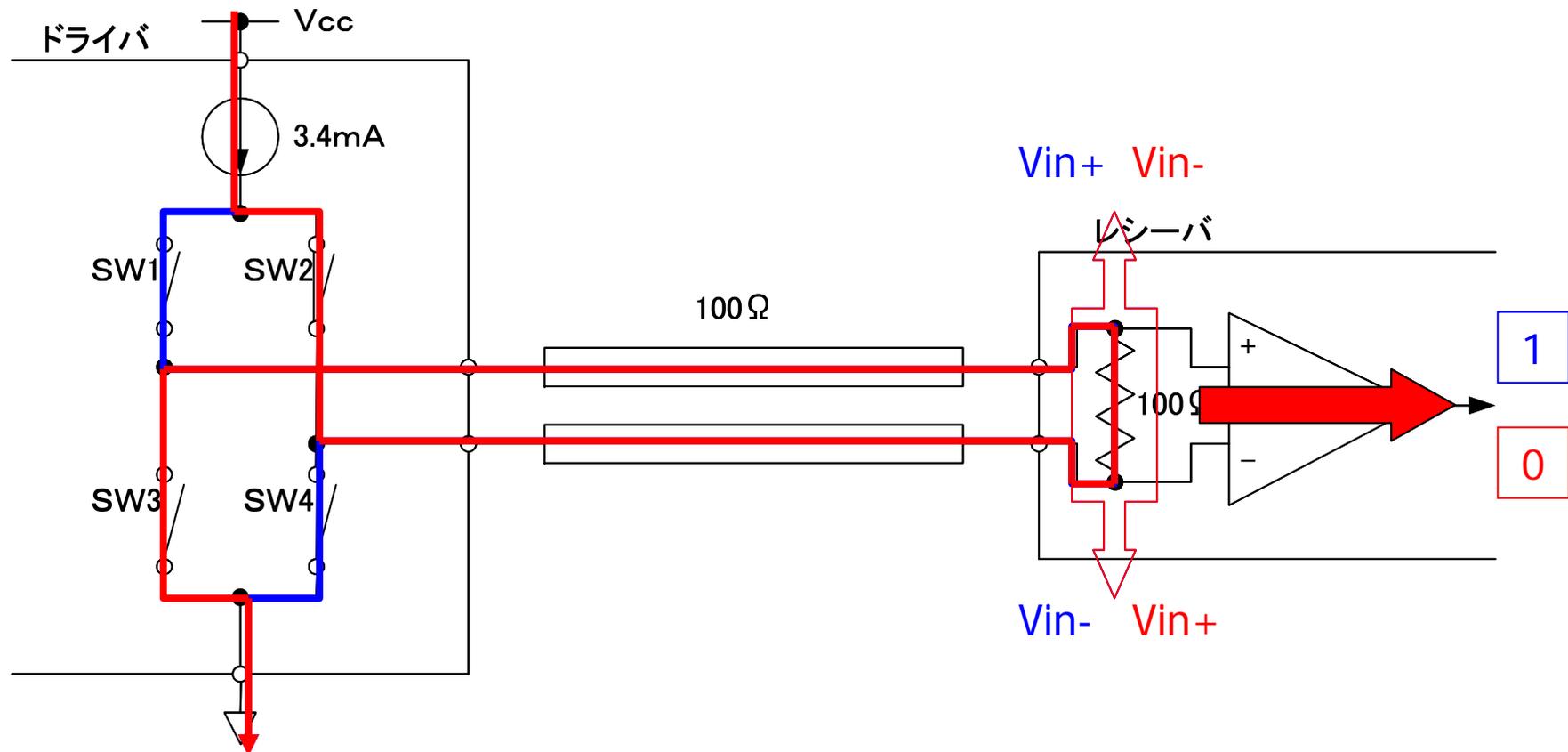
National Semiconductor社
より提案

LVDS送受信回路構成

LVDSの回路構成



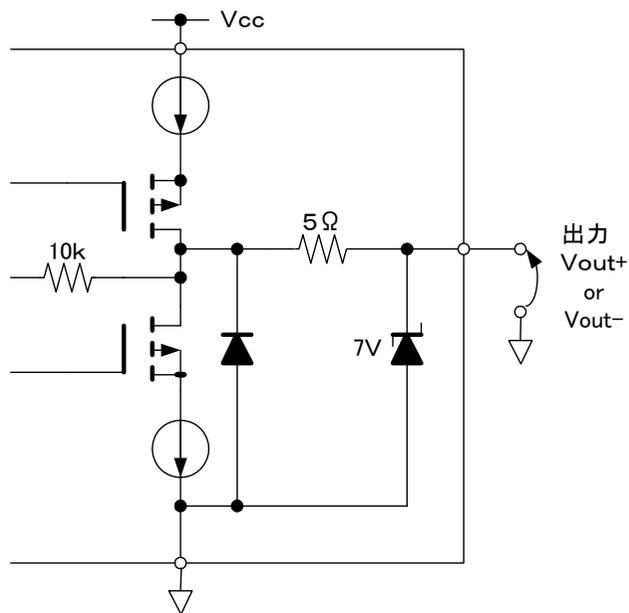
LVDS回路の動作原理



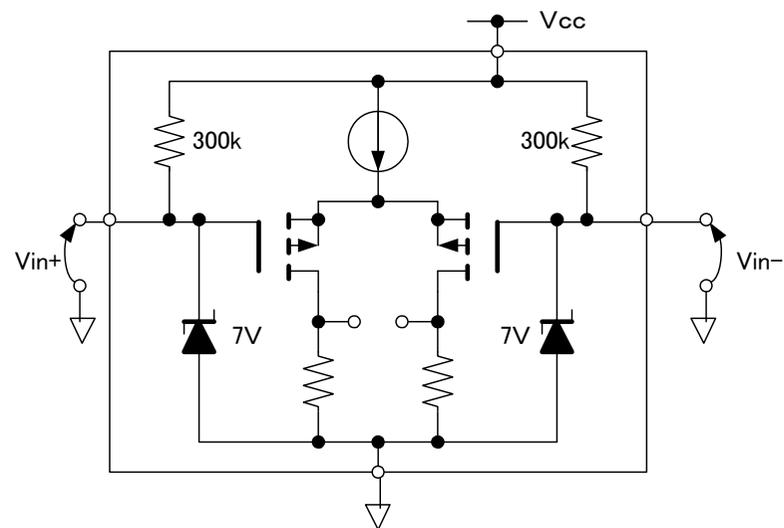
LVDSの実例

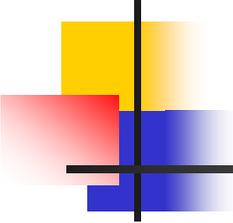
実際のLVDS内部等価回路

LVDS用ドライバIC



LVDS用レシーバIC





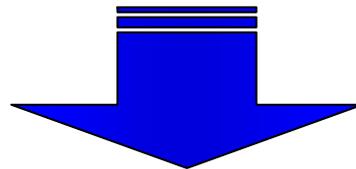
LVDSの自由な設計

コネクタやケーブル、伝送プロトコル、IC製造プロセス、電源電圧などの規定がない

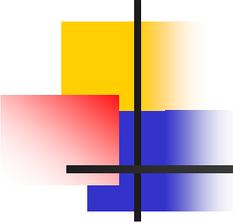


独自の仕様、用途に応じた設計可能

- インターフェース : BiCMOS CMOS バイポーラ
GaAs(ガリウム砒素)などで製造
- 電源電圧 : 5V 3.3V 2.5V



規格が厳密ではないため各メーカーごとに内部回路は異なり、
それゆえに各メーカーは詳しい内部構造を明らかにしない



差動伝送

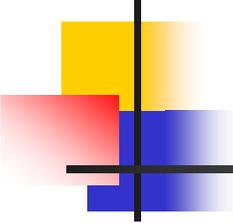
2本の信号線に逆相の信号を印加し、その差分でデータ伝送を行う

特徴

- ノイズ耐性
 - レシーバでは差動間の電圧差で動作するため、コモンモード・ノイズ耐性に優れる
- 減衰に対するマージン
 - レシーバでは差動間の電圧差で動作するため、受け取る電圧は2倍
- 低電圧動作
 - 消費電力の低減が可能
- EMIの低減
 - 差動間で流れる電流の向きがそれぞれ逆のため、生成される磁界が相殺

コモンモード・ノイズ : 2本の信号に同相で現れるノイズ

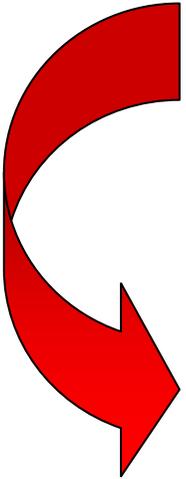
EMI(Electro magnet Interference): 電磁波妨害



低信号振幅

ノイズ除去性能の向上

信号振幅を数百mVまで抑えることが可能

- 
- 低消費電力
 - 高いデータ・レートの実現
 - 最大振幅に達する時間の短縮
 - 同一スルーレートで振幅1/10倍であれば10倍高速動作