
2次フィードフォワード

$\Delta \Sigma$ AD変調器の提案

小長谷 肇 傘 昊 徐 峰 元澤 篤史 小林 春夫

群馬大学 大学院 電気電子工学専攻

安藤 和正 吉田 博史 村山 知支人

東芝LSI システムサポート(株)

概要

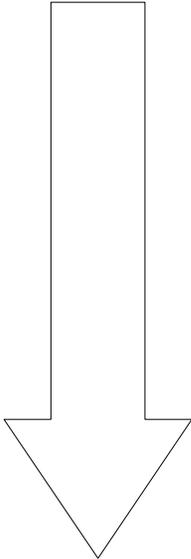
- 目的・研究背景
- $\Delta\Sigma$ 変調方式の原理と構成
- フィードバック型とフィードフォワード型
- 提案変調器のブロック構成
- 提案変調器の回路構成
- シミュレーションによる動作確認
- まとめ

概要

- 目的・研究背景
- $\Delta\Sigma$ 変調方式の原理と構成
- フィードバック型とフィードフォワード型
- 提案変調器のブロック構成
- 提案変調器の回路構成
- シミュレーションによる動作確認
- まとめ

研究背景

マイコン一体型電力計 逐次比較AD変換器



プロセスの微細化に伴う要求

- ・低電源電圧
- ・低消費電力

$\Delta\Sigma$ AD変調器

目的・研究背景

目的: 低電源電圧・低消費電力・高精度ADCを実現

●CMOSプロセスの微細化

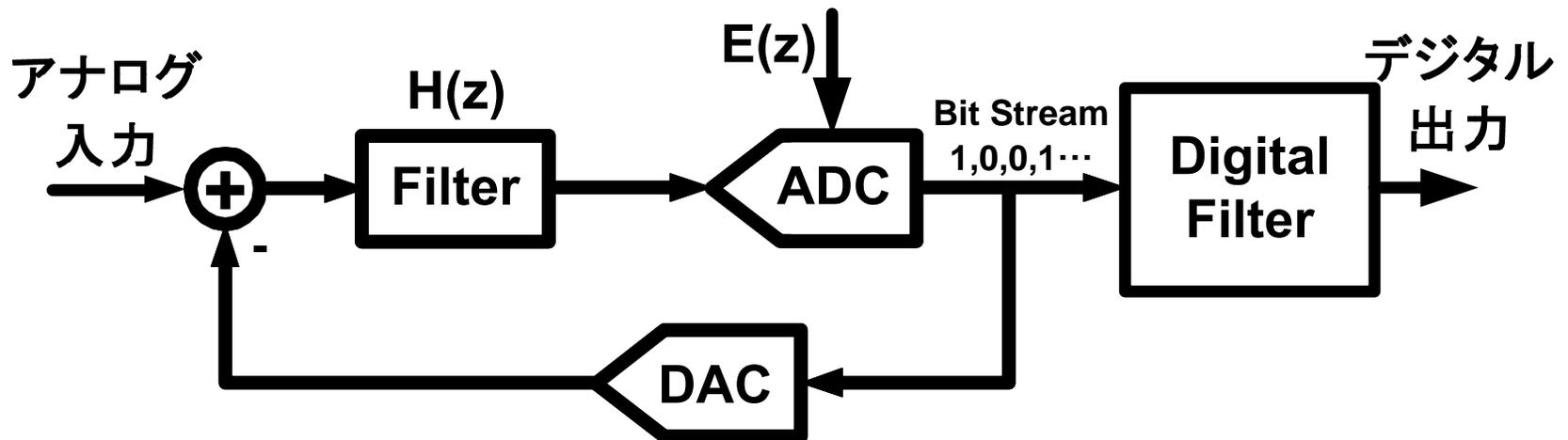
- 電源電圧低下
 - 信号のダイナミックレンジ減少
- 素子間ミスマッチ 大
 - 線形性の確保が困難

ADCのSNDR低下



アーキテクチャの改善

$\Delta\Sigma$ AD変調方式



- デジタルリッチ
- 高精度アナログ回路不要
- オーバーサンプリング
- ノイズシェイプ

微細CMOSプロセスでの高精度ADCに適す

フィードフォワード型 → さらに低電源電圧・低消費電力

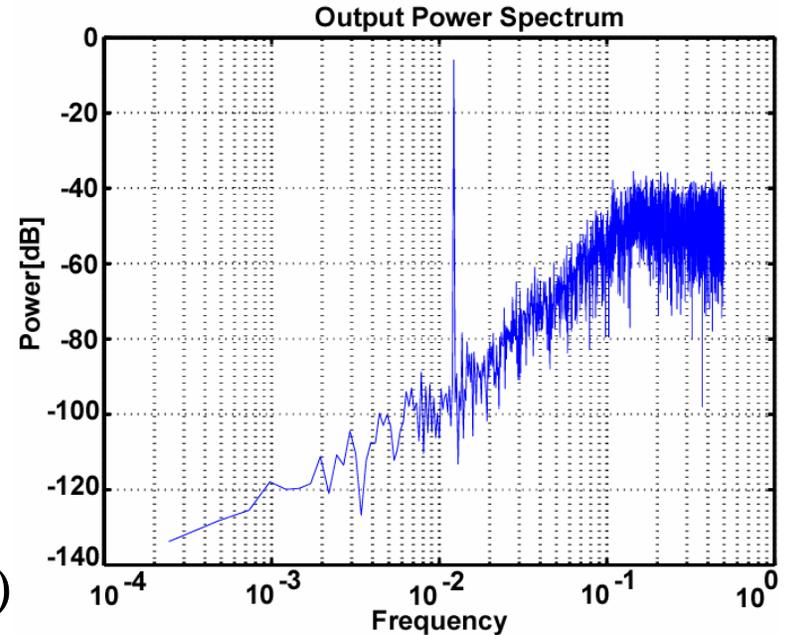
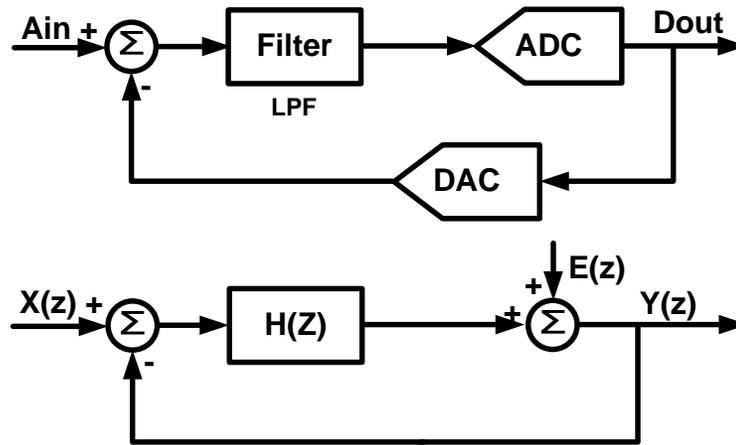
提案変調器の特徴

- フィードフォワード $\Delta\Sigma$ 変調器
 - 低電源電圧・低消費電力・高精度
- 新フィードフォワード構成
 - 回路規模 縮小
 - オペアンプ数減少
 - ◆ 低消費電力
 - ◆ 小チップ面積

概要

- 目的・研究背景
- $\Delta\Sigma$ 変調方式の原理と構成
- フィードバック型とフィードフォワード型
- 提案変調器のブロック構成
- 提案変調器の回路構成
- シミュレーションによる動作確認
- まとめ

△ΣAD変調器の構成と入出力特性



$$Y(z) = \frac{H(z)}{1+H(z)} \cdot X(z) + \frac{1}{1+H(z)} \cdot E(z)$$

$$STF(z) = \frac{H(z)}{1+H(z)}$$

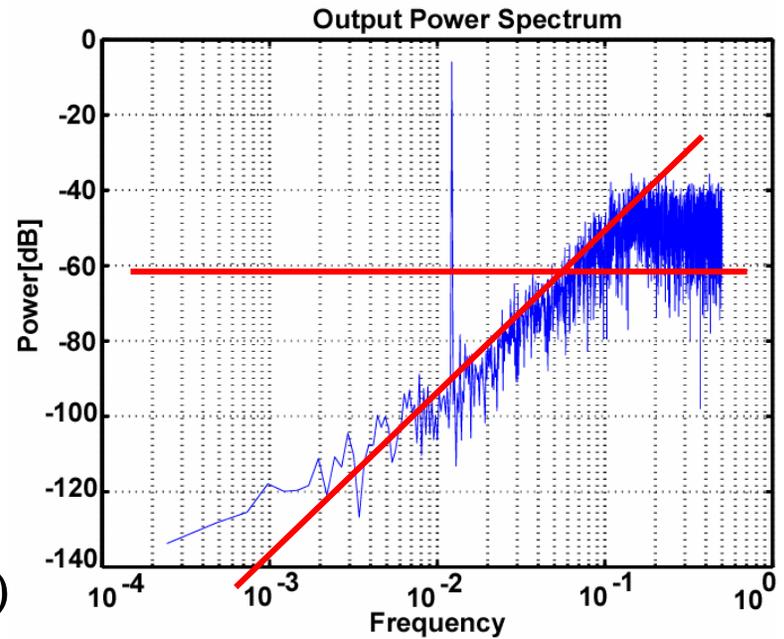
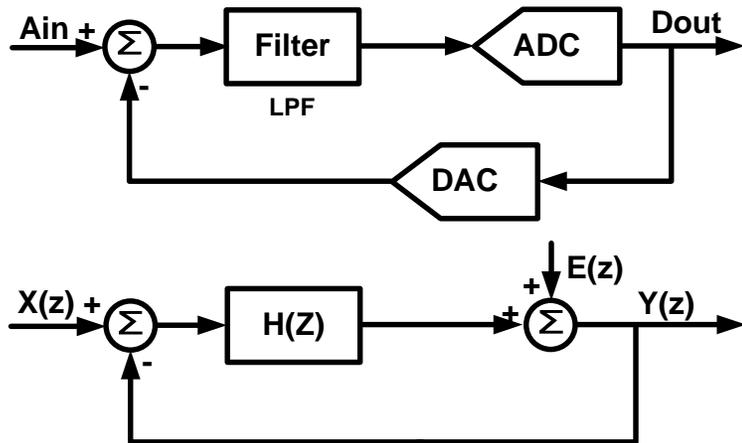
Signal Transfer Function

$$NTF(z) = \frac{1}{1+H(z)}$$

Noise Transfer Function

オーバーサンプリングとノイズシェイプで
高SNDRを実現.

△ΣAD変調器の構成と入出力特性



$$Y(z) = \frac{H(z)}{1+H(z)} \cdot X(z) + \frac{1}{1+H(z)} \cdot E(z)$$

$$H(z) = \frac{z^{-1}}{1-z^{-1}} \rightarrow STF(z) = z^{-1}$$

Signal Transfer Function

$$NTF(z) = 1 - z^{-1}$$

Noise Transfer Function

オーバーサンプリングノイズ
高SNDR

1クロック遅れ

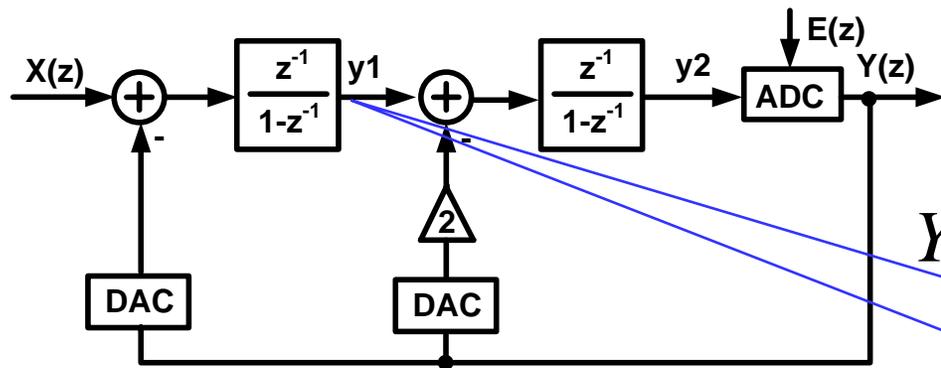
微分 = 低域除去

概要

- 目的・研究背景
- $\Delta\Sigma$ 変調方式の原理と構成
- **フィードバック型とフィードフォワード型**
- 提案変調器のブロック構成
- 提案変調器の回路構成
- シミュレーションによる動作確認
- まとめ

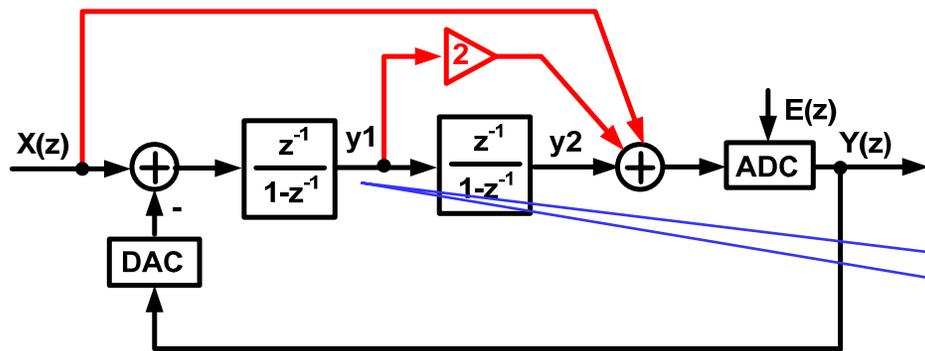
FB型とFF型 (二次低域通過 $\Delta\Sigma$ 変調器)

フィードバック(FB)型



$$Y(z) = z^{-1} X(z) + (1 - z^{-1})^2 E(z)$$

フィードフォワード(FF)型

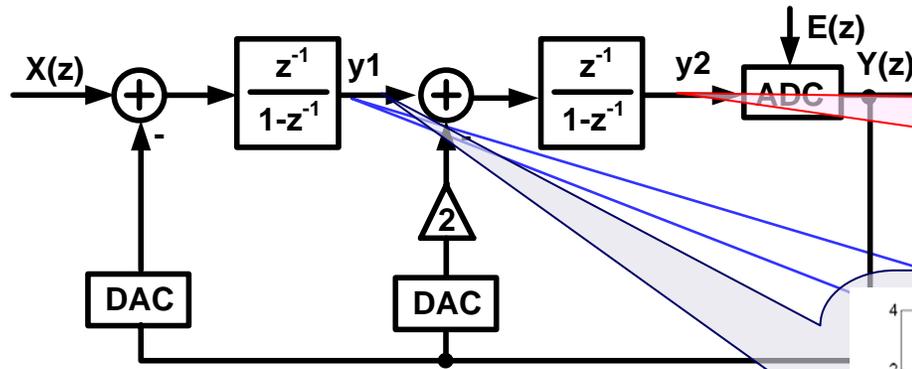


$$Y(z) = X(z) + (1 - z^{-1})^2 E(z)$$

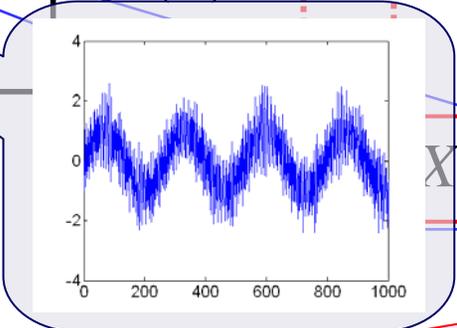
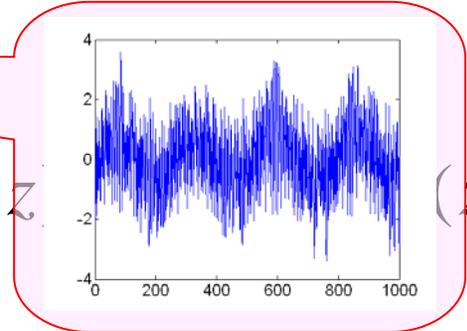
$$y_1(z) = \underline{\hspace{2cm}} z^{-1} (1 - z^{-1}) E(z)$$

FB型とFF型 (二次低域通過 $\Delta\Sigma$ 変調器)

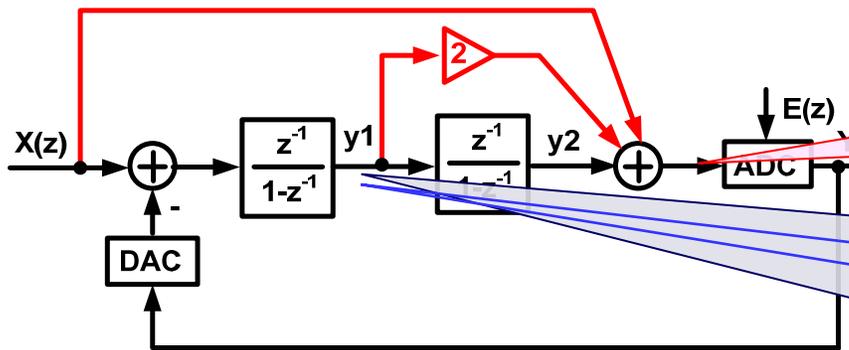
フィードバック(FB)型



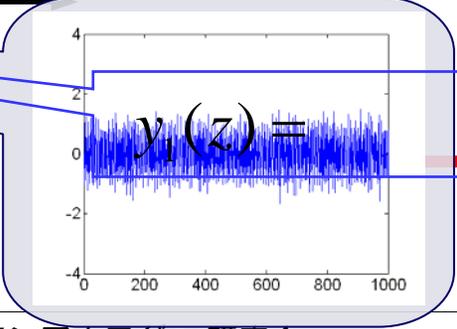
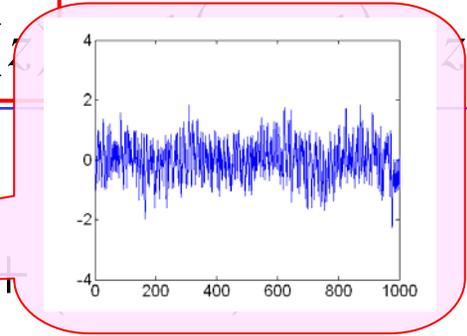
$$Y(z) = z^{-1} X(z)$$



フィードフォワード(FF)型

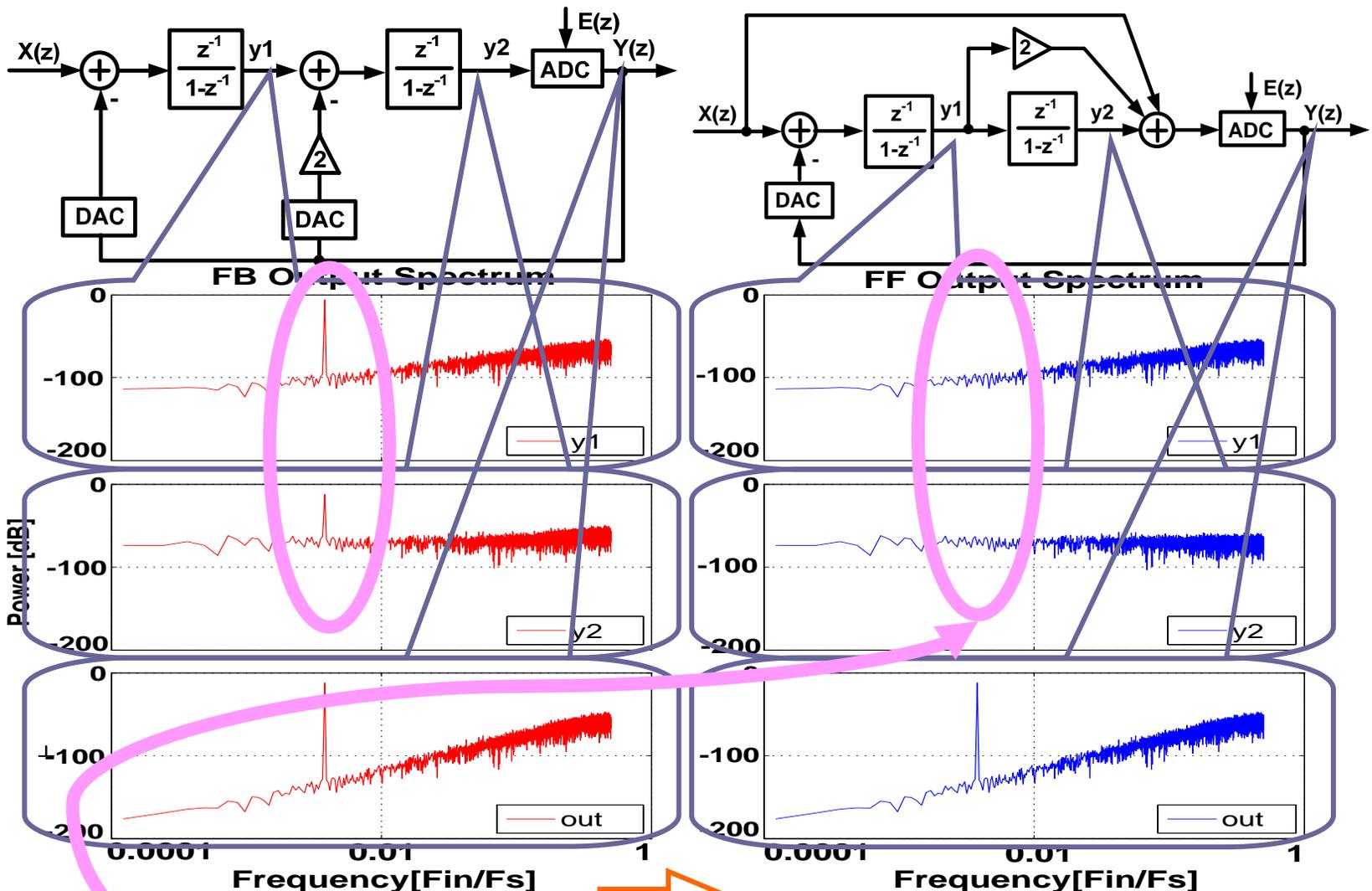


$$Y(z) = X(z) + z^{-1} X(z)$$

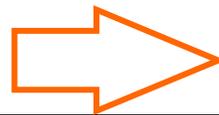


$$y_1(z) = z^{-1} (1 - z^{-1}) E(z)$$

FB型、FF型比較



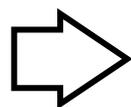
信号成分なし



電圧振幅減少

フィードフォワード型の特徴

- 積分器出力の電圧振幅 小
 - 低電源電圧下で動作
 - 歪みによる精度劣化軽減
 - アンプスルーレイトの要求緩和
- シングルDACフィードバック
 - 低消費電力
 - 小チップ面積



低電力アプリケーションに適す

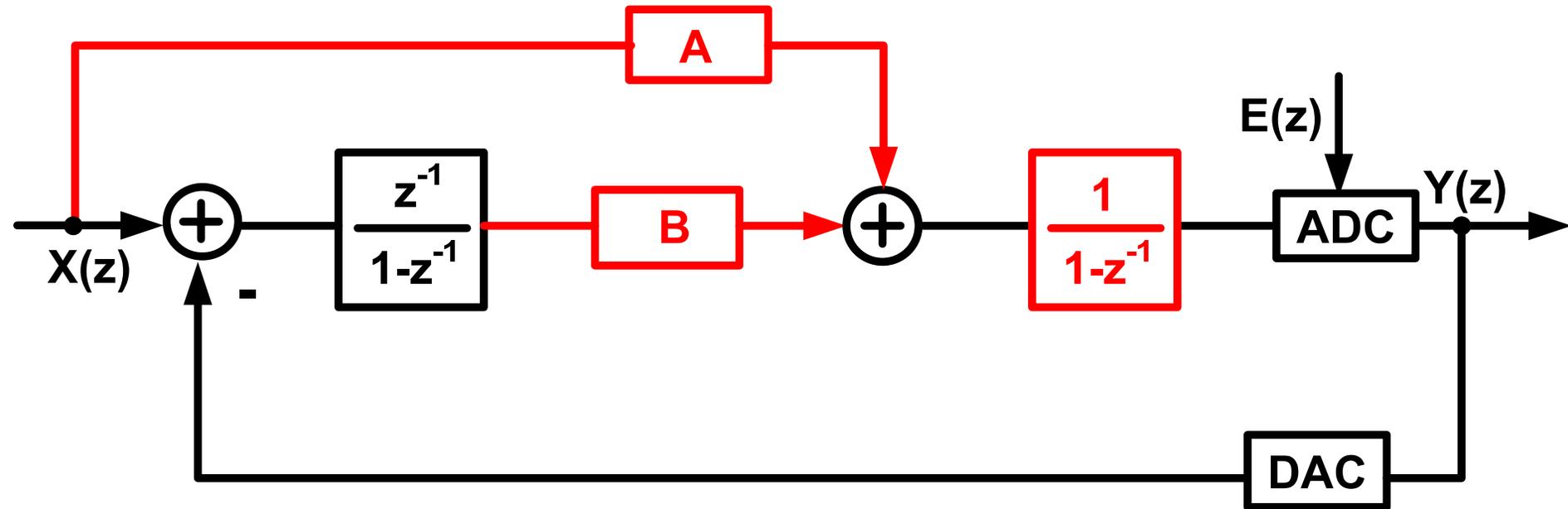
概要

- 目的・研究背景
- $\Delta\Sigma$ 変調方式の原理と構成
- フィードバック型とフィードフォワード型
- **提案変調器のブロック構成**
- 提案変調器の回路構成
- シミュレーションによる動作確認
- まとめ

新フィードフォワード構成

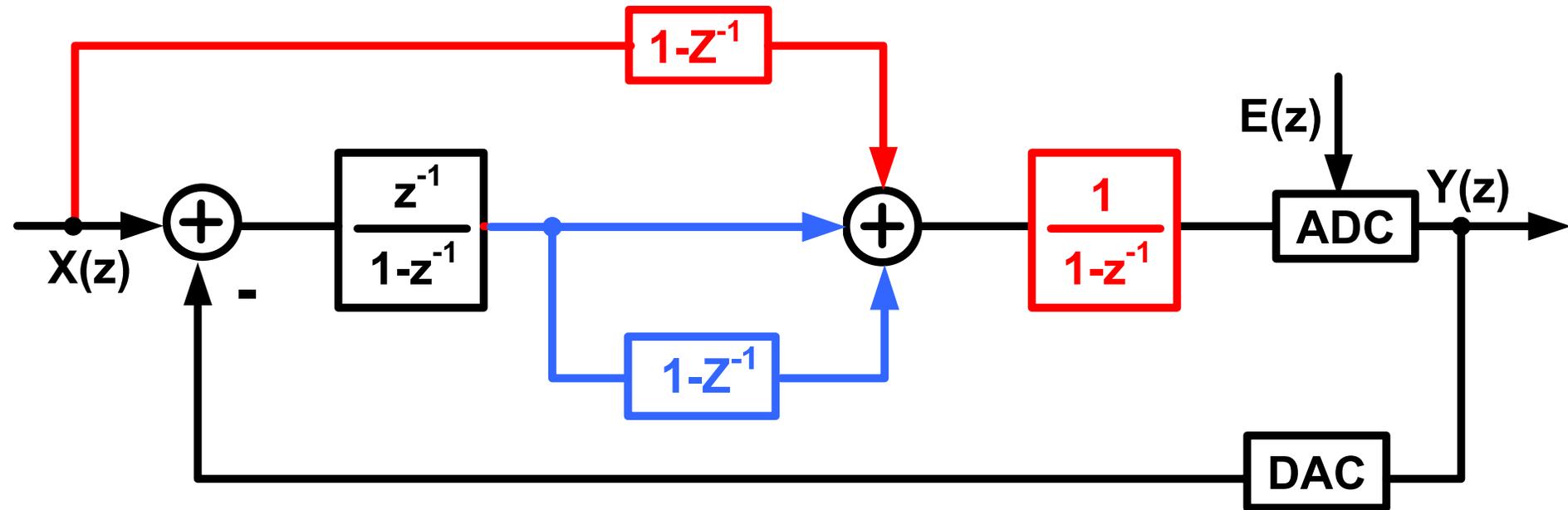
提案式FF型

加算器
ADDER



$$Y(z) = X(z) + \left(1 - z^{-1}\right)^2 E(z)$$

提案変調器の構成

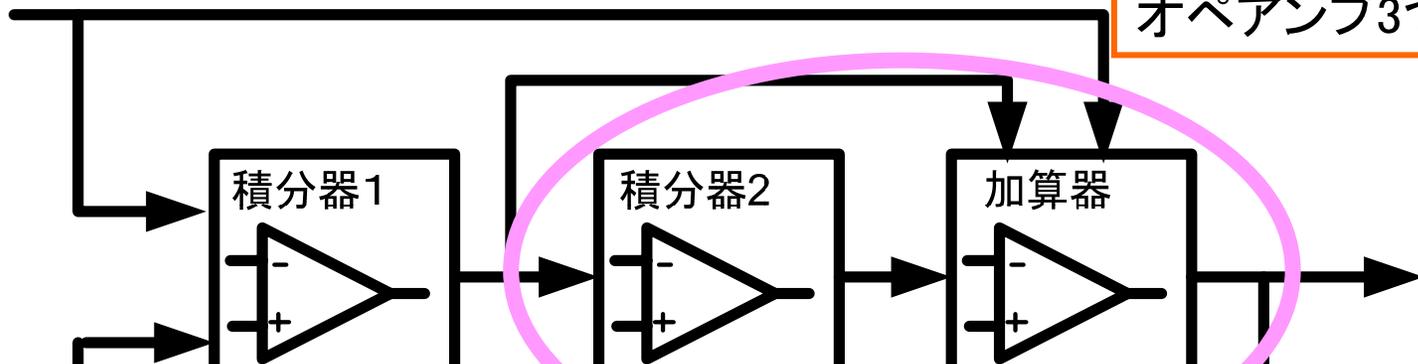


$$Y(z) = X(z) + (1 - z^{-1})^2 E(z)$$

オペアンプ数の減少

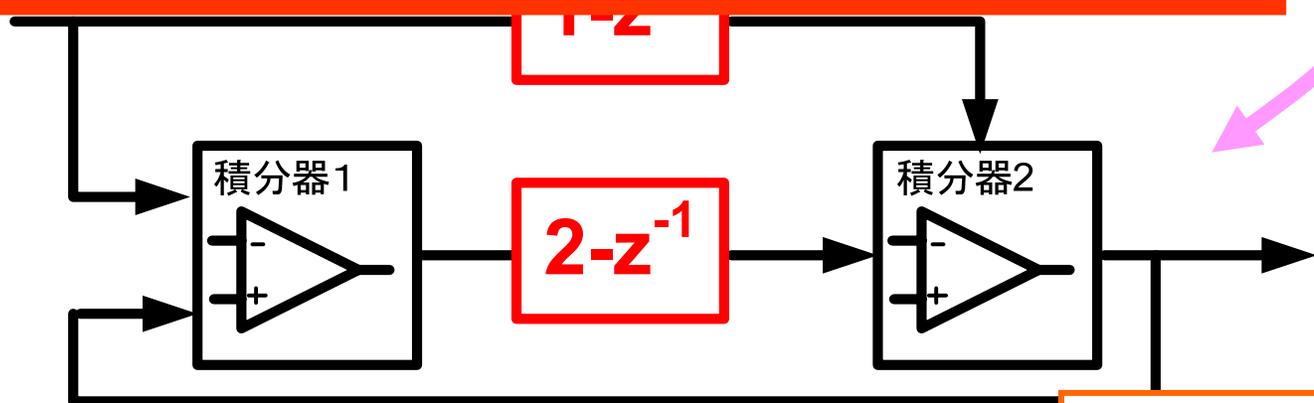
従来式FF型

オペアンプ3つ



提案

低消費電力、小面積

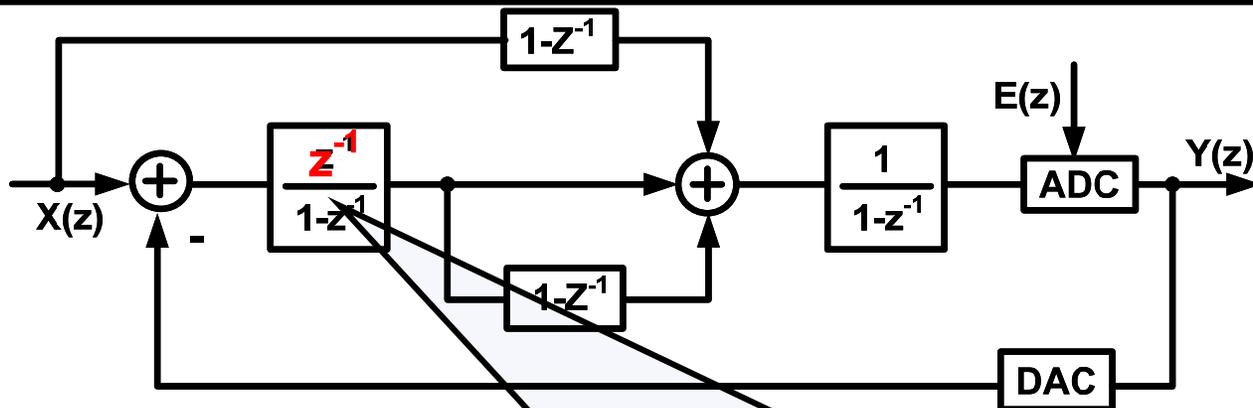


オペアンプ2つ

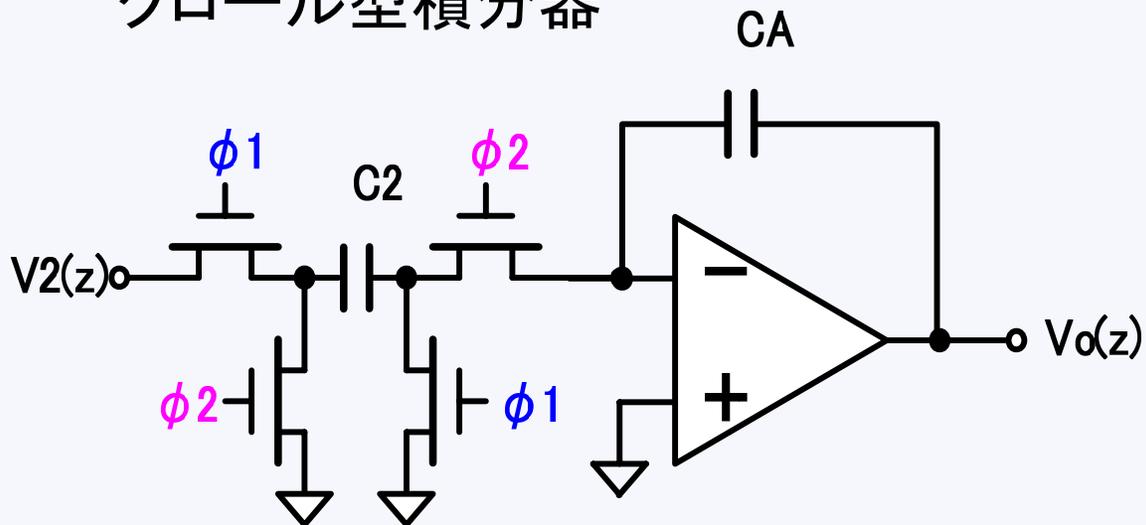
概要

- 目的・研究背景
- $\Delta\Sigma$ 変調方式の原理と構成
- フィードバック型とフィードフォワード型
- 提案変調器のブロック構成
- **提案変調器の回路構成**
- シミュレーションによる動作確認
- まとめ

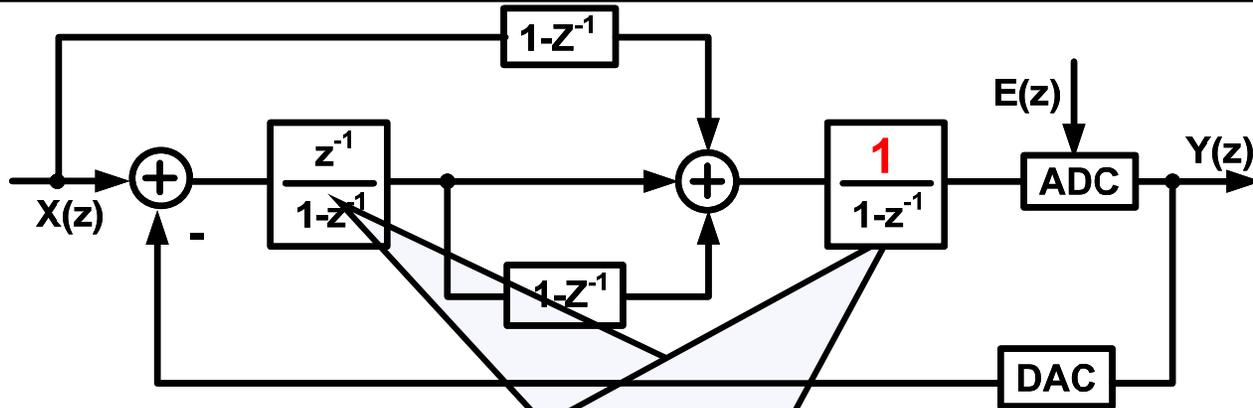
提案回路構成



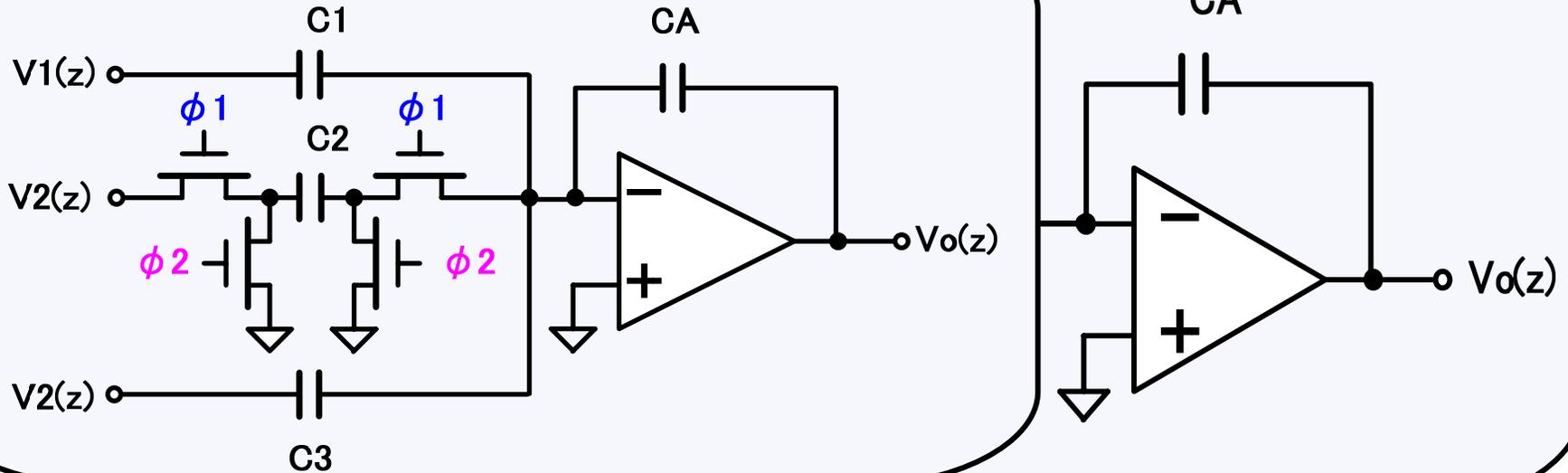
クローラ型積分器



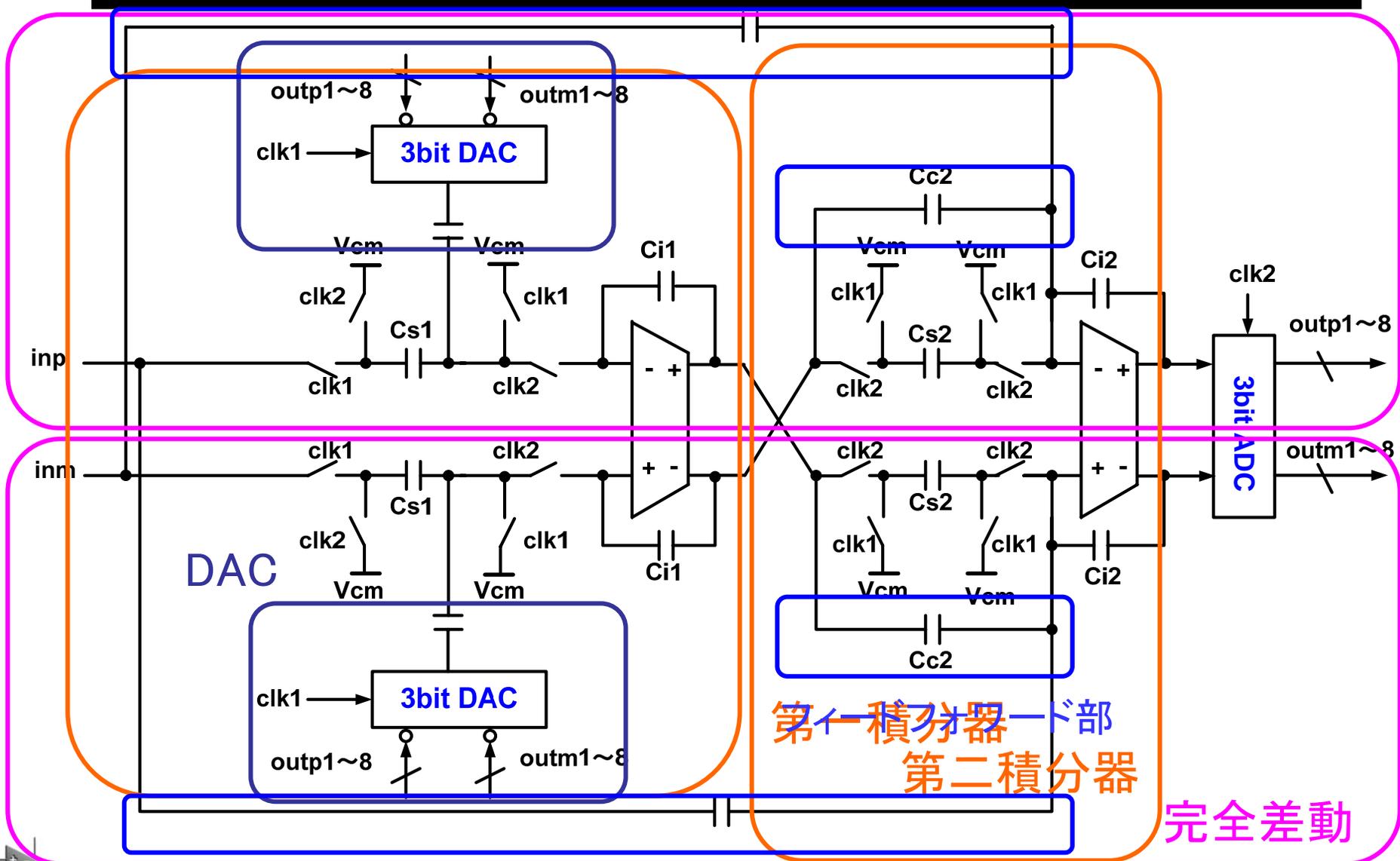
提案回路構成



バタフライ型積分器(三入力)



提案変調器の全体回路構成



第一積分器部
第二積分器

完全差動

提案回路の利点

- 積分器出力の電圧振幅 小
 - 低電源電圧下で動作
 - 歪みによる精度劣化軽減
 - アンプスルーレイトの要求緩和
- マルチビット構造
 - 量子化ノイズ 小
 - 線形性
 - 安定性
 - アンプスルーレイト緩和
 - 低消費電力
- 1アンプ削減
 - 回路簡易化
 - 低消費電力
 - 小チップ面積
- 低次ループフィルタ
 - 低消費電力
 - 回路簡易化
- シングルDAC FB構成
- シングルループ構成
 - 低ゲインアンプ
 - 低消費電力

概要

- 目的・研究背景
- $\Delta\Sigma$ 変調方式の原理と構成
- フィードバック型とフィードフォワード型
- 提案変調器のブロック構成
- 提案変調器の回路構成
- シミュレーションによる動作確認
- まとめ

SPIICEシミュレーション条件

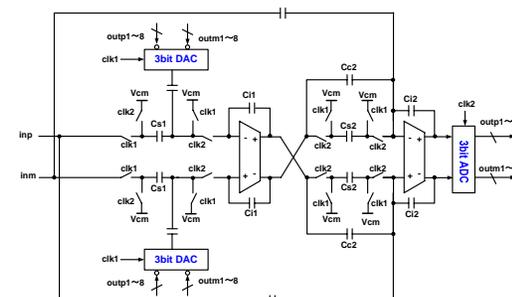
$V_{in}=1 \pm 0.4$ [V]

$F_{in}=1.94k$ [Hz]

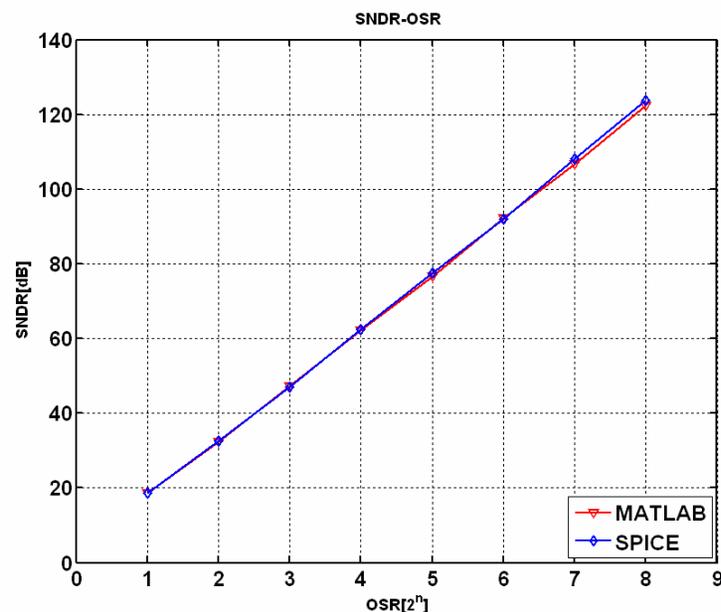
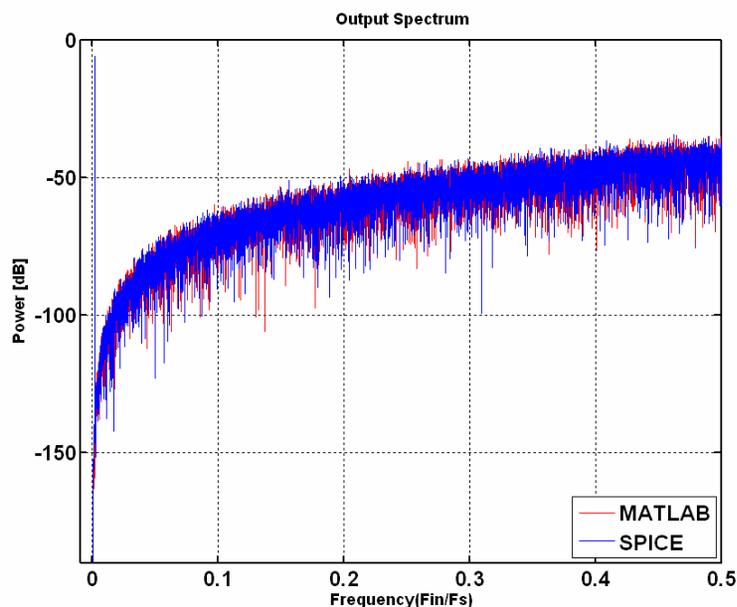
$F_s=1024k$ [Hz]

$V_{ref}=1 \pm 0.8$ [V]

理想オペアンプ
理想スイッチ



シミュレーション結果 (MATLAB、SPICE)



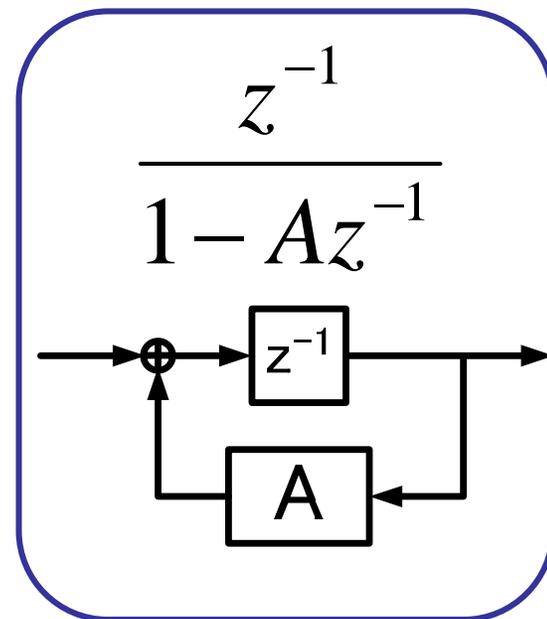
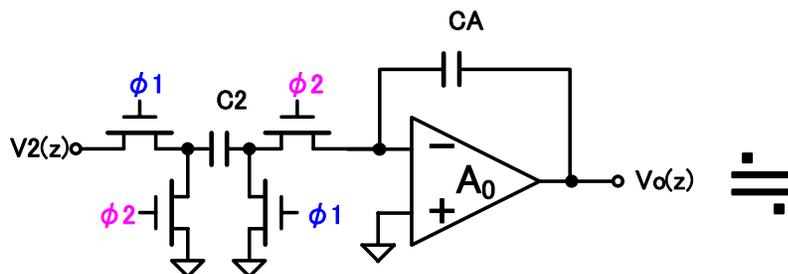
SPICEとMATLABの結果 一致



本回路は提案構成を実現

非線形アンプ

$$\frac{z^{-1}}{1 - z^{-1}} \equiv$$



$$A = - \left(\frac{A_0}{1 + A_0} \right) \left(1 + b_1 v_o + b_2 v_o^2 \right)$$

A_0 = アンプゲイン

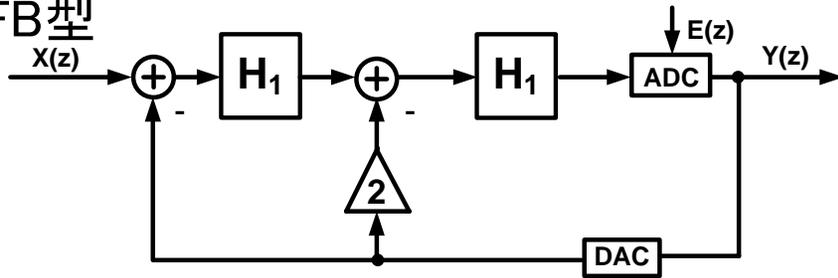
V_o = アンプ出力

b_1 = 二次高調波歪み率

b_2 = 三次高調波歪み率

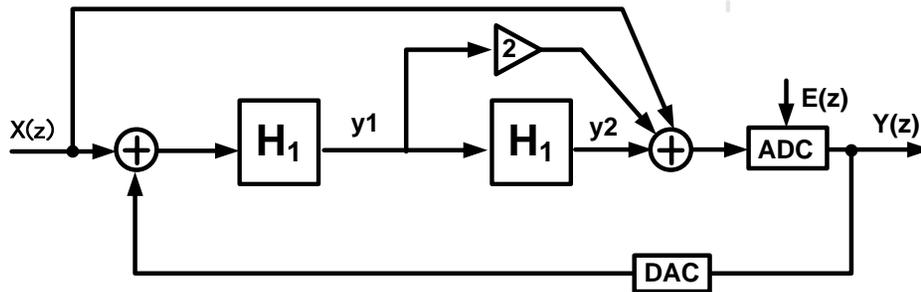
高調波成分の影響

従来FB型



$$H_1(u) = \frac{z^{-1}}{1 - \left(\frac{A_0}{1 + A_0} \right) \left(1 + b_1 v_o + b_2 v_o^2 \right) z^{-1}}$$

従来FF型



$$H_2(u) = \frac{1}{1 - \left(\frac{A_0}{1 + A_0} \right) \left(1 + b_1 v_o + b_2 v_o^2 \right) z^{-1}}$$

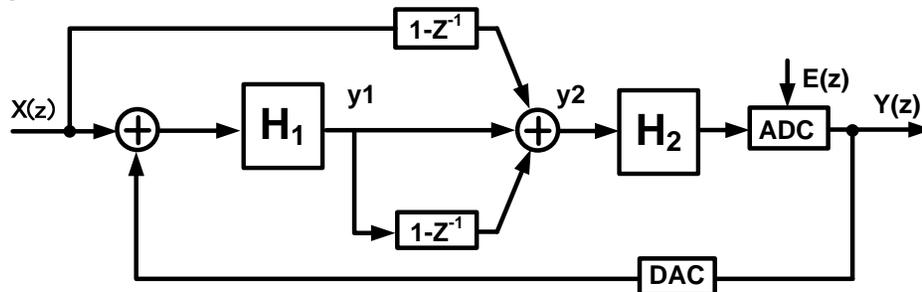
A_0 = アンプゲイン

V_o = アンプ出力

b_1 = 二次高調波歪み率

b_2 = 三次高調波歪み率

提案FF型



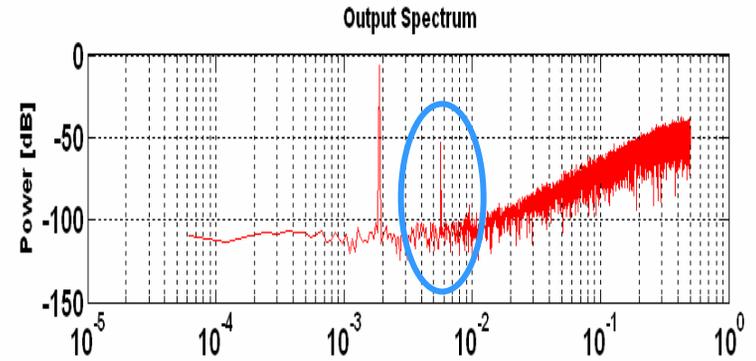
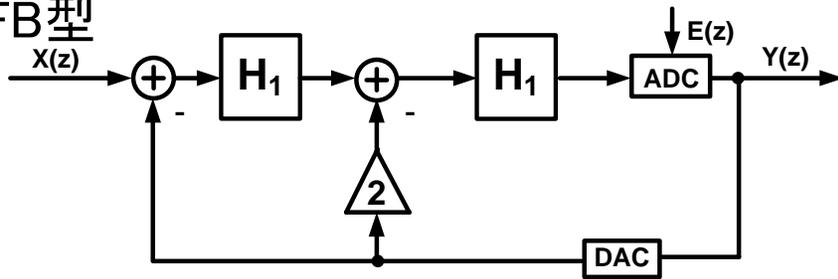
$$A_0 = 100$$

$$b_1 = 0$$

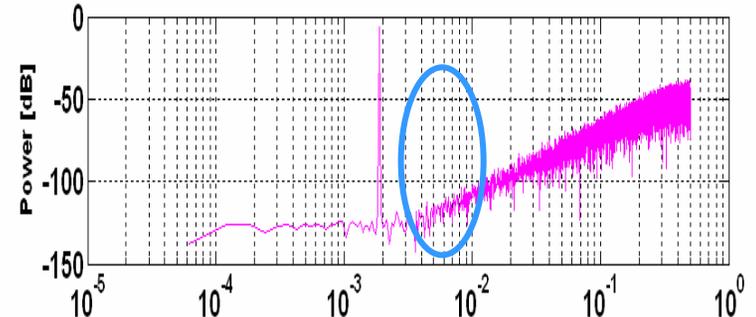
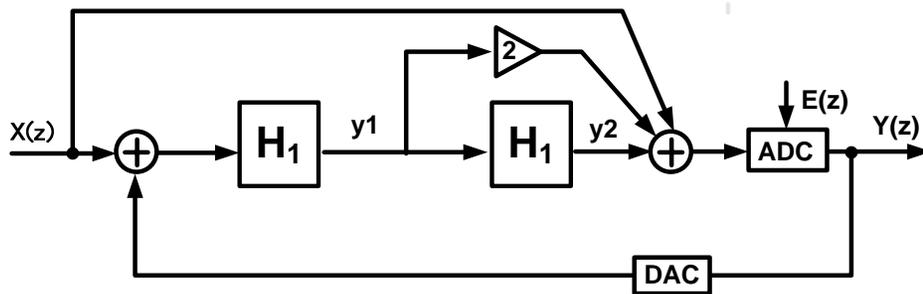
$$b_2 = -0.01$$

高調波成分の影響

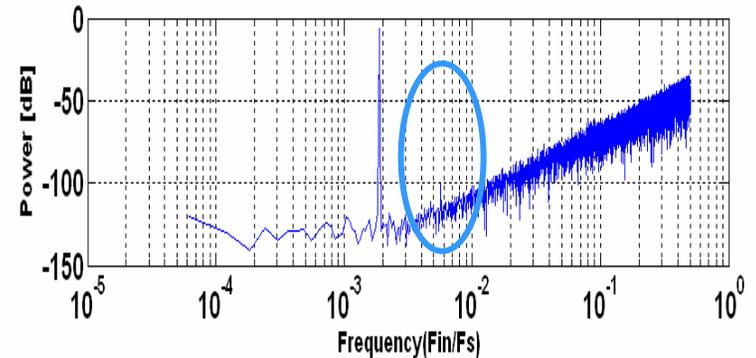
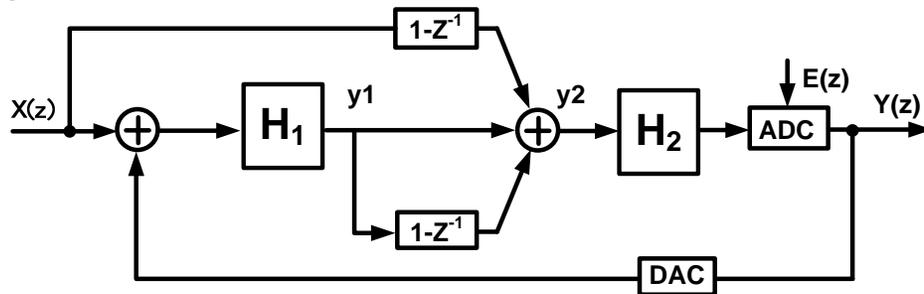
従来FB型



従来FF型



提案FF型



概要

- 目的・研究背景
- $\Delta\Sigma$ 変調方式の原理と構成
- フィードバック型とフィードフォワード型
- 提案変調器のブロック構成
- 提案変調器の回路構成
- シミュレーションによる動作確認
- **まとめ**

まとめ

- 二次 $\Delta\Sigma$ AD変調器の新FF構成を提案
- SPICE及びMATLABによるシミュレーションでその動作を確認
- 新FF構成により
 - 高精度、低電源電圧動作
 - オペアンプ数減少

- 低消費電力

- 小チップ面積

今後の課題

トランジスタレベルでの設計及び試作