

デジタル制御電源用 高時間分解能 DPWM 回路 High-Resolution DPWM Generator for Digitally Controlled DC-DC Converters

木村 圭吾 森 偉文樹 山田 佳央 小林 春夫
小堀 康功† 清水 一也 光野 正志 傘 昊

群馬大学工学部電気電子工学科 〒376-8515 群馬県桐生市天神町 1-5-1
Phone: 0277-30-1788 Fax: 0277-30-1707 e-mail: k.haruo@el.gunma-u.ac.jp
† 群馬大学大学院工学研究科 ルネサステクノロジ先端アナログ回路工学講座

Keigo KIMURA Ibuki MORI Yoshihisa YAMADA Haruo KOBAYASHI
Yasunori KOBORI† Kazuya SHIMIZU Masashi KONO Hao SAN

Electronic Engineering Department, Faculty of Engineering, Gunma University
1-5-1 Tenjin-cho Kiryu Gunma Japan 376-8515

† Advanced Analog Circuit Lab., Graduate School of Engineering, Gunma University

要約— 本論文ではデジタル制御電源に用いるための、高時間分解能デジタル PWM 生成回路の新構成を提案する。従来のデジタル PWM はその時間分解能が「ゲート遅延」で決まるが、ここで提案する構成では「2つ以上のゲート遅延の差」であるので、より高時間分解能が実現できる。また回路量が削減され高速で動作する必要がなくなるので低消費電力化できる。さらに拡張ユークリッド互除法をベースにしてそのシステムマテックな設計アルゴリズムを開発し最適化設計を可能にした。提案手法による回路構成と原理、設計手法を述べる。

キーワード : デジタル制御, 電源, PWM, 時間軸アナログ回路, 拡張ユークリッド互除法

I. はじめに

近年の LSI の超大規模化・超微細化、マイクロプロセッサの性能向上によるスイッチング時間の高速化、LSI の低電力化による電源電圧の動作マージン減少や半導体微細化による電圧変動量の増加、またこれらを用いたシステム製品の低消費電力化要求等のため、これらを動作させる電源回路への要求はますます厳しくなっている。この難しい要求を満たすための解の一つとして、デジタル回路と DC-DC コンバータを 1 チップ集積し最短距離で接続、1 つのシステムとして高度に管理、監視した動作特性の細かい調整を可能とするデジタル制御電源が急速に関心を集めてきている [1]-[6]。

この論文ではデジタル電源の高性能化のためのデジタル PWM (Digital Pulse Width Modulation: DPWM) 生成回路の、従来に比べて高時間分解能を少量回路規模・低消費電力で実現する方式を提案する。

II. デジタル電源の構成と DPWM

デジタル制御電源の構成を図 1 に示す。電源スイッチング制御部を（アナログ制御方式ではなく）ADC, DSP とデジタル PWM のデジタル信号処理システムで実現している。その動作は出力電圧（または出力電流）を AD 変換してフィードバックし、基準電圧値と比較してその差を打ち消すようにデジタル信号処理回路で制御アルゴリズムを実行し、PWM 信号を出力してスイッチをオンオフ制御する。アナログ電源ではコンパレータと鋸波（三角波）を用いてアナログ的に PWM を発生させていたが、デジタル電源はデジタル的に PWM 信号を生成する。

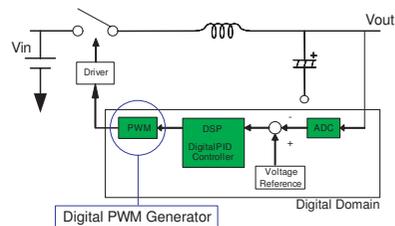


図 1: デジタル制御電源の構成。

デジタル PWM 信号発生器はデジタル入力 D_{in} に比例したデューティ比の PWM 信号を発生する回路である(図 2)。デジタル電源回路ではデジタル PWM の入出力データは単調性を満たしていれば線形性はさほど要求されないが、十分な制御性能をだすためにはシミュレーション等の結果により分解能は 12 ビット以上必要であることがわかっている。

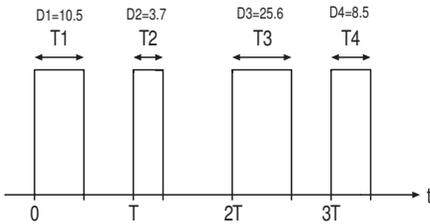


図 2: デジタル PWM 信号。この発生回路のデジタル入力と出力 PWM 信号デューティ比は比例関係にある。

III. 高時間分解能 DPWM 発生回路の設計

目標仕様：

1 周期： 80ns

(AD 変換器は 12.5MS/S(=1/80ns) で動作。)

分解能： 13bit

時間分解能： 10ps (= 80ns/2¹³)

使用可能なクロック： f_{clk} 100MHz, f_s 12.5MHz

なお、米 TI 社のデジタル制御 IC (UCD9K,2005) は時間分解能 150[ps] である。

DPWM 全体回路構成： デジタル PWM 全体回路構成を図 3 に示すように設計する。13 ビットのデジタル信号を入力とし、CLKout を PWM 出力信号である。タイミングの基準クロックとして $f_{clk}=100$ [MHz] を与え、Coarse DTC (粗い時間分解能の DTC) と Fine DTC (細かい時間分解能の DTC) で構成する。DTC とは Digital-to-Time Converter の略で、デジタル入力から時間出力を得るものである。13 ビットのデジタル入力信号を上位 3 ビットと下位 10 ビットに分け、上位を Coarse DTC に下位を Fine DTC に入力する。

Coarse DTC は基準クロックで動作する 3 ビットのデジタル・カウンタで構成し、その出力 CLKin を Fine DTC に入力する。Fine DTC ではゲート遅延やマルチプレクサ等によってアナログおよびデジタルの両方の回路を用いて 10bit のタイミング信号を生成する。

Coarse DTC の仕様： AD 変換器のサンプリングクロック $f_s(=12.5$ MHz) を入力基準タイミングとして時間分解能 10ns で遅延させた信号 CLK_{in} を出力する。

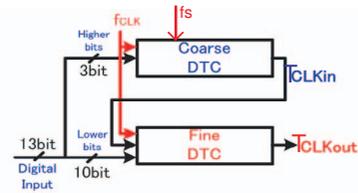


図 3: DPWM 回路の全体構成図。

1 周期: 80ns (=1/12.5MHz)

分解能: 3bit (デジタル 3bit データで与える。)

出力 CLK_{in} の時間分解能: 10ns (=80ns/2³)

外部からの基準クロック f_{clk} : 100MHz

Fine DTC の仕様： 入力信号を CLK_{in} とし、その立ち下がりタイミングから時間分解能 10ps で遅延させた信号 CLK_{out} を出力する。

1 周期: 10ns

分解能: 10bit (デジタル 10bit データで与える。)

出力 CLK_{out} の時間分解能: 10ps (=10ns/2¹⁰)

外部からの基準クロック f_{clk} : 100MHz

Coarse DTC の構成と動作： Coarse DTC を図 4 に示すように構成する。 $f_s=12.5$ MHz でリセットされ $f_{clk}=100$ MHz で動作するデジタルカウンタと、その出力と上位 3 ビットの値を比較するデジタル比較器およびリタイミンング用のフリップフロップからなる。デジタルカウンタ出力値と 3 ビットデジタル入力が一致したとき CLK_{in} が High から Low になる。すなわちここでの時間分解能は $1/f_{clk}=10$ ns である。

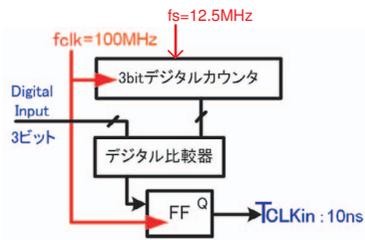


図 4: Coarse DTC の構成。

Fine DTC の従来の構成と問題点： 従来の Fine DTC は図 5 に示すような構成をとるものが多い。Coarse DTC からの出力 CLK_{in} を入力とし、バッファ遅延線を通して遅らせた信号を作り出す。マルチプレクサで下位 10 ビットのデジタル入力に対応した遅延信号を選択して CLK_{out} として出力する。ここでの時間分解能はバッファ遅延 τ で

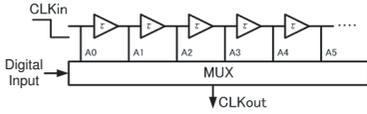


図 5: 従来の Fine DTC 部の構成. デジタル Din が “2” のとき, 出力 CLK_{out} に A2 が選択される.

ある. すなわち, 従来の Fine DTC (図 5) では最小時間分解能がバッファ遅延 (ゲート遅延) τ で定められてしまい半導体のプロセス性能に依存する. この構成で高時間分解能を得るためにはゲート遅延を微小にしていかなければならず, 例えば分解能 10 ビットを実現させるためには $2^{10} - 1 = 1023$ 個のバッファが必要となり回路規模が大きくなる. また使用テクノロジーを決めれば消費電力 \times ゲート遅延量 = 一定であるので, このように回路規模が大きくなると, バッファ一つあたりの遅延量が小さい構成では相乗効果で Fine DTC の消費電力は非常に大きくなる. しかし本提案では, 一つのゲート遅延 τ よりも小さな時間分解能を達成でき, かつバッファ数を大幅に削減できる Fine DTC の構成を提案する. これにより消費電力と回路規模を大幅に削減できる.

IV. Fine DTC 新アーキテクチャの提案

従来の構成と問題を受けて Fine DTC の新規提案を行う. 時間分解能が (「ゲート遅延 (τ)」ではなく) 「2つのゲート遅延の差 ($\tau_1 - \tau_2$)」である, より高時間分解能 PWM 回路が実現できる構成について記述する.

提案 Fine DTC の構成: 提案する Fine DTC の構成を図 6 に示す. これはバッファ遅延線を 2 つ用いているところに特徴がある. それぞれバッファ遅延線 1, 2 のゲート遅延

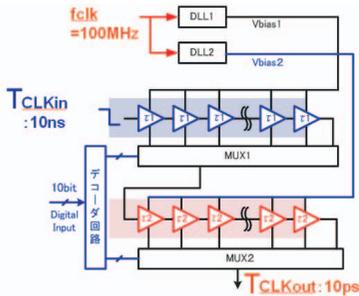


図 6: 提案する Fine DTC の構成.

延値 τ_1, τ_2 は基準クロックと DLL (Delay Locked Loop) によって遅延量を自動制御・調整する. τ_1, τ_2 のゲート遅延

延量の関係を最適に設定する. 下位のデジタル入力に応じて 2 つのマルチプレクサで経路を選択し「2 つのゲート遅延差」の時間分解能を実現する. 選択アルゴリズムはデコーダ回路部に与える. バッファ回路は例えばバイアス制御インバータ回路を 2 段連続接続させて実現できる (図 7).

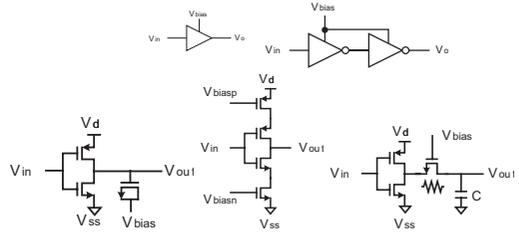


図 7: バイアス制御バッファ回路. V_{bias} によりバッファ遅延を制御する. (上) シンボル, 2 段連続バイアス制御インバータ回路による実現例 (下) 実現回路例.

図 8 に示すように DLL 内のバッファ遅延線もこのバッファから成る回路を用いる. DLL が所定の周波数 f_{clk} にロックしたとき, K 段のバイアス制御バッファ回路の出力信号は入力信号に比べてちょうど 1 周期 ($1/f_{clk}$) だけ遅れているので, そのバッファ遅延 τ は,

$$\tau = \frac{1}{K \cdot f_{clk}} \quad (1)$$

となる. このときのバイアス電圧 V_{bias} (図 8) をバッファ遅延線 1 または 2 (図 6) に供給すればそれを構成するバッファ遅延も式 (1) の値にすることができる.

また, マルチプレクサは内部の各パス間に遅延差のないように等長配線レイアウト設計する必要がある.

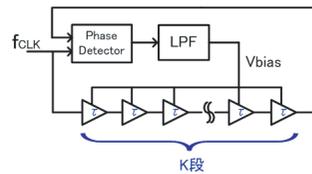


図 8: バッファ遅延 τ を自動調整する DLL 回路構成.

提案 Fine DTC の動作: 提案する Fine DTC の動作は, バッファ遅延線 1 でゲート遅延 τ_1 , バッファ遅延線 2 では τ_2 のバッファを使用する. その関係が $\tau_1 > \tau_2$ となるように調整し, 時間分解能 $\Delta\tau (= \tau_1 - \tau_2)$ を実現する 2 つの遅延線からの信号のマルチプレクサでの選択方法と

タイミングチャートを図9, 図10, 図11に示す. 図10より, バッファ遅延線2のバッファ数をN個(図9の場合はN=3)とすると, τ_1 と τ_2 の関係は次のように決まる. これよりバッファ遅延線を多段用意することによって, バッファ単体の遅延量が大きくなって, 全体の時間分解能は高くすることが出来る.

$$\begin{aligned} \tau_1 &= (N+1)\Delta\tau, & \Delta\tau &= \tau_1 - \tau_2 \\ \tau_2 &= \frac{N}{N+1}\tau_1 \end{aligned} \quad (2)$$

となる. この τ_1 と τ_2 の関係は DLL(図8)によって固定し, それぞれのバッファ回路図7のように, バイアス制御により制御される.

なおバッファ遅延 τ_1 をつくるための DLL1 内のバッファの個数を K_1 , バッファ遅延 τ_2 をつくるための DLL2 内のバッファの個数を K_2 とすると式 (1),(2) から次の関係が得られる.

$$\frac{K_1}{K_2} = \frac{N}{N+1}. \quad (3)$$

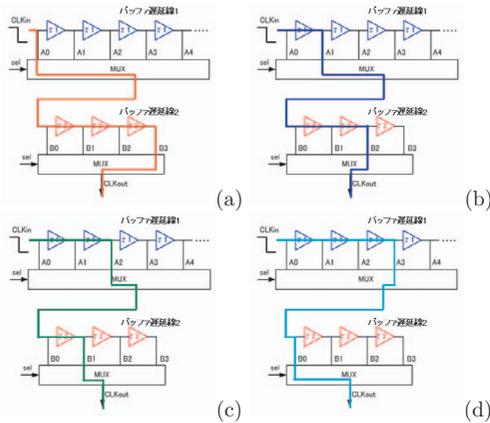


図9: 提案する Fine DTC 部の動作. (a) A0, B3 を選択. (b) A1, B2 を選択. (c) A2, B1 を選択. (d) A3, B0 を選択.

設計結果は図6で初段目バッファ遅延線 遅延 $\tau_1 = 320ps$ (バッファ個数 62 個), 2 段目バッファ遅延線 遅延 $\tau_2 = 310ps$ (バッファ個数 31 個) となった.

V. 拡張ユークリッド互除法アルゴリズムを用いた提案 FineDTC の設計

前節の高時間分解能 DPWM 回路の提案 FineDTC 部のシステムマチックな設計アルゴリズムを開発した. これにより 2 段バッファ遅延構成はさらに最適化され回路規模と消費電力が小さくできる. また, 3 段以上の多段バッファ構成の設計も可能になる.

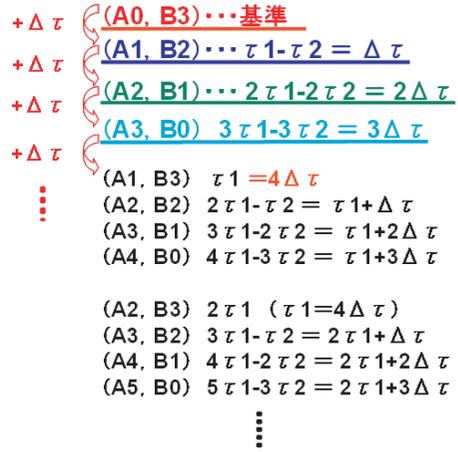


図10: 提案する Fine DTC 部の経路と各遅延量.

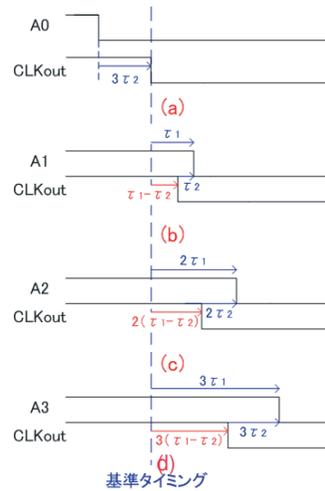


図11: 提案する Fine DTC 部のタイミングチャート. (a) A0, B3 を選択. (b) A1, B2 を選択. (c) A2, B1 を選択. (d) A3, B0 を選択.

拡張ユークリッド互除法の DPWM 回路設計への適用

x, y を自然数とし、 $l = \text{GCD}(x, y)$ とする。このとき

$$ax + by = l \tag{4}$$

となる整数 a, b が存在する。例えば $\text{GCD}(13, 5)$ の計算では

$$2 \times 13 - 5 \times 5 = 1$$

が得られる。これを求める手法を拡張ユークリッド互除法と言う [7, 8]。ここで $l = \text{GCD}(x, y)$ は x と y の最大公約数を表す。

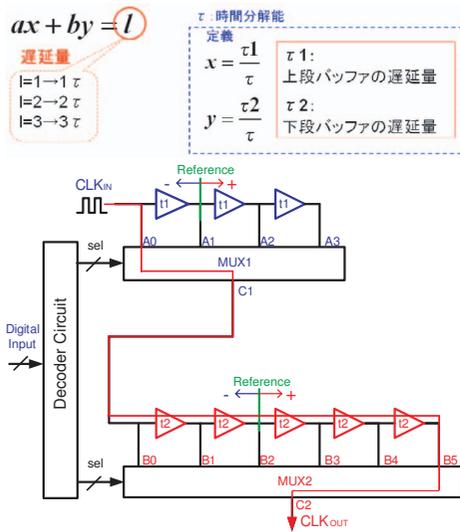


図 12: 拡張ユークリッド互除法の適用原理。下図で矢印は遅延量 $l\tau = -\tau_1 + 3\tau_2 = -5\tau + 3 \cdot 4\tau = 7\tau$ のとき。

表 1: 遅延量とシフト量の関係。(遅延量 = $l\tau = a\tau_1 + b\tau_2$, で $\tau_1 = 5\tau, \tau_2 = 4\tau$ のとき。 a, b で+は回路上で右シフト, -は左シフトを示す。)

l	a 上段シフト量	b 下段シフト量	遅延量
0	(基準) 0	(基準) 0	0
1	1	-1	τ
2	2	-2	2τ
3	-1	2	3τ
4	0	1	4τ
5	1	0	5τ
6	2	-1	6τ
7	-1	3	7τ

これを利用し 2 段バッファ構成の提案 FineDTC でのゲート遅延 τ_1 と τ_2 という 2 つの桁を用いて、必要な総遅延量の計算をアルゴリズム (数式) で求める。 $l=1$ の時は遅延量が $1 \cdot \tau$, $l=2$ の時は $2 \cdot \tau$ とする。 τ を時間分解能とし、 x, y をそれぞれ $x = \tau_1/\tau, y = \tau_2/\tau$ とすると (図 12, 表 1), 拡張ユークリッド互除法 (式 4) により a, b を計算で求めることが出来る。 a は上段の基準点からの選択位置を, b は下段の基準点からの選択位置を表している。表 1 で a, b の値がたとえば 2 のときは基準から右へ 2 個のバッファ出力を選択し, -1 の場合は基準から左へ 1 個のバッファ出力を選択することを示している。 図 12, 表 1 では

$$\tau_1 = 5\tau, \tau_2 = 4\tau, 5a + 4b = l$$

の場合を表している。(この 1 段目, 2 段目のバッファ選択アルゴリズムは図 10 に示すものと異なる。)

これにより提案 2 段バッファ構成 FineDTC の回路設計を自動構成することが可能となる, ここで求まる a, b の絶対値を最小とすることによりバッファ数最小な Fine DTC を設計することが出来る。今回 (a, b) の最小解は C 言語プログラムにより求めた。

2 段バッファ構成 Fine DTC の設計: 提案 FineDTC を回路規模を小さくし (すなわちバッファ総数を小さくし), また低消費電力化のためバッファ遅延 τ_1, τ_2 をできるだけ大きくするという条件で拡張ユークリッド互除法アルゴリズムにより Fine DTC を設計した。(バッファ遅延が小さければバイアス電流は小さくてすむので低消費電力化につながる。) Fine DTC は 10 ビット分解能の仕様であるので式 (4) で $l=0 \sim 1023$ となる。初めに τ_1 と τ_2 の値を任意に設定し, 最終的に $\tau_1/\tau_2 = 1.8$ とした。計算結果を図 13 に示す。 $\tau_1/\tau = 7 \sim 67, \tau_2/\tau = 0 \sim 100$ の時のバッファ数の関係が点線で, 実線が τ_1 と τ_2 の関係を与えた時の総バッファ数の変化である。

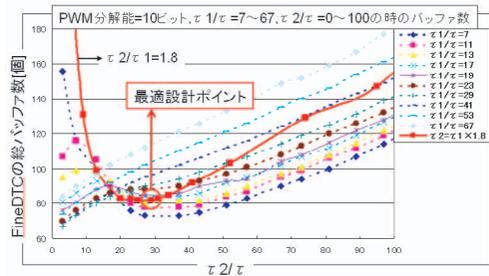


図 13: $\tau_1/\tau = 7 \sim 67, \tau_2/\tau = 0 \sim 100$ の時のバッファ数の関係と, $\tau_1/\tau_2 = 1.8$ の時の総バッファ数の変化。

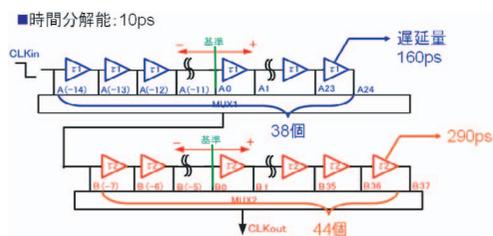


図 14: 拡張ユークリッド互除法設計アルゴリズムを用いた提案 2 段バッファ構成 FineDTC の回路図。

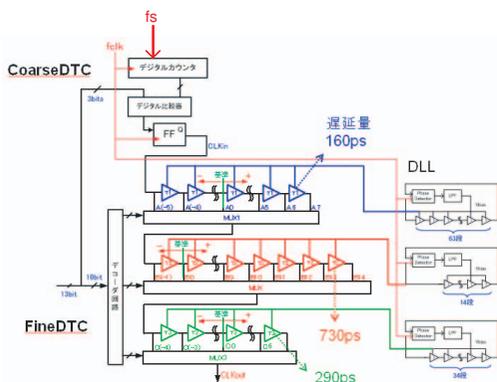


図 15: 3 段バッファ遅延線を用いた提案 DPWM 発生回路。

提案 FineDTC の設計結果：

(i) 2 段バッファ構成 FineDTC の設計結果結果を (図 14) に示す。

(ii) 3 段バッファ遅延線を用いた Fine DTC：さらに 3 段バッファ遅延線を用いて Fine DTC を構成することを検討した。その全体 DPWM 回路を図 15 に示す。2 段, 3 段, 4 段バッファ遅延線構成をと比較した結果, 回路規模・消費電力化の観点から 3 番構成が最も効率が良いという結果を得ている。また, 多段構成にすると経路選択アルゴリズムが複雑になるが, 提案アルゴリズムを用いることで最適な構成がプログラミング結果から求めることができる。

Fine DTC 部の設計結果の比較：

(i) 従来の 1 段バッファ遅延線 Fine DTC (図 6): バッファ総数 1024 個, 遅延 $\tau = 10ps$ 。

(ii) 提案 2 段バッファ遅延線 Fine DTC (図 6), 図 9, 10, 11 のアルゴリズムで設計: バッファ総数 93 個。初段目バッファ遅延線 遅延 $\tau_1 = 320ps$, バッファ個数 62 個。2 段目バッファ遅延線 遅延 $\tau_2 = 310ps$, バッファ個数 31 個。

(iii) 提案 2 段バッファ遅延線 Fine DTC (図 14), 拡張ユークリッド互除法アルゴリズムで最適設計: バッファ総数 82 個。初段目バッファ遅延線 遅延 $\tau_1 = 160ps$, バッファ個数 38 個。2 段目バッファ遅延線 遅延 $\tau_2 = 290ps$, バッファ個数 44 個。

(iv) 提案 3 段バッファ遅延線 Fine DTC (図 15), 拡張ユークリッド互除法アルゴリズムで最適設計: バッファ総数 37 個。初段目バッファ遅延線 遅延 $\tau_1 = 160ps$, バッファ個数 12 個。2 段目バッファ遅延線 遅延 $\tau_2 = 730ps$, バッファ個数 15 個。3 段目バッファ遅延線 遅延 $\tau_3 = 290ps$, バッファ個数 10 個。

VI. まとめと今後の課題

この論文ではデジタル制御電源の高性能化のための高時間分解能 PWM 生成回路の新アーキテクチャを提案した。

(i) 提案構成では時間分解能が「ゲート遅延」で決まっていた従来のデジタル PWM から, 「2 つ以上のゲート遅延の差」で時間分解能が決まる新しい構成である。これにより高時間分解能が得られ回路規模・消費電力も小さくできる。

(ii) 拡張ユークリッド互除法を用いて, 多段バッファ遅延線を用いる提案構成の場合のシステム的な設計アルゴリズムを開発した。その結果最適化設計が行え, また 3 段バッファ遅延線構成が効果的という結果を得た。

今後は回路の詳細設計を行っていく。

謝辞 有意義なご討論をいただきましたルネサスソリューションズ, ルネサステクノロジ, 三洋半導体, 日本テキサスインスツルメンツ, 東光の方々に感謝します。

参考文献

- [1] 「デジタル制御を得て電源の進化が始まる」EETimes Japan, pp.42-53 (2006 年 2 月)。
- [2] 曾根元隆, 「スイッチング電源におけるデジタル・DSP 制御の展望」アナログ・電源フォーラム (電源編), 日経エレクトロニクス, 東京 (2006 年 6 月)。
- [3] D. Freeman 「デジタル電源の応用展開」アナログ・電源フォーラム (電源編), 日経エレクトロニクス, 東京 (2006 年 6 月)。
- [4] K. Wang, et.al, "All Digital DPWM/DPFM Controller for Low Power DC-DC Converters," IEEE Applied Power Electronics Conference and Exposition (APEC), Dallas, TX (Mar. 2006)。
- [5] J. Chen, et.al, "DPWM Time Resolution Requirements for Digitally Controlled DC-DC Converters," IEEE APEC, Dallas, TX (Mar. 2006)。
- [6] K. Leung, et.al, "Design and Implementation of a Practical Digital PWM Controller," IEEE APEC, Dallas, TX (Mar. 2006)。
- [7] Takeuchi, 「ユークリッド互除法」
<http://ews2.cc.niigata-u.ac.jp/~takeuchi/tbasic/BackGround/Euclid.html>。
- [8] Takeuchi, 「拡張ユークリッド互除法」
<http://ews2.cc.niigata-u.ac.jp/~takeuchi/tbasic/BackGround/ExEuclid.html>。