

2次 $\Delta\Sigma$ AD変調器の新フィードフォワード構成の提案 Second-Order $\Delta\Sigma$ AD Modulators with Novel Feedforward Architecture

小長谷 肇[†] 傘 昊[†] 徐 峰[†] 元澤 篤史[†] 小林 春夫[†]
安藤 和正[‡] 吉田 博史[‡] 村山 知支人[‡]
[†]群馬大学 [‡]東芝 LSI システムサポート (株)

Hajime KONAGAYA[†] Hao SAN[†] Feng XU[†] Atsushi MOTOZAWA[†] Haruo KOBAYASHI[†]
Kazumasa ANDO[‡] Hiroshi YOSHIDA[‡] Chieto MURAYAMA[‡]
[†]Gunma University [‡]Toshiba LSI System Support Co., LTD

概要 この論文ではフィードフォワード型離散時間2次 $\Delta\Sigma$ AD変調器の新しい構成法を提案する。 $\Delta\Sigma$ AD変調器はオーバーサンプリングとノイズシェープ手法で高精度のAD変換を実現するが、その全体性能(SNDR: Signal-to-Noise and Distortion Ratio)は入力信号ダイナミックレンジと各ブロック回路の非理想的な性質(特にオペアンプ回路の歪特性)によって制限される。従来式のフィードバック型 $\Delta\Sigma$ AD変調器に比べ、フィードフォワード型 $\Delta\Sigma$ AD変調器では、変調器内部信号の振幅が小さいため、入力信号のダイナミックレンジを大きくでき、オペアンプの歪による変調器の精度劣化が軽減できる。しかしながら、従来のフィードフォワード型 $\Delta\Sigma$ AD変調器内部では、比較器回路でAD変換を行なう前に、変調器の入力電圧と各積分器の出力電圧を加算する必要がある。その演算を行なうため、スイッチド・キャパシタとオペアンプ回路を追加する必要があり、チップ面積と消費電力が増加する。そこで、本論文では電圧加算用オペアンプは必要としない、フィードフォワード型 $\Delta\Sigma$ AD変調器の構成法とその回路実現手法を提案し、より小面積・低消費電力の $\Delta\Sigma$ AD変調器の実現を可能にした。MATLABとSPICEによるシミュレーションで提案手法の有効性を確認した。

キーワード: $\Delta\Sigma$ AD変調器、フィードフォワード、スイッチド・キャパシタ回路、マルチビット

1 はじめに

半導体製造技術の進歩に伴い、CMOSプロセスの微細化が進められ、デジタル集積回路に高速化と低消費電力化の恩恵をもたらした。しかし、ミックスドシグナルのインタフェースであるAD変換器回路の設計においては、低電源電圧下で高精度AD変換の

実現はますます困難になる。 $\Delta\Sigma$ AD変換方式はオーバーサンプリングとノイズシェープ手法を用いて、回路素子に対し高いマッチング特性は必要とせず、微細CMOSプロセスで高精度AD変換回路の実現に適している。 $\Delta\Sigma$ AD変調器の性能はその構成ブロック回路の非理想的な性質によって制限される。ナノメータCMOS世代において、その非理想特性による影響は下記の2点で顕在化している。(i) 半導体デバイスのスケールリング・ダウンに伴う回路の歪特性によるAD変調器性能の劣化。(ii) 低電源電圧下での、同じノイズフロアに対し、信号の振幅の減少によるAD変調器SNDRの低下。これらの問題を解決するため、回路テクニックだけではなく、システムレベルの手法によるAD変調器の性能改善が必要となる。

2 フィードバック型 $\Delta\Sigma$ AD変調器とフィードフォワード型 $\Delta\Sigma$ AD変調器の比較

図1の(a)と(b)にそれぞれ、フィードバック(FB)型とフィードフォワード(FF)型2次 $\Delta\Sigma$ AD変調器のブロック図を示す。これらは2つの積分器、ADCとDAC回路によって構成される。図1(a)に示すFB型 $\Delta\Sigma$ AD変調器の入出力伝達関数、信号伝達関数(STF)とノイズ伝達関数は(NTF)は下式のように表せる。

$$Y(z) = z^{-2}X(z) + (1 - z^{-1})^2E(z) \quad (1)$$

$$STF(z) = z^{-2} \quad (2)$$

$$NTF(z) = (1 - z^{-1})^2. \quad (3)$$

ここで、 $E(z)$ はADCの量子化ノイズで、第一と第二積分器の出力 y_1, y_2 は以下のようになる。

$$y_1 = z^{-1}(1 - z^{-1})X(z) - z^{-1}(1 - z^{-1})E(z) \quad (4)$$

$$y_2 = z^{-2}X(z) - z^{-1}(2 - z^{-1})E(z) \quad (5)$$

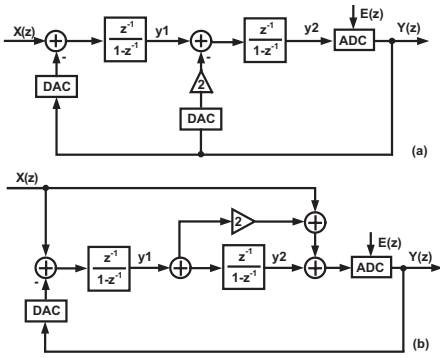


図 1: (a) 従来式フィードバック型 $\Delta\Sigma$ AD 変調器. (b) 従来型フィードフォワード型 $\Delta\Sigma$ AD 変調器.

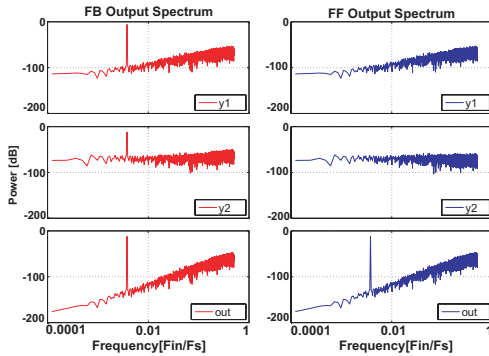


図 2: FB 型と FF 型 $\Delta\Sigma$ AD 変調器の各積分器と変調器の出力のパワースペクトラムの比較.

この構成の回路実現は比較的容易であるが、式 (4),(5) で示すように、各積分器の出力 y_1, y_2 は入力信号 $X(z)$ の関数であり、積分器で用いるオペアンプ回路の入出力電圧振幅が大きく、低電源電圧下の動作が困難となる。オペアンプの非線形性によって生じる歪成分は入力信号の振幅に依存するので、信号振幅が大きい場合、変調器全体の SNDR が劣化してしまう。また、STF と NTF は相関があるので、設計上の自由度は制限される。

一方、図 1(b) に示す FF 型 $\Delta\Sigma$ AD 変調器の入出力伝達関数、STF と NTF は次のようになる。

$$Y(z) = X(z) + (1 - z^{-1})^2 E(z) \quad (6)$$

$$STF(z) = 1 \quad (7)$$

$$NTF(z) = (1 - z^{-1})^2. \quad (8)$$

第一と第二積分器の出力 y_1, y_2 は以下のようになる。

$$y_1 = -z^{-1}(1 - z^{-1})E(z) \quad (9)$$

$$y_2 = -z^{-2}E(z). \quad (10)$$

式 (4),(5) に比べ、式 (9),(10) で示す FF 型 $\Delta\Sigma$ AD 変調器の各積分器の出力 y_1, y_2 は入力信号 $X(z)$ と無相関であり、量子化ノイズ $E(z)$ 成分のみ関数なので積分器のオペアンプ回路の入出力電圧振幅が小さく、低電源電圧下で動作できる。よって入力信号依存の歪成分による精度劣化も軽減され、変調器全体 SNDR を改善できる。 y_1, y_2, STF は共に NTF とは無相関なので、各パラメータを自由に設計することができる。また、FB 型変調器に比べ、FF 型構成では、DAC を一つしか用いないため、回路の規模も小さく出来、低消費電力にもなる。

MATLAB によるシミュレーションで、図 1 の 2 つ $\Delta\Sigma$ AD 変調器の出力と各積分器出力のパワー・スペクトルの比較を行い、その結果を図 2 に示す。FB 型変調器の各積分器の出力では、量子化ノイズ成分のみならず、信号成分も現れるが、FF 型変調器の各積分器出力には信号成分はなく、量子化ノイズ成分のみであることが分かる。従って、FB 型に比べ、FF 型変調器構成では、入力信号の歪成分による影響は小さく、より高い SNDR を得ることが可能となる [1, 2]。

図 1(b) の ADC 入力端に注目すると、フィードフォワード構成を実現するため、このノードで 3 つの電圧の加算を行なう必要がある。実際の回路でその演算を行なうためには、スイッチド・キャパシタとオペアンプ回路を追加する必要があり、チップ面積と消費電力が増加する。そこで、本論文では ADC 入力端に加算回路を必要としない、フィードフォワード構成を実現できる $\Delta\Sigma$ AD 変調器を提案する。電圧加算用オペアンプは必要としないので、従来構成より低消費電力、小面積である

3 フィードフォワード型 $\Delta\Sigma$ AD 変調器の新提案

3.1 提案 FF 型 $\Delta\Sigma$ AD 変調器の構成

図 3(a) に提案する FF 型 2 次 $\Delta\Sigma$ AD 変調器の構成を示す。ここで、 $a_1 = b_1 = c_1 = a_2 = c_2 = 1$ の時、変調器は図 3(b) の構成となり、その入出力伝達関数、STF、NTF は以下のようになる。

$$Y(z) = X(z) + (1 - z^{-1})^2 E(z) \quad (11)$$

$$STF(z) = 1 \quad (12)$$

$$NTF(z) = (1 - z^{-1})^2. \quad (13)$$

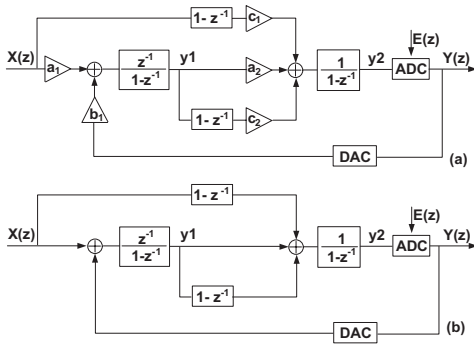


図 3: 提案する FF 型 2 次 $\Delta\Sigma$ AD 変調器の構成.

式 (11)-(13) により、この構成の入出力伝達関数、STF、NTF は図 1(b) で示す従来式 FF 型 $\Delta\Sigma$ AD 変調器と同一となり、STF と NTF は無相関で、変調器の出力は ADC の量子化ノイズに対し、2 次のノイズシェープする特性となっている。図 1(b) の従来式 FF 型 $\Delta\Sigma$ AD 変調器に比べ、提案構成では、電圧の加算は第二積分器の入力端で行なうので、ADC の入力端にオペアンプを追加する必要はなくなる。また、提案構成の第一と第二積分器の出力 y_1, y_2 は以下となる。

$$y_1 = -z^{-1}(1-z^{-1})E(z) \quad (14)$$

$$y_2 = X(z) + (1-z^{-1})^2E(z). \quad (15)$$

ここでは、第一積分器の出力 y_1 は入力信号 $X(z)$ と無相関で、量子化ノイズ $E(z)$ 成分のみの関数であるが、第二積分器の出力 y_2 は入力信号 $X(z)$ の関数であり、その出力は歪成分に影響される。しかし、変調器全体においては、第一積分器の特性がより重要であり、一方の第二積分器の非線形性の影響は閉ループでノイズ・シェイプされる [3]。

3.2 提案 FF 型 $\Delta\Sigma$ AD 変調器の回路構成

3.2.1 1 ビット $\Delta\Sigma$ AD 変調器の回路実現

$\Delta\Sigma$ AD 変調器の内部では線形な 1 ビット ADC/DAC を用いる手法が一般的に用いられる。図 4 に提案する FF 型の 1 ビット $\Delta\Sigma$ AD 変調器 (図 3(a)) のスイッチド・キャパシタによる回路構成を示す。2 つのオペアンプを用いてそれぞれの積分回路を実現し、2 次の $\Delta\Sigma$ AD 変調器回路を構成する。1 段階目の積分回路において Cs_1 は入力信号をサンプリングのため、 Cd は DAC を構成するために設けられ、入力信号とフィー

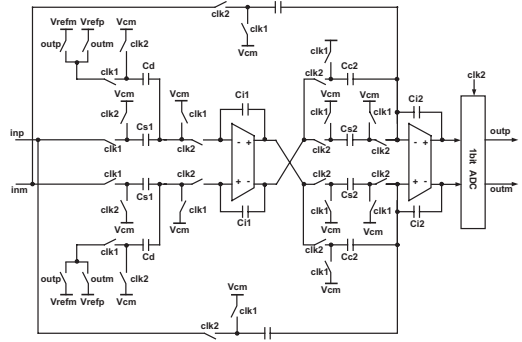


図 4: 提案する 1 ビット $\Delta\Sigma$ AD 変調器の回路実現.

ドバックされた出力信号の差分を積分し、2 段階目へ出力する。2 段階目のオペアンプの入力端のスイッチド・キャパシタ回路で、入力信号と 1 段階目積分器出力電圧の加算を行ない [4, 5]、オペアンプの出力は ADC の入力となる。また、図 3(a) で示す $\Delta\Sigma$ AD 変調器の係数は図 4 で示すスイッチド・キャパシタ回路の容量の比によって決定され、次のようとなる。

$$a_1 = \frac{Cs_1}{Ci1}, \quad b_1 = \frac{Cd}{Ci1}$$

$$a_2 = \frac{Cs2}{Ci2}, \quad c_1 = \frac{Cc1}{Ci2}, \quad c_2 = \frac{Cc2}{Ci2}.$$

上記全ての容量比は 1 で、理想なオペアンプ (ゲインは無限大、信号振幅の制限はなし) を用いる場合、この回路は図 3(b) の変調器構成となり、式 (13) で示す NTF が実現される。しかし、実際の回路構成ではオペアンプの動作可能範囲はグランドから電源電圧 $[0 - V_{dd}]$ であるに対し、ADC 回路の量子化で生じる非線形性の影響で、変調器内部の信号振幅はオーバー・レンジとなってしまい、正常な AD 変換はできなくなる。そこで、上記の容量比 (< 1) を変える事で、図 3(a) の変調器の係数 (< 1) を設定し、信号振幅を減衰させ、オペアンプの入出力電圧を抑える事で、実際の回路実現を可能にする。

図 3(a) の変調器の入出力伝達関数は下記で表せる。

$$Y(z) = \frac{(c_1 - a_1c_2)z^{-2}(a_1a_2 - a_1c_2 - 2c_1)z^{-1} + c_1}{(1 - b_1c_2)z^{-2} + (b_1a_2 - b_1c_2 - 2)z^{-1} + 1} X(z) + \frac{(1 - z^{-1})^2}{(1 - b_1c_2)z^{-2} + (b_1a_2 + b_1c_2 - 2)z^{-1} + 1} E(z) \quad (16)$$

$a_1 = b_1 = a_2 = 2/5, c_1 = c_2 = 1$ の場合、その入出力伝達関数、STF と NTF は次となる。

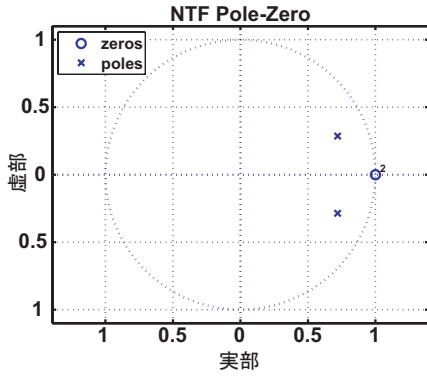


図 5: NTF の極とゼロ点.

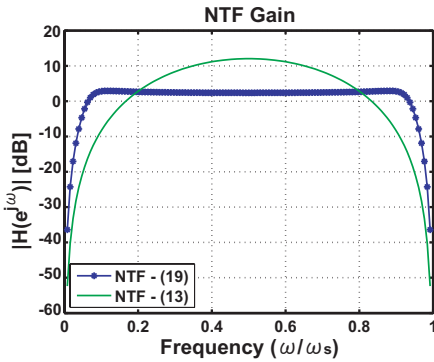


図 6: NTF の周波数特性の比較.

$$Y(z) = X(z) + \frac{(1 - z^{-1})^2}{0.6z^{-2} + 1.44z^{-1} + 1} E(z) \quad (17)$$

$$STF(z) = 1 \quad (18)$$

$$NTF(z) = \frac{(1 - z^{-1})^2}{0.6z^{-2} + 1.44z^{-1} + 1}. \quad (19)$$

式(17)-(19)を式(11)-(13)と比べると、上記の係数設定条件で、STFは同一であるが、NTFでは極が追加されている。図5は式(19)で表すNTFのゼロ点と極を示し、図6は式(13)と式(19)で表すNTFの周波数特性の比較を示す。式(13)のNTFに対し、図5で示すような極を追加し、式(19)となり、その周波数特性は図6で示すように、NTFのゲインの最大値は減衰され、変調器内の信号振幅は $[0 - V_{dd}]$ 範囲に収められる。

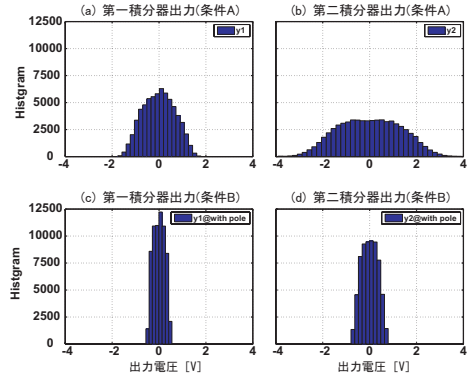


図 7: 積分器出力振幅のヒストグラムの比較.

図3(a)の変調器に対し、下記の2つの条件でMATLABによるシミュレーションを行い、変調器の第一と第二積分器の出力 y_1, y_2 の出力電圧のヒストグラムを求めた。

- (A) $a_1 = b_1 = c_1 = a_2 = c_2 = 1$
(変調器の構成は図3(b)となる.)
- (B) $a_1 = b_1 = a_2 = 2/5, c_1 = c_2 = 1$

図7の(a),(b)には条件(A)の場合、(c),(d)には条件(B)の場合、変調器の第一と第二積分器の出力 y_1, y_2 の出力電圧のヒストグラムを示す。ここでは、実回路の電圧変動範囲 $[0, V_{dd}]$ は $[-1, 1]$ の正規化値で表す。条件(A)の場合、各積分器の出力電圧はオーバーレンジになってしまい、条件(B)の場合、各積分器の出力電圧は $[0 - V_{dd}]$ 範囲内に収まる事が分かる。従って、実際の回路構成では、容量の比を上記に設定し、入力信号に係数をかけ、信号振幅を減衰させることで、提案する1ビットFF型 $\Delta\Sigma$ AD変調器の回路実現を可能にした。

3.2.2 マルチビット $\Delta\Sigma$ AD変調器の回路実現

図6で示すNTFのゲイン周波数特性の低周波領域に注目すると、1ビット $\Delta\Sigma$ AD変調器の実現においては、NTFに極を追加し、入力信号を減衰させ、回路実現を可能にしたが、低周波領域においては、NTFのゲインが大きくなり、変調器のSNDRが劣化していることが分かる。1ビット $\Delta\Sigma$ AD変調器回路においては、量子化ノイズの変動振幅が大きく、それが変調器内部信号の振幅増大の原因となる[3]。そこでマルチビットADC/DACを用いて、量子化ノイズ

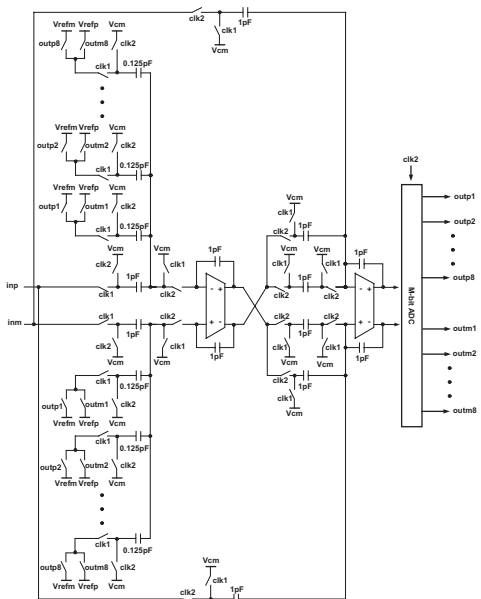


図 8: 提案マルチビット $\Delta\Sigma$ AD 変調器の回路実現.

のステップを減少させ、より高精度のマルチビット $\Delta\Sigma$ AD 変調器回路を提案する。そのスイッチド・キャパシタ回路による回路実現は図 8 で示す。 $\Delta\Sigma$ AD 変調器回路をマルチビット化にすることで、回路内部の信号振幅が小さくなり、オペアンプのスループレートに対する要求が緩和でき、低消費電力が実現できる。マルチビット DAC の非線形性は変調器全体の SNDR を劣化させるが、DWA アルゴリズム [6] を用いて、その影響を軽減することができる。

4 シミュレーションによる検証

提案する FF 型 $\Delta\Sigma$ AD 変調器の動作を確認するため MATLAB 及び SPICE によるシミュレーションで検証を行った。MATLAB シミュレーションでは、図 3(a) のモデルに対し、1 ビット変調器の場合、 $a_1 = b_1 = a_2 = 2/5, c_1 = c_2 = 1$ に設定し、マルチビット (3 ビット) 変調器の場合、 $a_1 = b_1 = c_1 = a_2 = c_2 = 1$ に設定する。SPICE シミュレーションでは、コモン電圧 $V_{CM} = 1V$ 、電源 $V_{dd} = 2V$ を想定し、理想なスイッチ素子とオペアンプを用いた。

図 9 には 1 ビット $\Delta\Sigma$ AD 変調器 (図 4) の各積分器回路の出力電圧、図 10 にはマルチビット $\Delta\Sigma$ AD 変調器 (図 8) の各積分器回路の出力電圧の SPICE シ

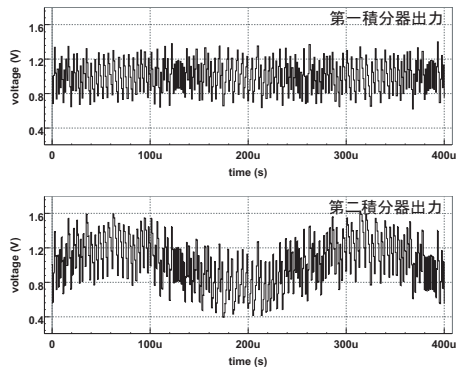


図 9: 提案 1 ビット $\Delta\Sigma$ AD 変調器 (図 4) の各積分器回路の出力電圧.

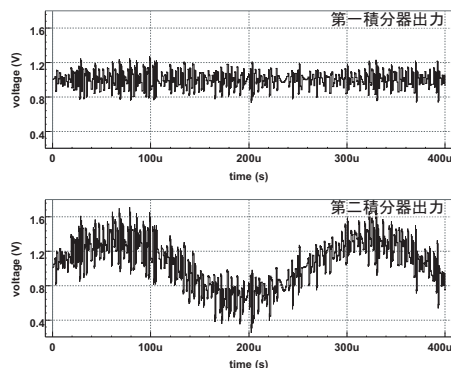


図 10: 提案マルチビット $\Delta\Sigma$ AD 変調器 (図 8) の各積分器回路の出力電圧.

ミュレーション波形を示している。いずれの $\Delta\Sigma$ AD 変調器構成では、積分器回路の出力電圧 $[0 - V_{dd}]$ 範囲内に収まっていることが確認できた。

また、提案した実現回路構成はそれぞれの MATLAB モデルと一致する事を確認するため、SPICE と MATLAB によるシミュレーション結果の比較も行なった。図 11 には 1 ビット $\Delta\Sigma$ AD 変調器の出力パワー・スペクトラム比較結果、図 12 には SNDR-OSR 比較結果を示す。SPICE によるシミュレーション結果は MATLAB のシミュレーション結果と一致し、変調器の SNDR は OSR の増加と共に、約 14dB/Oct で増加していることが分かる。図 13 にはマルチビット $\Delta\Sigma$ AD 変調器の出力パワー・スペクトラム比較結果、図 14 にはその SNDR-OSR 比較結果を示す。SPICE

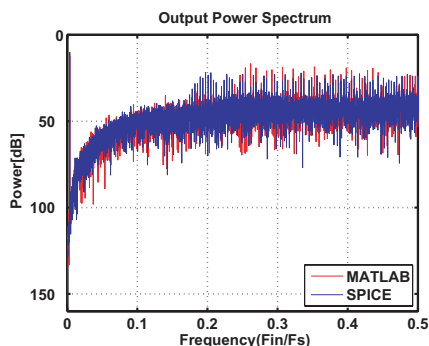


図 11: 提案 1 ビット $\Delta\Sigma$ AD 変調器の出力パワースペクトラム比較結果.

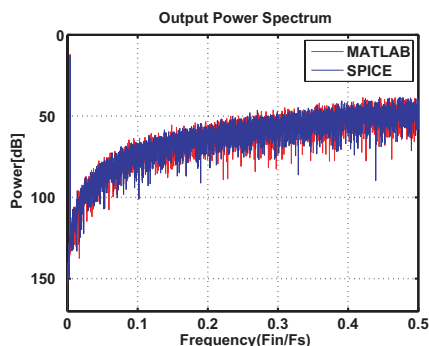


図 13: 提案マルチビット $\Delta\Sigma$ AD 変調器の出力パワースペクトラム比較結果.

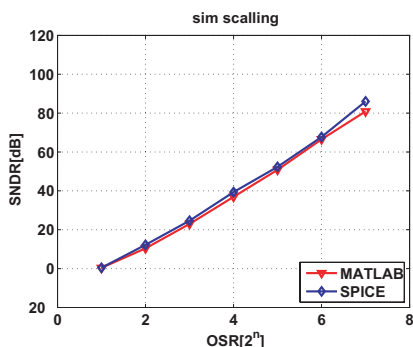


図 12: 提案 1 ビット $\Delta\Sigma$ AD 変調器の SNDR-OSR 比較結果.

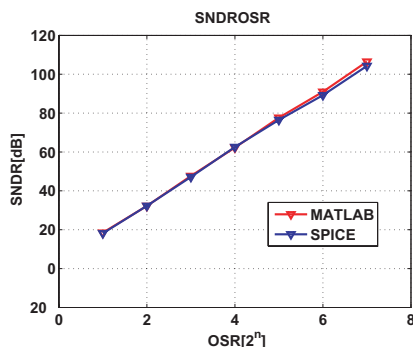


図 14: 提案マルチビット $\Delta\Sigma$ AD 変調器の SNDR-OSR 比較結果.

と MATLAB のシミュレーション結果が一致し、変調器の SNDR は OSR の増加と共に、約 15dB/Oct で増加していることが分かる。

5 まとめ

2 次 $\Delta\Sigma$ AD 変調器の新フィードフォワード構成を提案した。新しいフィードフォワード変調器の構成では、従来よりオペアンプがひとつ減らせるので低消費電力・小チップ面積が見込める。また、提案構成に対し、1 ビット及びマルチビット $\Delta\Sigma$ AD 変調器の回路実現手法を提案し、SPICE 及び MATLAB によるシミュレーションでその有効性を確認した。

参考文献

[1] J. Steensgaard, “Nonlinearities in SC Delta-Sigma A/D Converters”, *IEEE Int. Conf. Electronics, Cir-*

cuits and Systems, Vol. 1, pp. 355-358, Lisbon, Portugal, Sept 1998.

- [2] J. Silva, U. Moon, J. Steensgaard and G.C. Temes, “Wideband Low-Distortion Delta-Sigma ADC topology”, *Electronics Letters*, Vol. 37, No. 12, pp.737-738, 7th June 2001
- [3] S. R. Norsworthy, R. Schreier, G. C. Temes (editors), *Delta-Sigma Data Converters, - Theory, Design and Simulation*, IEEE Press, 1997.
- [4] A Gharbiya, and D.A. Johns, “On The Implementation of Input-Feedforward Delta-Sigma Modulators”, *IEEE Trans on Circuits and Systems-II*, Vol. 53, No. 6, pp 453-457, June 2006
- [5] David Johns and Ken Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., 1997
- [6] R. T. Baird and T. S. Fiez, “Linearity Enhancement of multibit $\Delta\Sigma$ A/D and D/A Converters Using Data Weighted Averaging,” *IEEE Trans. on Circuits & Systems II*, vol.42, no.12, pp.753-762, Dec.1995.