

2009年3月20日

電子情報通信学会
全国大会(愛媛大)
チュートリアル

広帯域デルタシグマAD変換器

小林春夫、元澤篤史、上森将文
林海軍、田邊朋之、傘 昊、小長谷肇
群馬大学大学院 電気電子工学専攻



広帯域デルタシグマAD変換器

2つのアプローチ

- 高次・マルチビットを用いた
離散時間変調器
- 高速サンプリング可能な
連続時間変調器

このチュートリアルでは後者を解説する。



発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ



発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ



デジタル・アシスト・アナログ技術

CMOS微細化にともない

→ デジタルは大きな恩恵

高集積化、低消費電力化、高速化、低コスト化

→ アナログは必ずしも恩恵を受けない

電源電圧低下、出力抵抗小、ノイズ増大

- 「デジタル技術を用いて
アナログ性能向上する技術」が重要
- 「デジタルリッチ・アナログミニマムな構成」が重要



ナノCMOS時代のアナログ技術

「デジタルリッチ」 (空間)

「高速サンプリング」 (時間)

ナノCMOS FETの余裕ある高速特性、
高周波特性を生かす設計が重要。



ナノCMOSでの 高速サンプリング技術

高速サンプリングにより

- (1) 電源ノイズ、基板ノイズ、量子化ノイズ、ジッタ等の
折り返しノイズ低減
- (2) アナログフィルタの単純化
- (3) 従来サンプリングが用いられなかった
アナログ回路にも使用可能になる



デルタ・シグマAD変調技術

- アナログ最小、デジタルリッチな構成
ナノCMOSではデジタルは大きな恩恵
- スピードを精度に変換
ナノCMOSではスピードに余裕
- 高精度なデバイス、回路不要



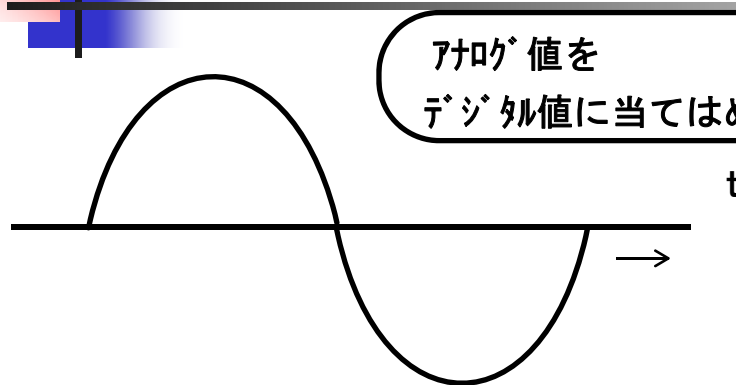
ナノCMOSで高精度なADCを
実現するのに適した構成



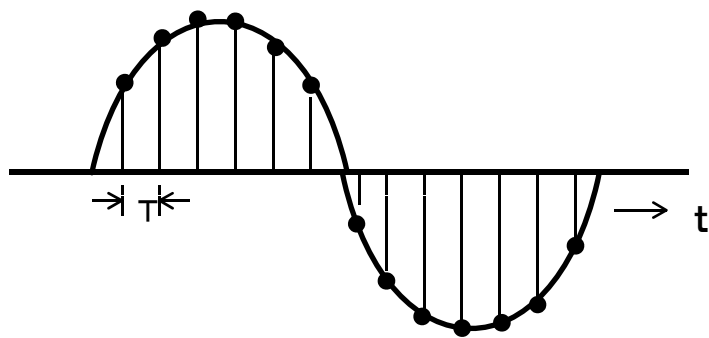
発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- **オーバーサンプリングとノイズシェープ**
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ

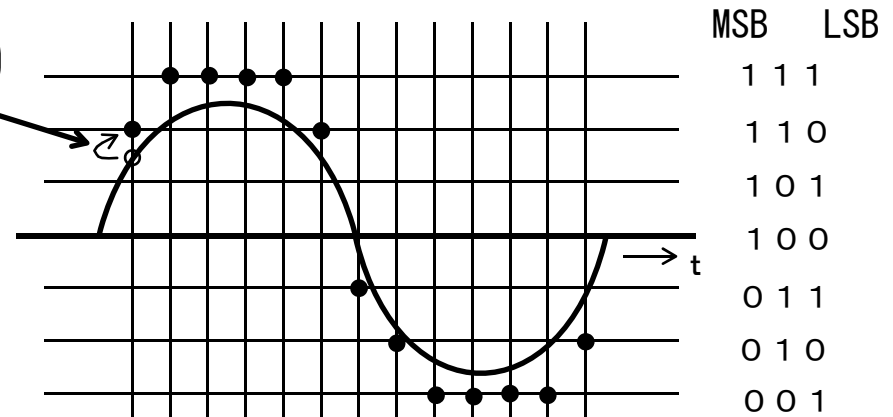
アナログ -> デジタル 変換波形



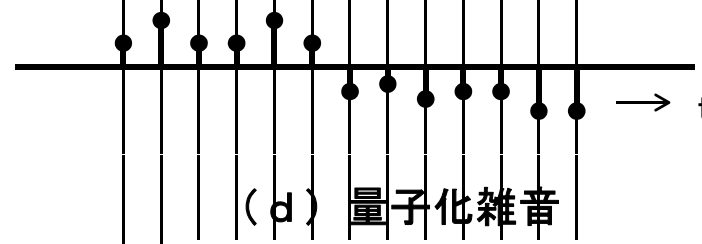
(a) アナログ入力



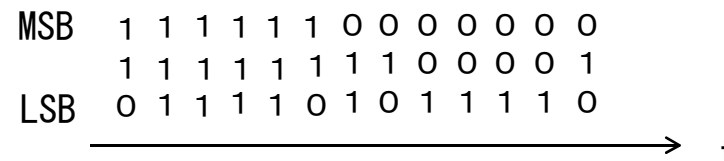
(b) 標本化



(c) 量子化

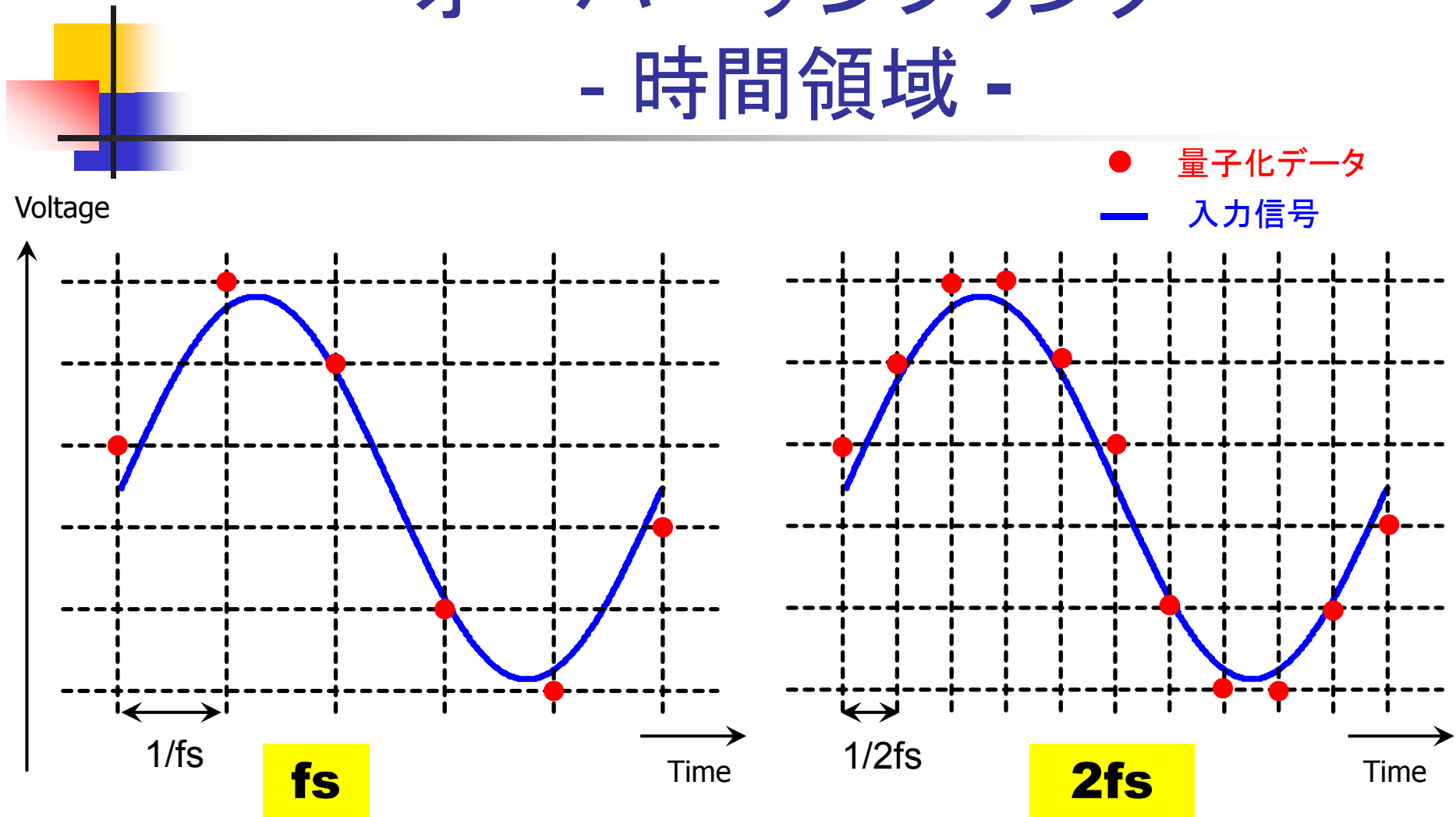


(d) 量子化雑音



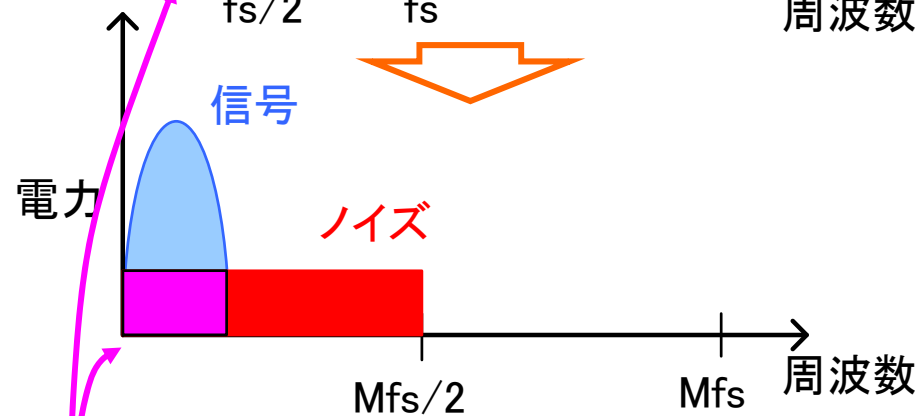
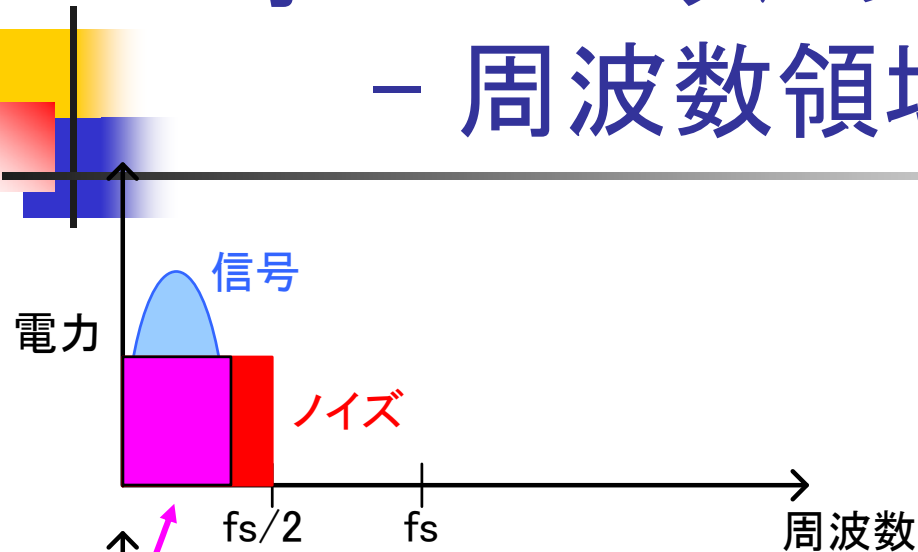
(e) 符号化

オーバーサンプリング - 時間領域 -



オーバーサンプリングにより入力信号
の再現性が高まる

オーバーサンプリング - 周波数領域 -



信号帯域のノイズ成分

サンプリング周波数 f_s をM倍

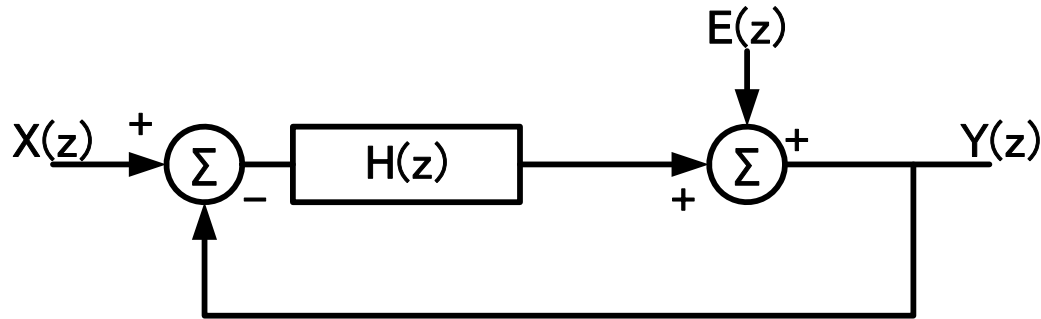
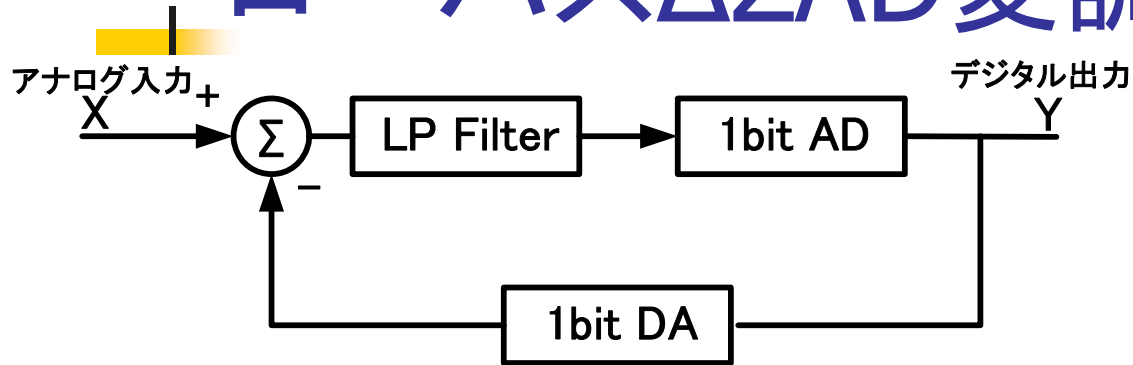
↓
ノイズ 広域に分散

↓
ただし、ノイズ総量は変わらない

↓
信号帯域でノイズ低減

高速サンプリングにより低ノイズ化

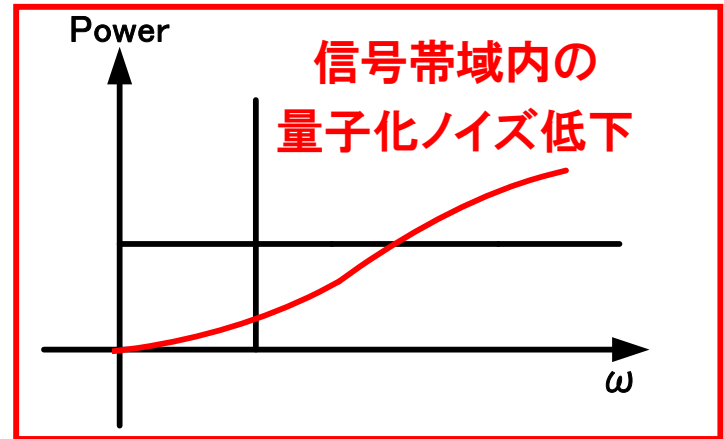
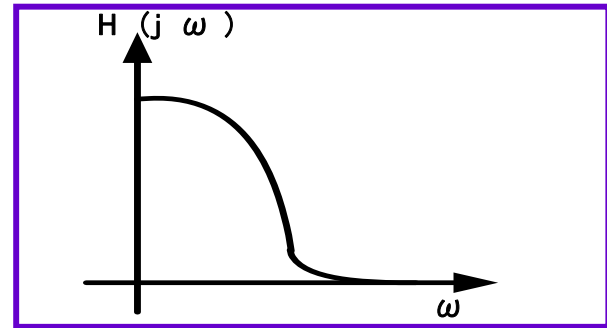
ローパス $\Delta\Sigma$ AD変調器



$$Y(z) = \frac{H(z)}{1+H(z)} \cdot X(z) + \frac{1}{1+H(z)} \cdot E(z)$$

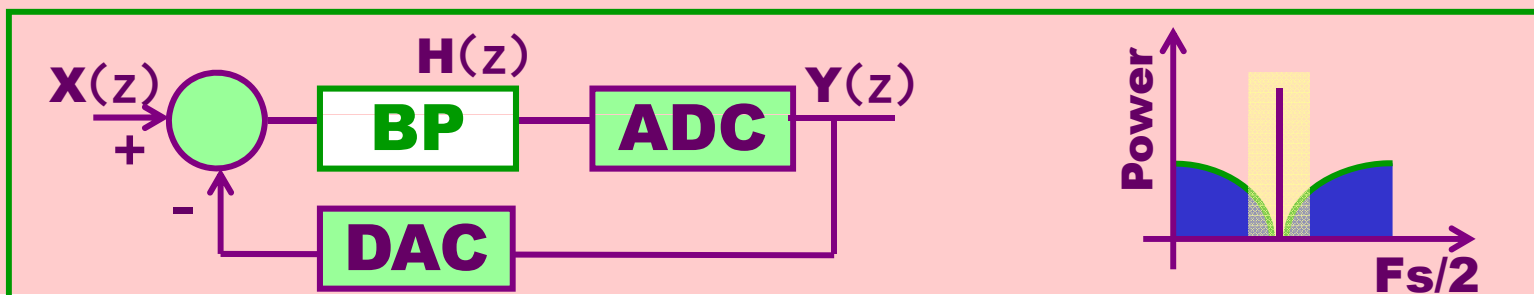
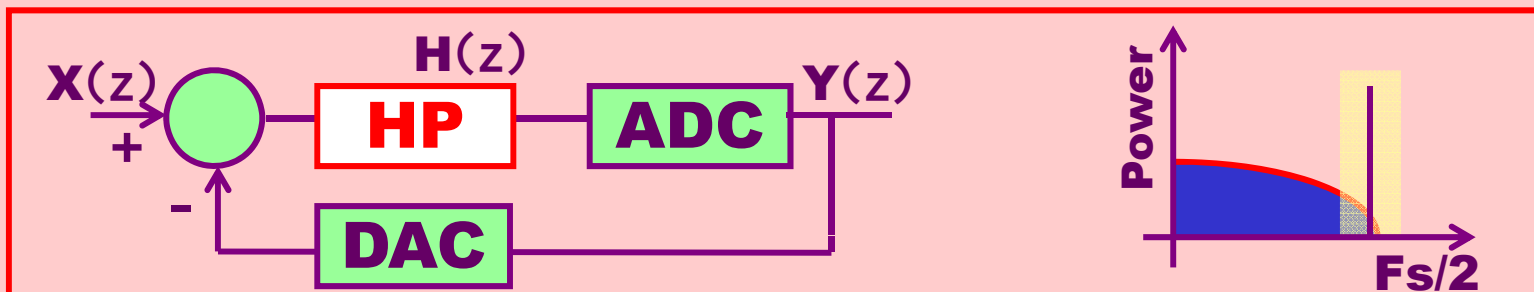
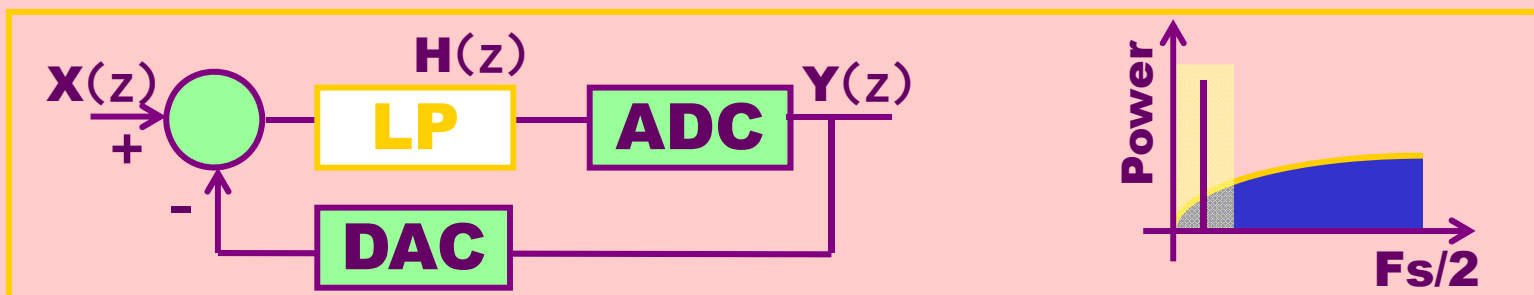
$H(z) \Rightarrow \infty$ ↓
STF=1

↓
NTF=0



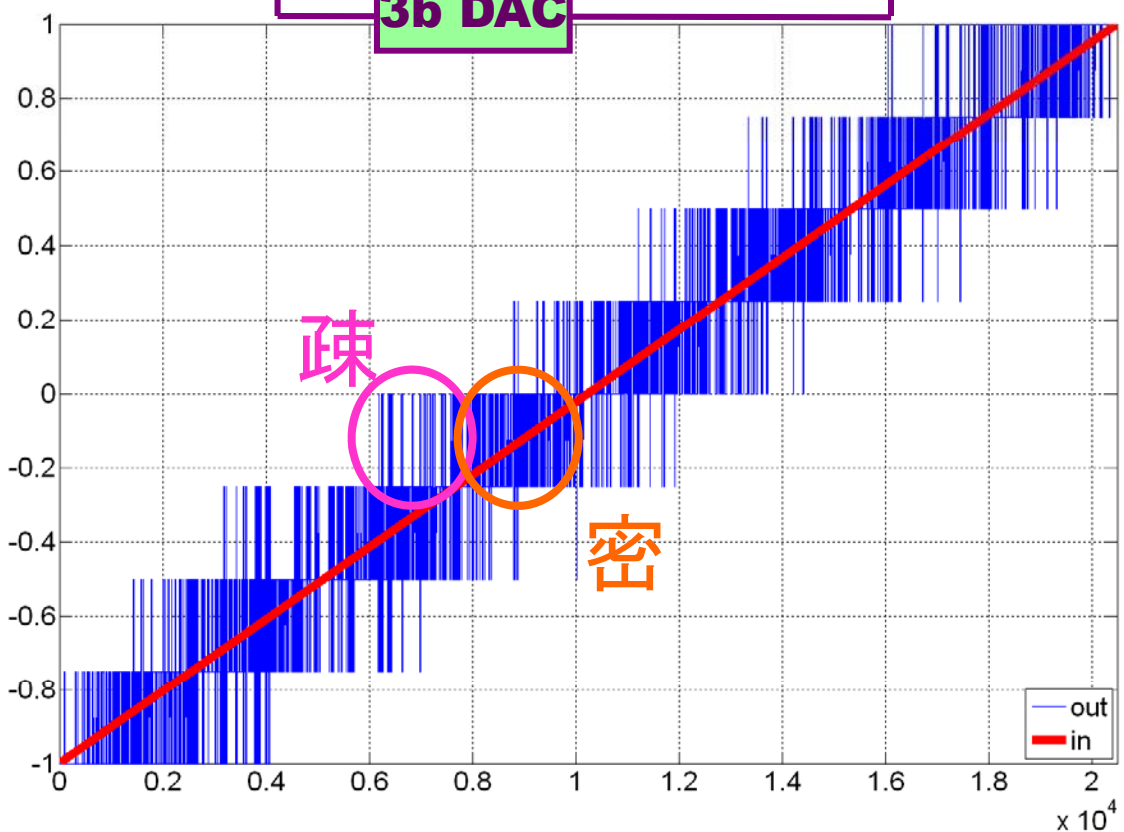
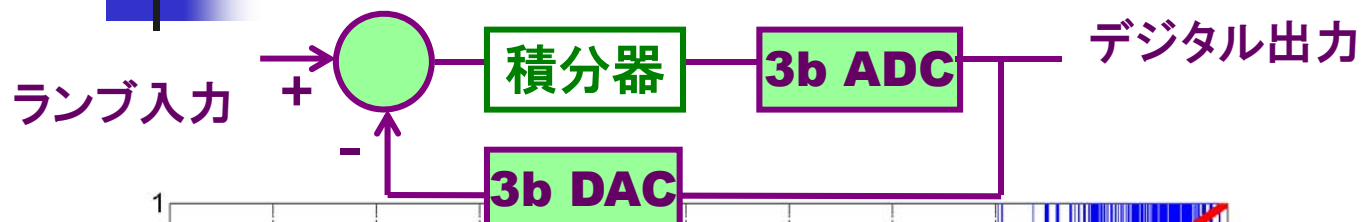
⇒ 高SNRを実現

$\Delta\Sigma$ AD変調器とノイズシェーピング



内部ADCの量子化ノイズを帯域内で小さく

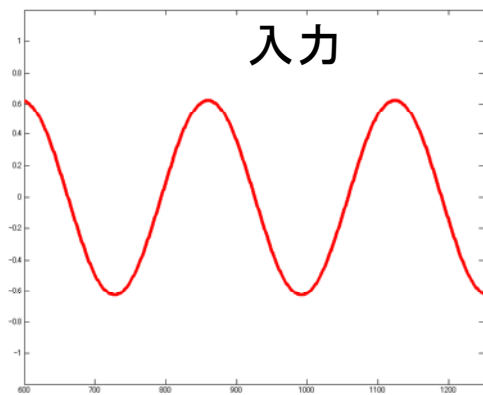
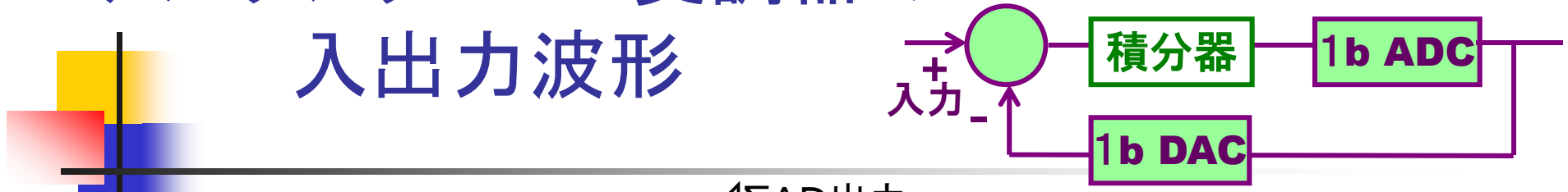
デルタシグマ変調による高精度化



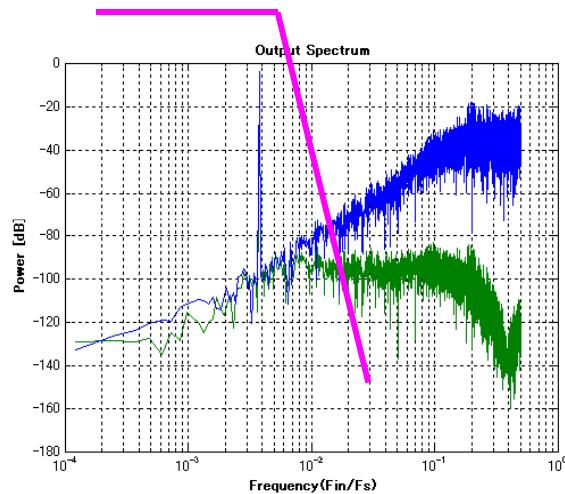
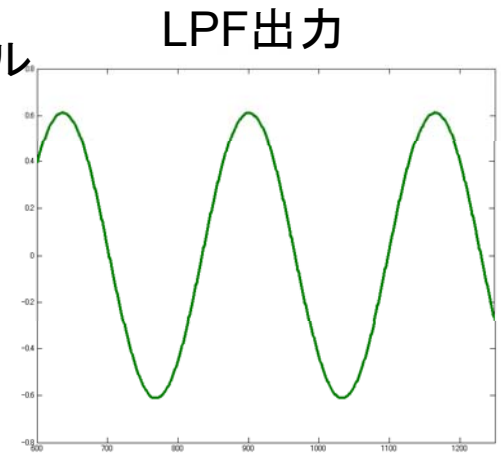
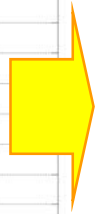
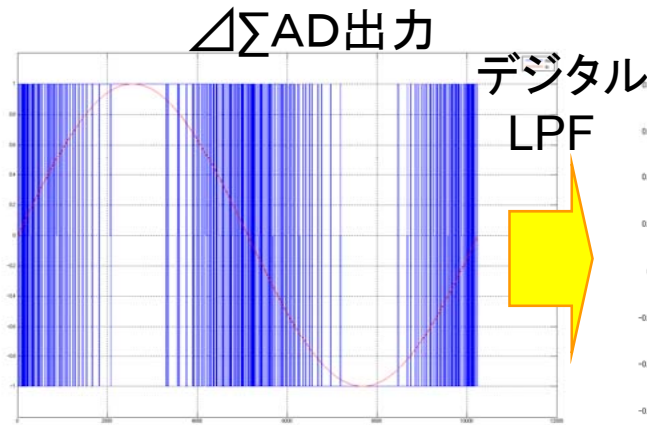
内部のADC
は低分解能

疎密により
より細かい
デジタル値を
表現できる

デルタシグマAD変調器の 入出力波形



$\Delta\Sigma$ 変調



PDM(パルス密度変調)



フーリエ級数展開



高周波成分 大



ローパスフィルタ

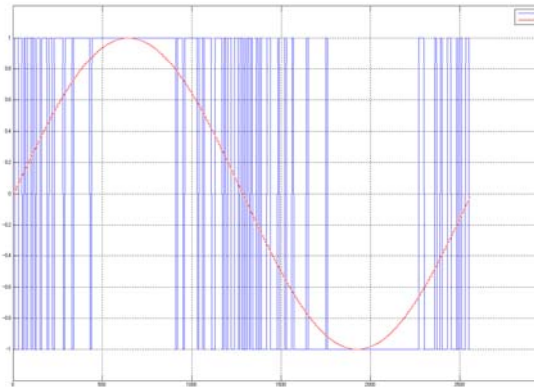


高周波成分(ノイズ)除去

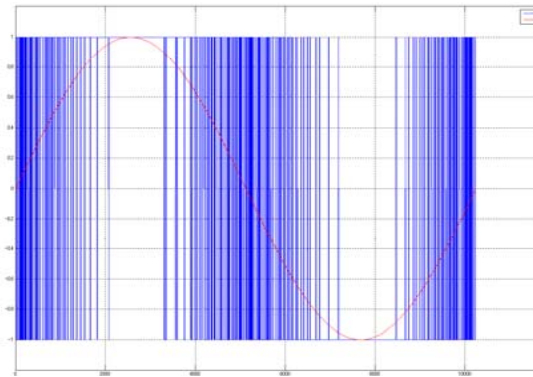


元信号 復元

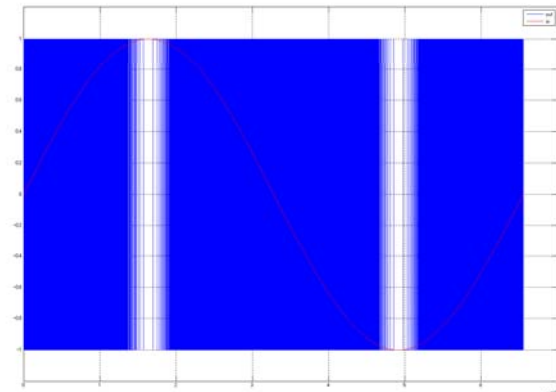
オーバーサンプリング比 OverSampling Ratio (OSR)



OSR=2⁸



OSR=2¹⁰



OSR=2¹⁶

OSRが大きいほどON,OFFの回数が増える
⇒細かい値が表現可能。



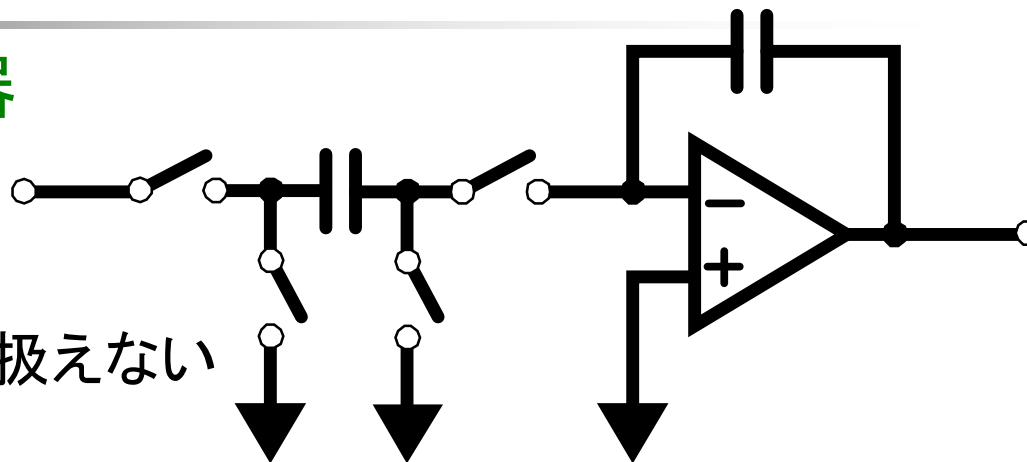
発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- **連続時間変調器と離散時間変調器**
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ

ΔΣAD変調器の構成

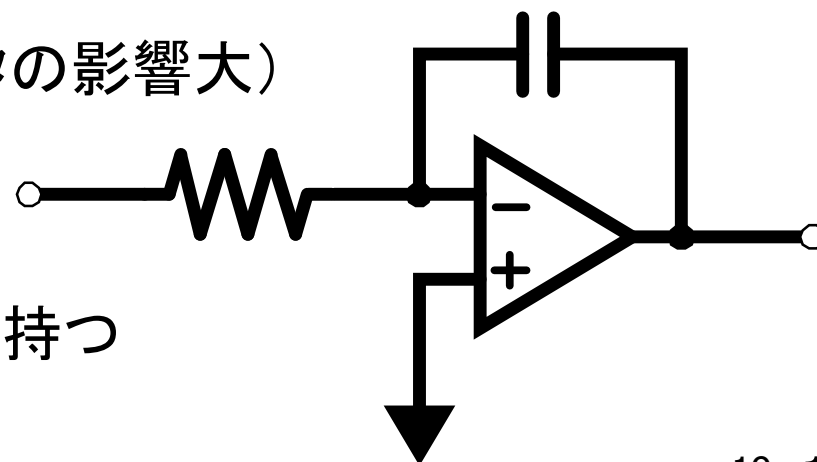
■ 離散時間ΔΣAD変調器

- 高精度
- 消費電力大
- 低速・低周波信号しか扱えない

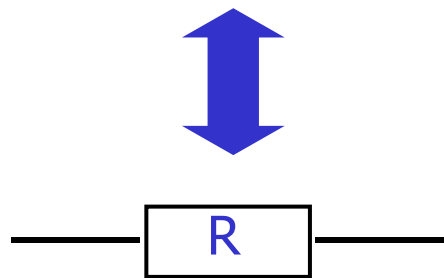
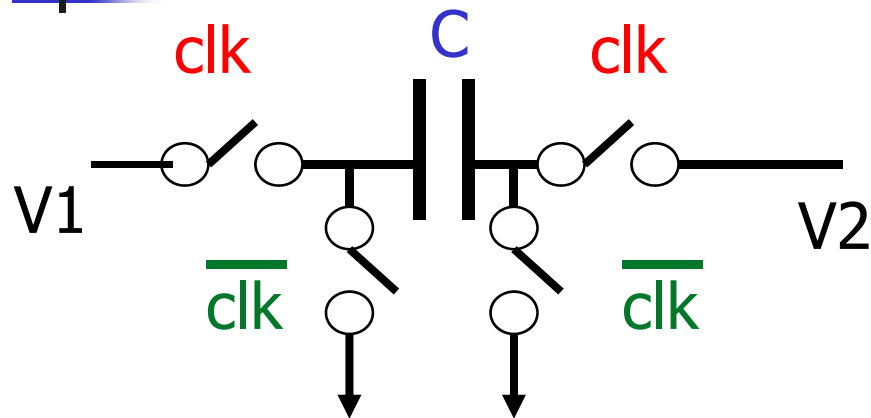


■ 連続時間ΔΣAD変調器

- 低精度 (DACのクロックジッタの影響大)
- 低消費電力
- 高速・高周波信号を扱える
- アンチエイリアスフィルタ機能を持つ

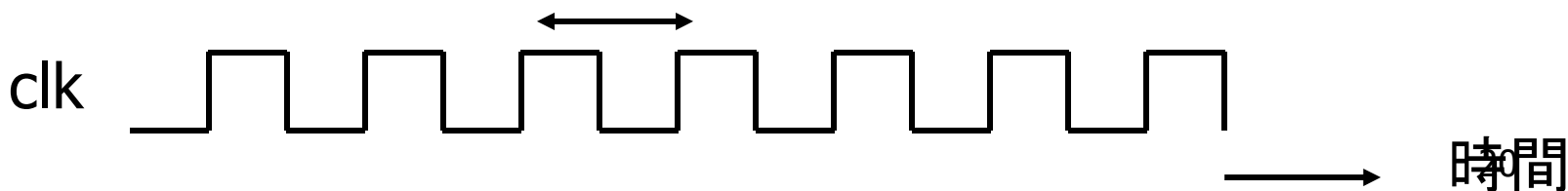


スイッチド・キャパシタ回路



$$R = T / C$$

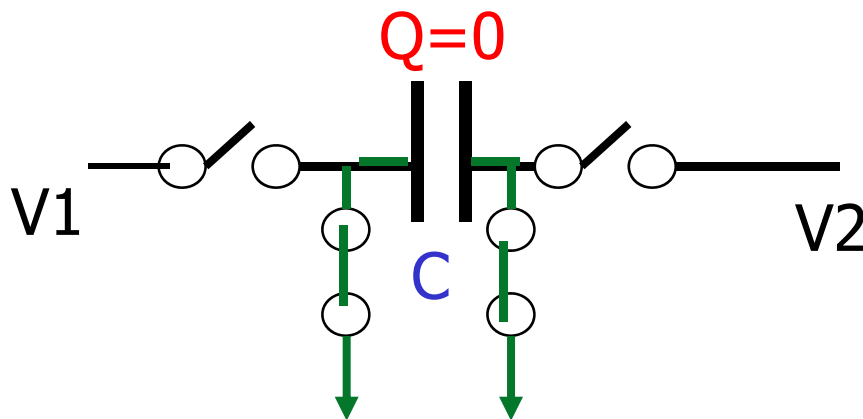
T: clk 周期



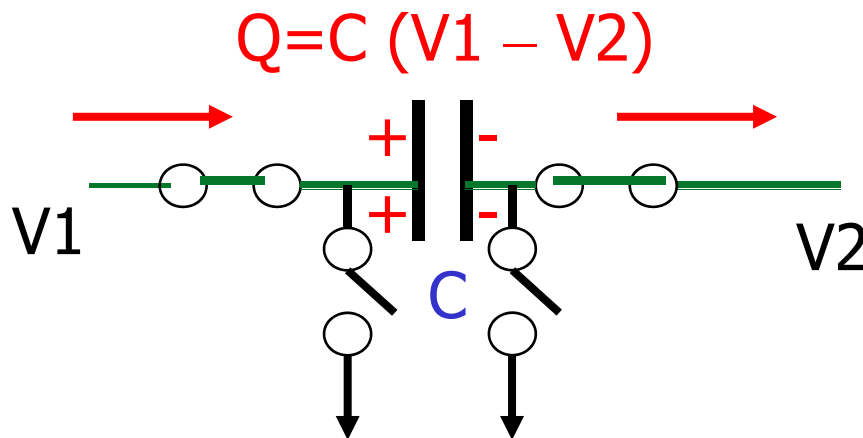
- 容量 C とスイッチで等価的に抵抗 R を実現
- MOSスイッチ使用
- **バイポーラでは実現困難**
- 米国カルフォルニア大学の大学院生が考案
- 多くの製品に使用。

スイッチド・キャパシタ回路の動作原理(バタフライ型)

clk=low
のとき



clk=high
のとき



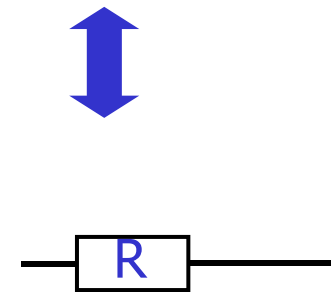
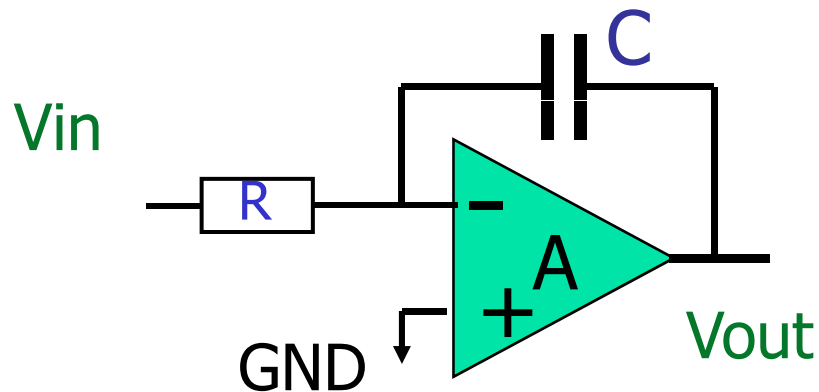
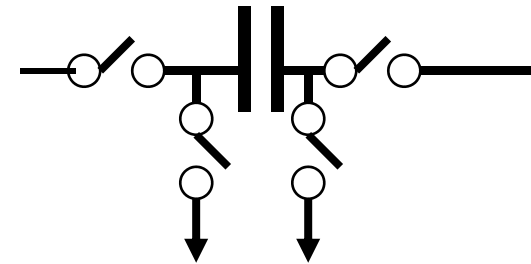
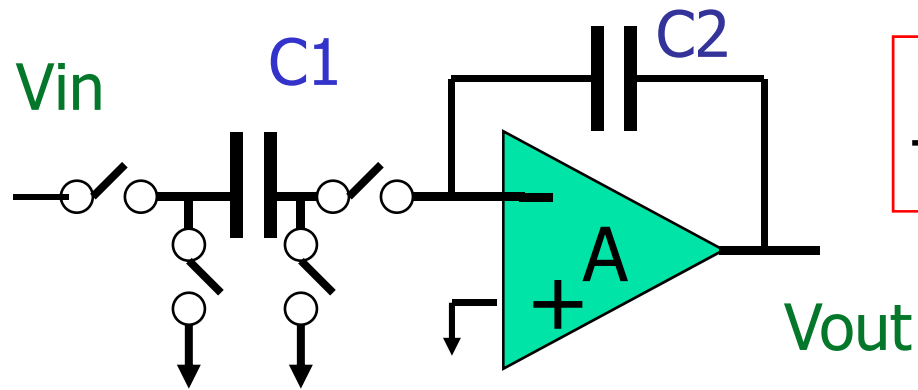
時間Tに電荷
 $Q = C(V1 - V2)$
が流れる。

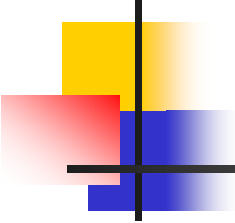


$$I = \frac{C}{T}(V1 - V2)$$
$$= \frac{1}{R}(V1 - V2)$$

$$\therefore R = \frac{T}{C}$$

スイッチド・キャパシタ回路を用いた積分回路(バタフライ型)





なぜスイッチド・キャパシタ回路を用いるのか？

- スイッチド・キャパシタ積分回路 時定数 T ($C2 / C1$)
 - クロック周期 T で制御可能
 - 集積回路内では $C2 / C1$ は高精度に実現可能
 - 集積回路内では 絶対精度は良くないが
比精度は良い。
 - $C2 / C1$ の値は温度が変化しても一定
- 連続時間積分回路 時定数 RC
 - 集積回路内で RC の値の高精度な実現が困難
 - RC の値は温度が変化すると変わる。

デジタル回路、アナログ回路、 スイッチド・キャパシタ回路

- デジタル信号：
信号レベルの量子化（離散信号レベル）
時間レベルの量子化（離散時間）
- スイッチド・キャパシタ回路
➡ 離散時間アナログ回路

信号レベル \ 時間レベル	連続	離散
連続	アナログ	PWM等
離散	スイッチド キャパシタ	デジタル



変調器内連続時間フィルタの調整法

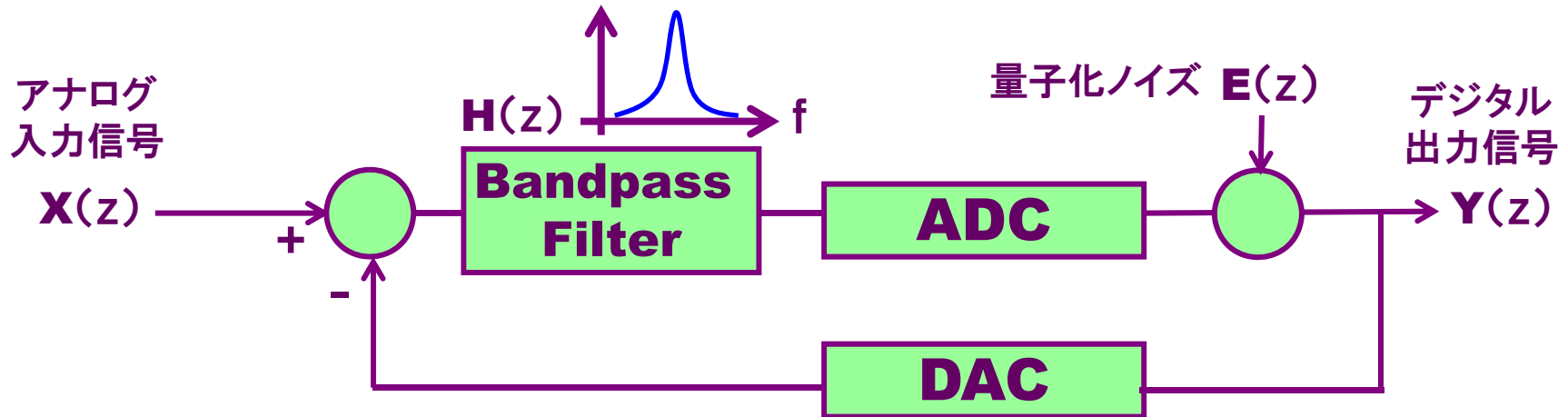
- 連続時間フィルタとして調整
- $\Delta\Sigma$ 変調器として調整
UCSD Prof. Song Gr.
- R, C変動の少ないプロセスで無調整



発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- **バンドパス $\Delta\Sigma$ AD変調器**
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエイリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ

バンドパス $\Delta\Sigma$ AD変調器



$$Y(z) = \frac{H(z)}{1+H(z)} X(z) + \frac{1}{1+H(z)} E(z)$$

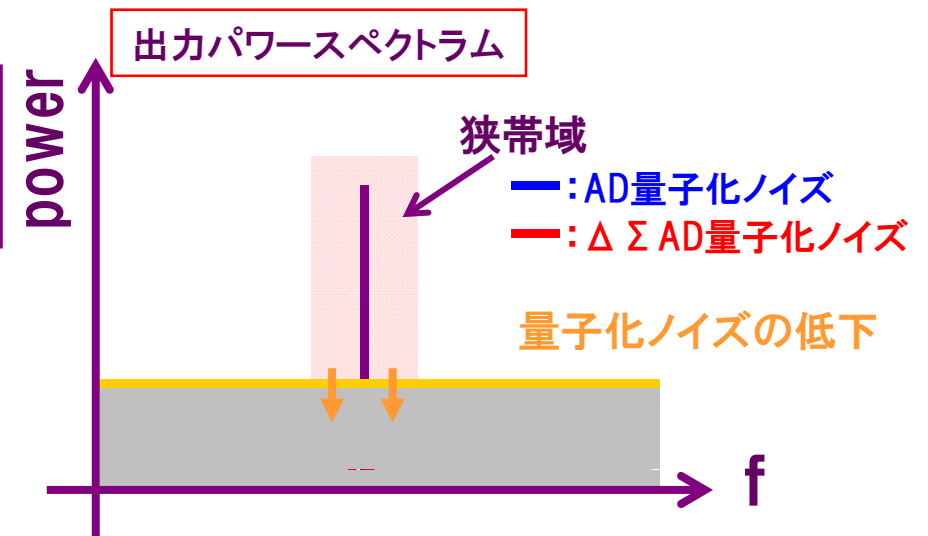
$H(z) \Rightarrow \infty$

1

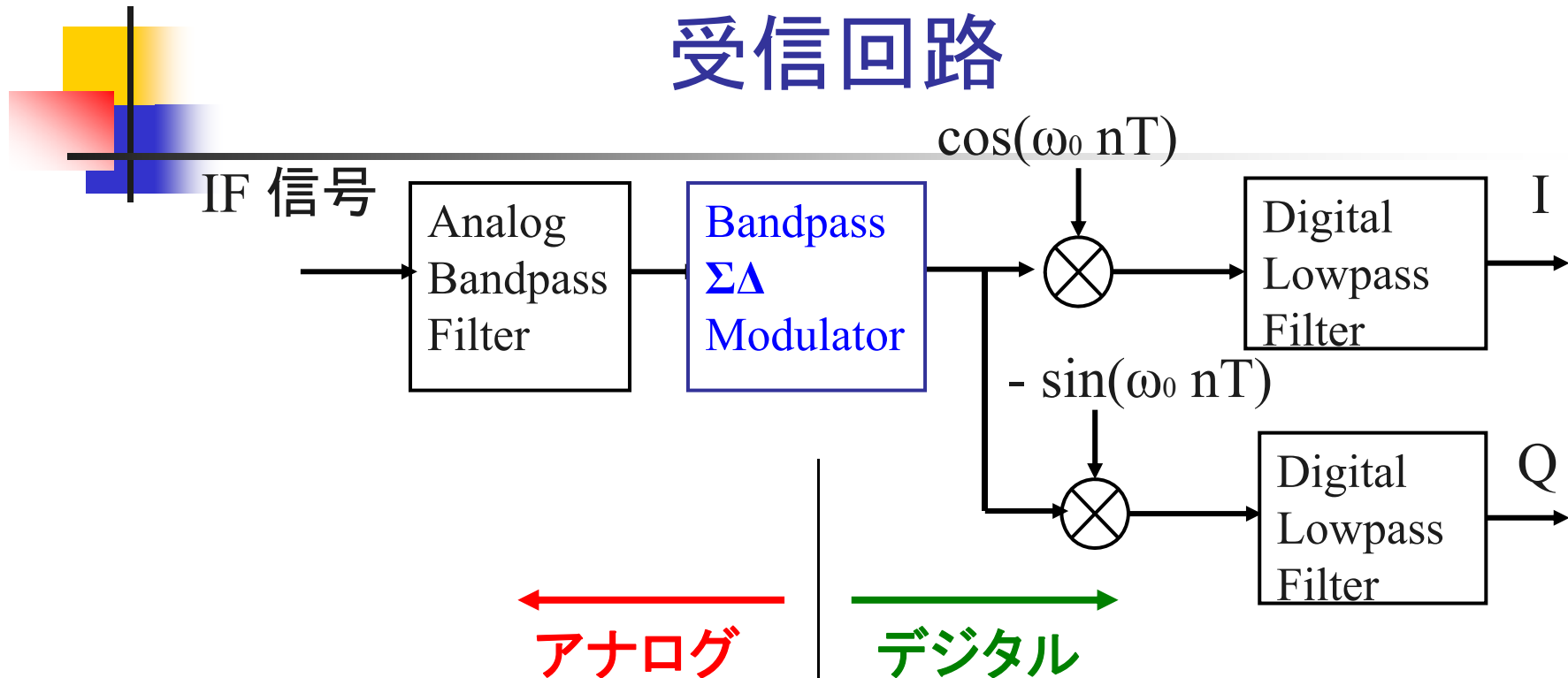
Signal Transfer Function (STF)

0

Noise Transfer Function (NTF)

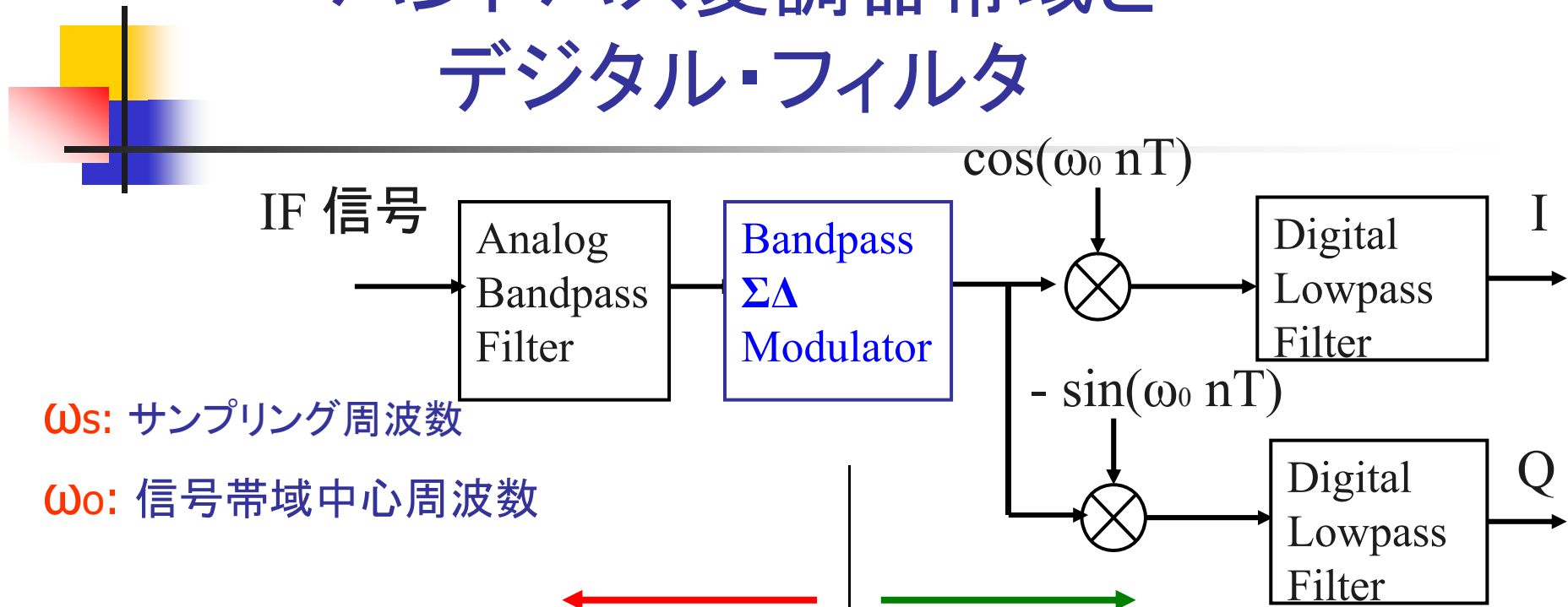


バンドパスΣΔ AD変調器と 受信回路



- アナログ・バンドパス・フィルタが簡単化。
- アナログ・ミキサ、アナログLO発振器が不要。
- デジタルなのでI,Q経路のミスマッチの問題なし。
- アナログ回路は最小限でよい。
- デジタル・フィルタが必要。

バンドパス変調器帯域と デジタル・フィルタ



ω_s : サンプル周波数

ω_o : 信号帯域中心周波数

$\omega_o/\omega_s=1/4$ のとき

← アナログ

→ デジタル

$$\cos(\omega_o nT) = 1, 0, -1, 0, 1, 0, \dots$$

$$\sin(\omega_o nT) = 0, -1, 0, 1, 0, -1, \dots$$



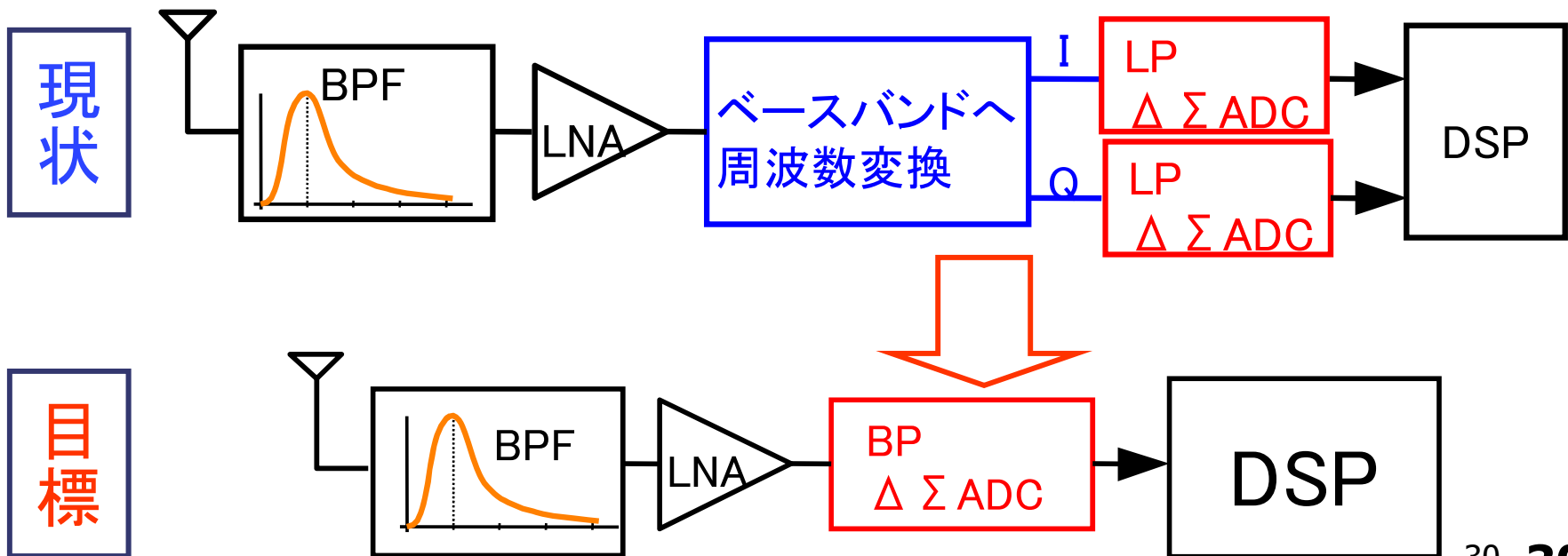
Digital Filter の
設計が容易

$\omega_o/\omega_s=(2k+1)/4$ でもよい。 $k=0, 1, 2, \dots$

$k>0$ のとき、アナログ・サブサンプリング²⁹

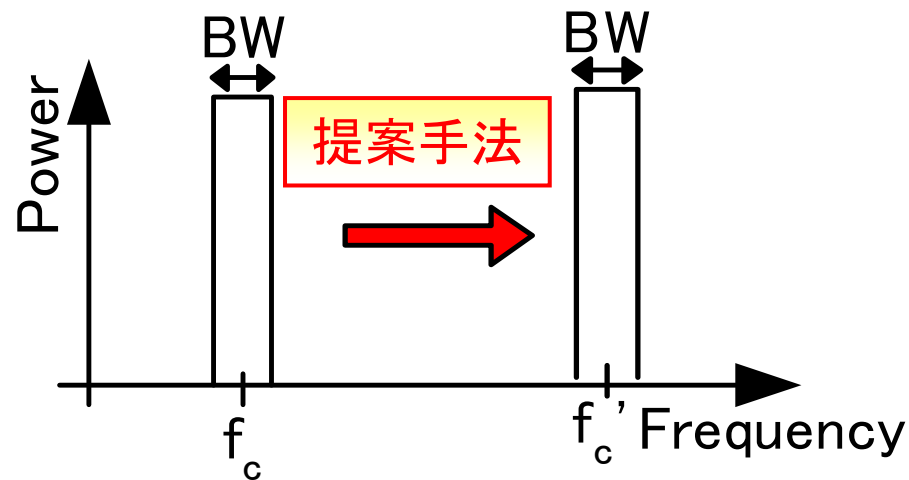
RFサンプリング実現へ

- 携帯電話、無線LAN等の受信機アナログフロントエンド部
⇒ソフトウェア無線
 - RF信号を直接AD変換
 - 低消費電力、高精度
 - アナログ最小、デジタルリッチな回路構成



連続時間バンドパス変調器で RFサンプリング

- 低消費電力 ⇒ 連続時間 $\Delta\Sigma$ AD変調器
- 狭帯域 ⇒ バンドパス
- 高周波 ⇒ サブサンプリング

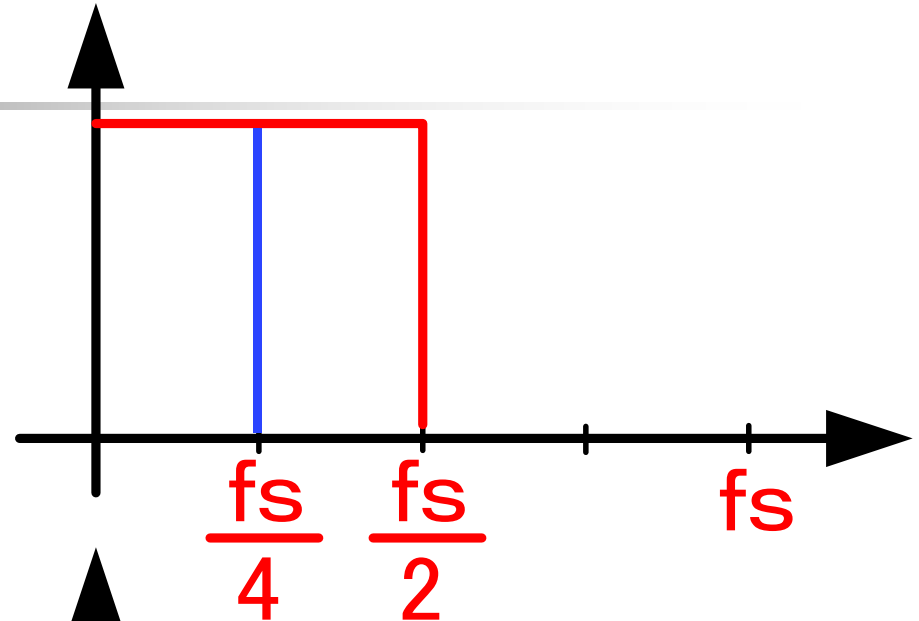


3倍の中心周波数

サブサンプリング技術

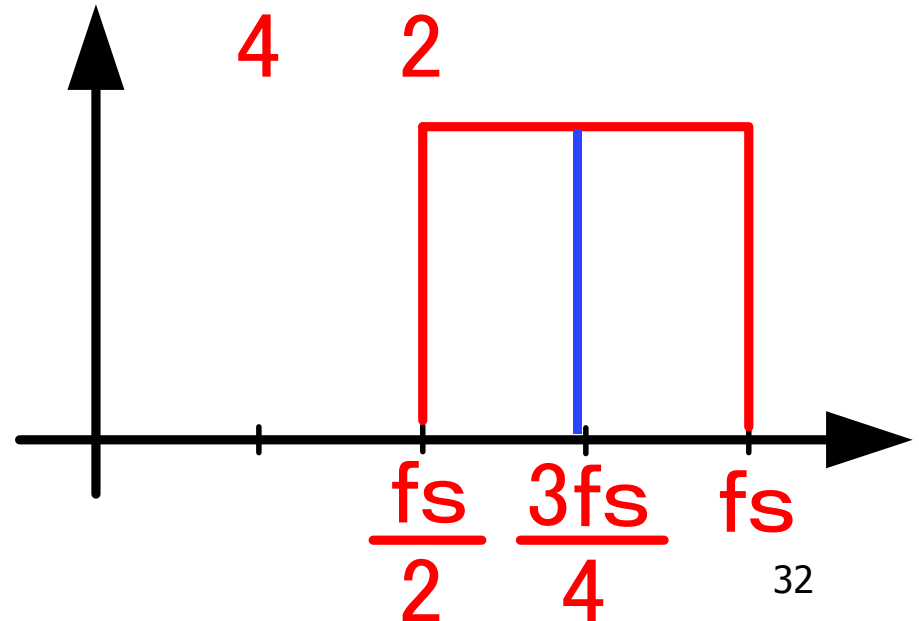
ナイキスト・サンプリング

- 中心周波数: $f_s/4$
- 帯域 : $0 \sim f_s/2$

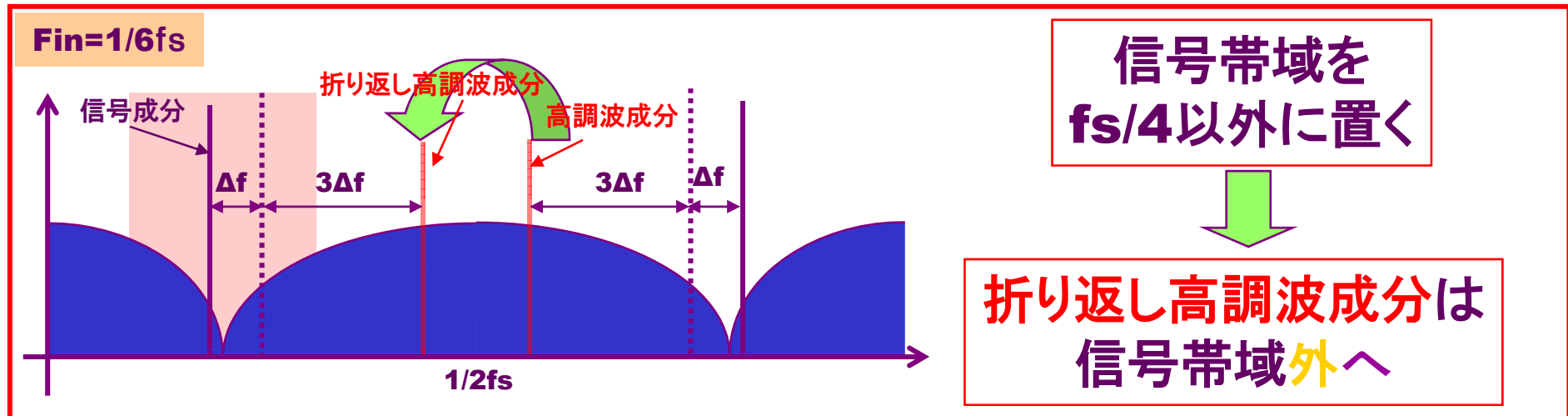
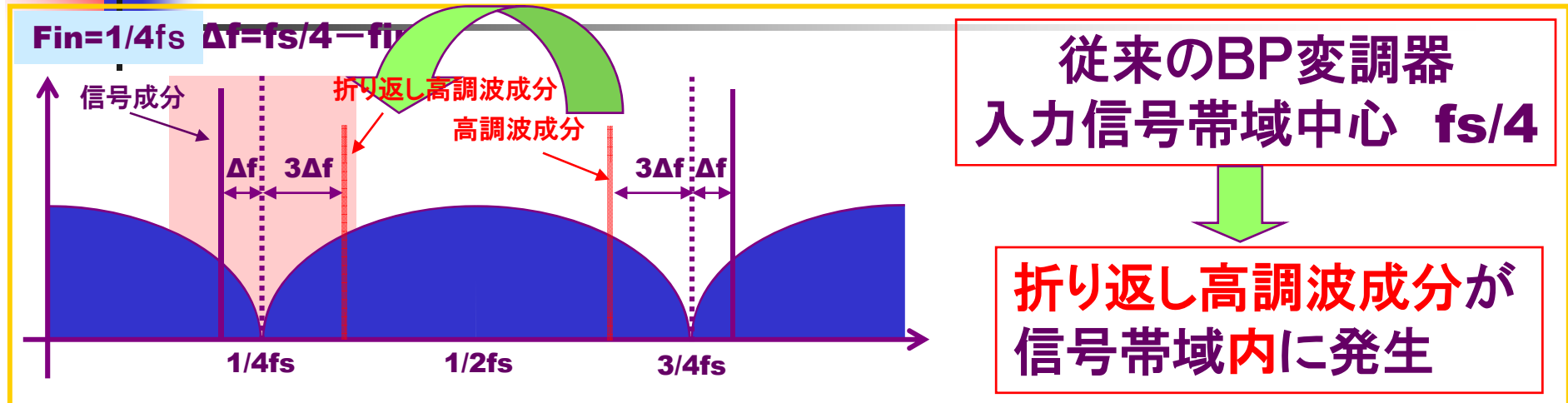


サブサンプリング

- 中心周波数: $3f_s/4$
- 帯域 : $f_s/2 \sim f_s$



バンドパス変調器のイメージ回避





発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- **連続時間変調器の設計**
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ



広帯域 連続時間 $\Delta\Sigma$ AD変調器

- 近年、**広帯域**のため
連続時間の $\Delta\Sigma$ ADCの学会発表多し。
- **変調器内オペアンプ帯域**：
スイッチド・キャパシタ(SC)： **f_s の10倍**程度必要。
連続時間(CT)： **f_s と同程度**でよい。
- SCを用いた場合より**10倍程度**高速クロック動作可能。

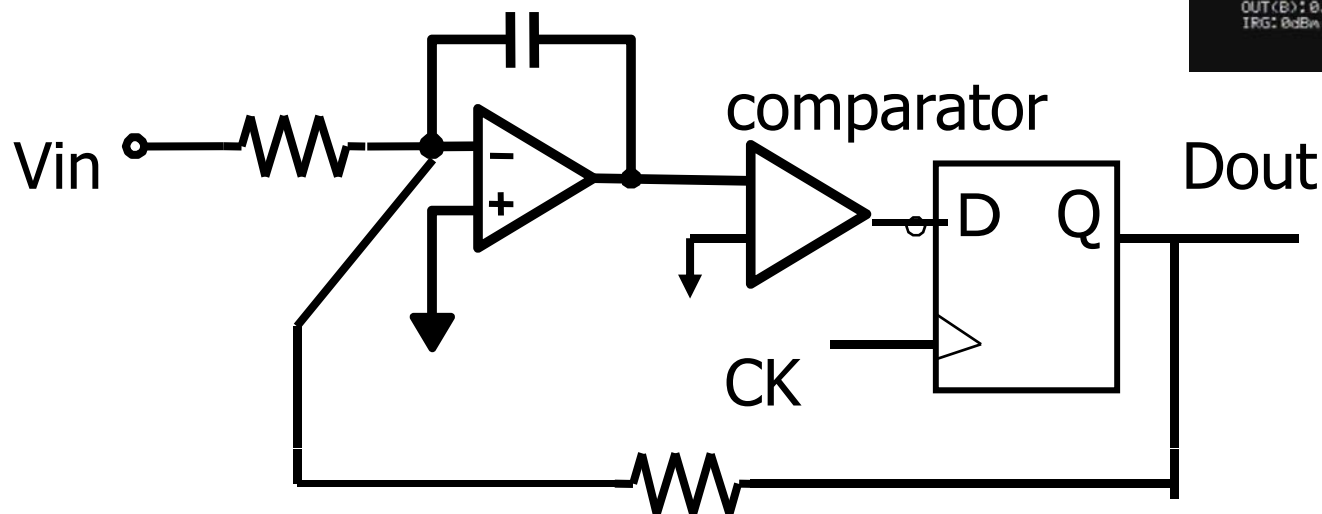
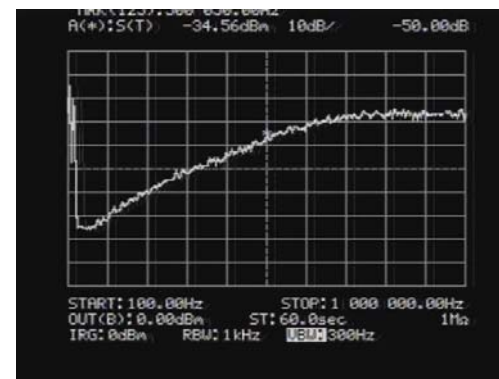
連続時間 $\Delta\Sigma$ AD変調器を超低消費電力化のために
用いることもあり。

連続時間 $\Delta\Sigma$ AD変調器は容易に実現できる

群馬大客員教授
小室貴紀氏

大学院学生の実習
デスクルート回路試作

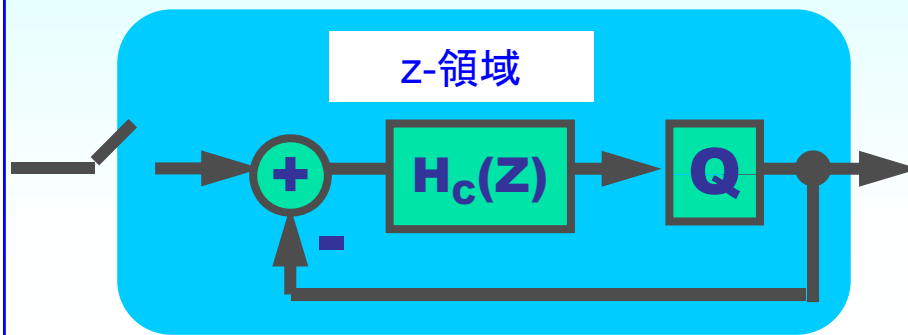
ノイズシェープ
波形が簡単に
得られた



連続時間 $\Delta\Sigma$ AD変調器の設計

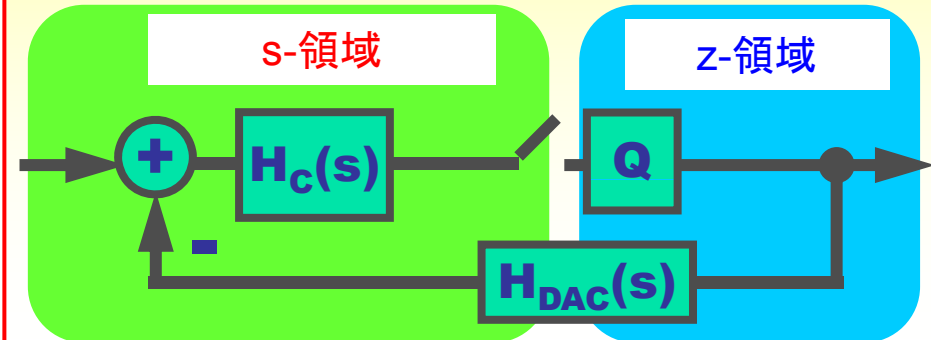
離散時間 $\Delta\Sigma$ 変調器

■ z-領域
⇒ 設計は容易



連続時間 $\Delta\Sigma$ 変調器

■ s-領域とz-領域の混在
⇒ 設計が複雑

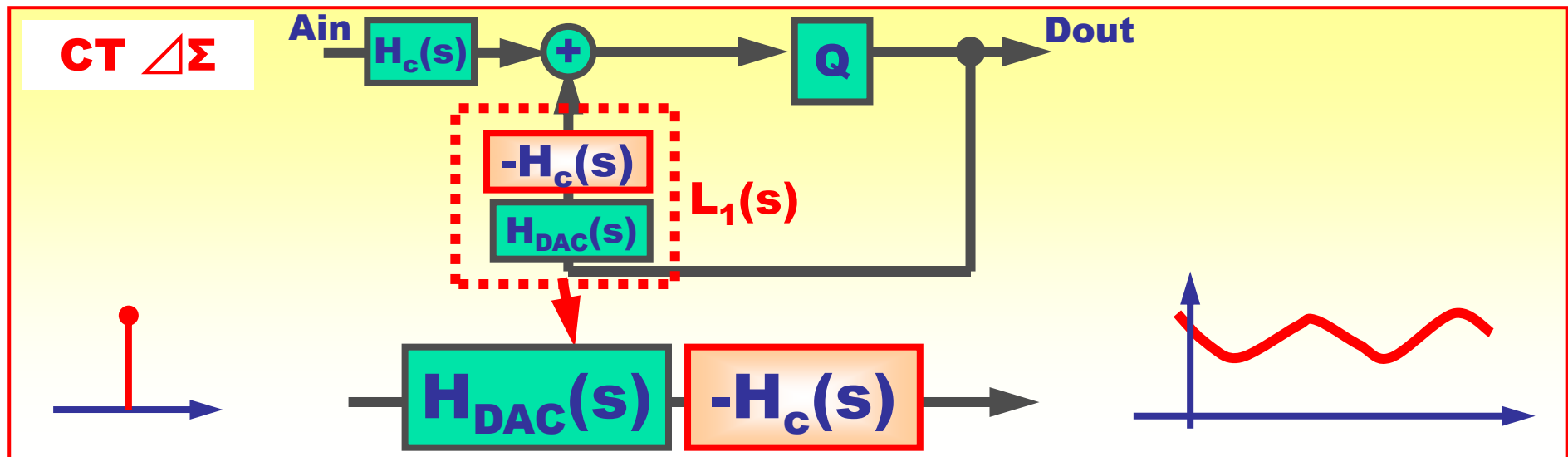
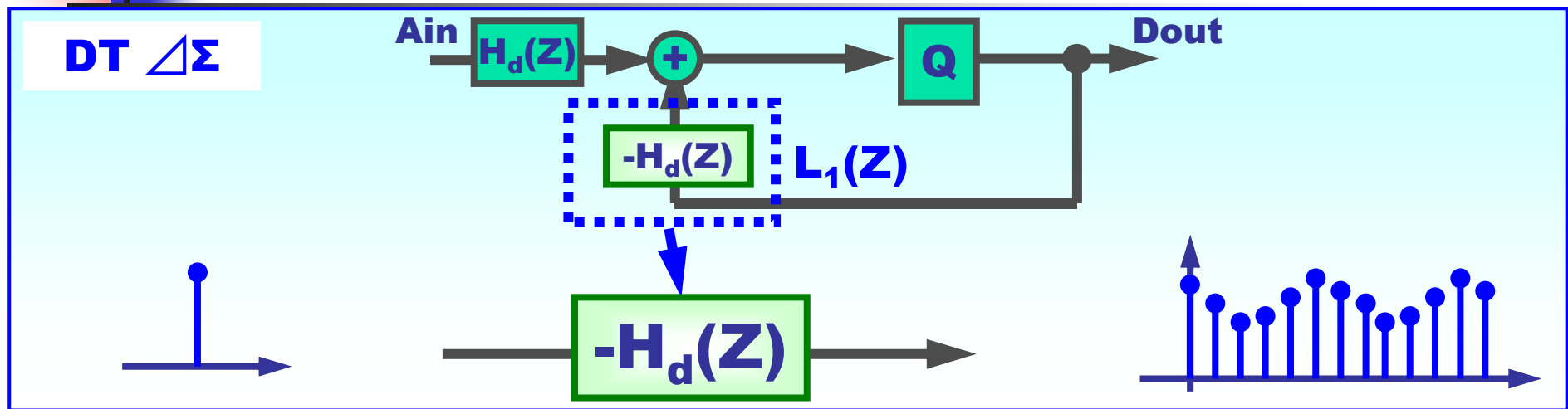


離散時間フィルタを設計し、インパルス応答不変変換を用い連続時間フィルタへ変換する。

DACの出力時間波形も伝達関数に影響。

フィードバック伝達関数 L_1 のインパルス応答

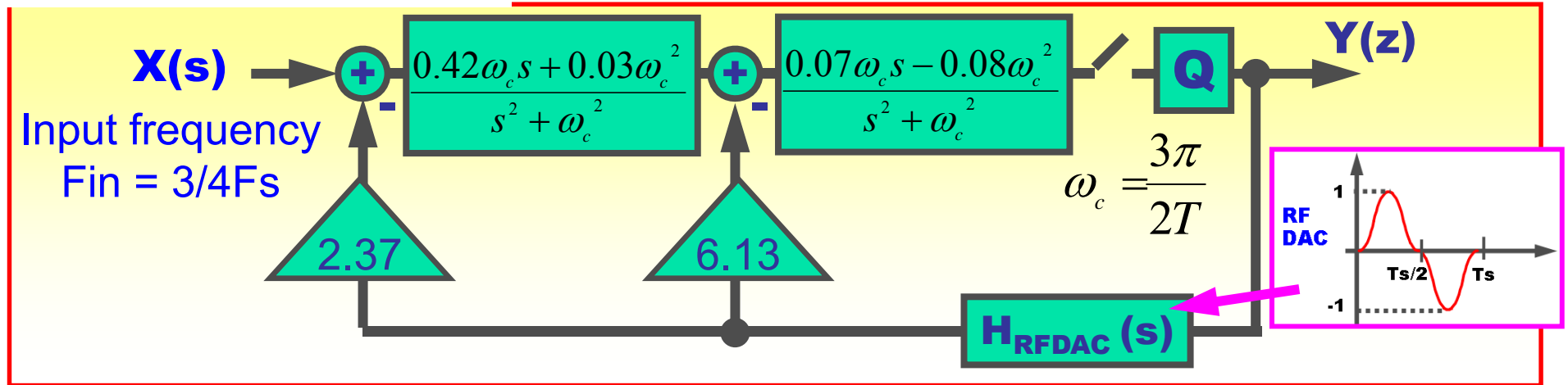
- L_1 のインパルス応答が不変となるCT-DT変換を求める
 - L_1 の一致 \Leftrightarrow ノイズ伝達関数NTFの一致



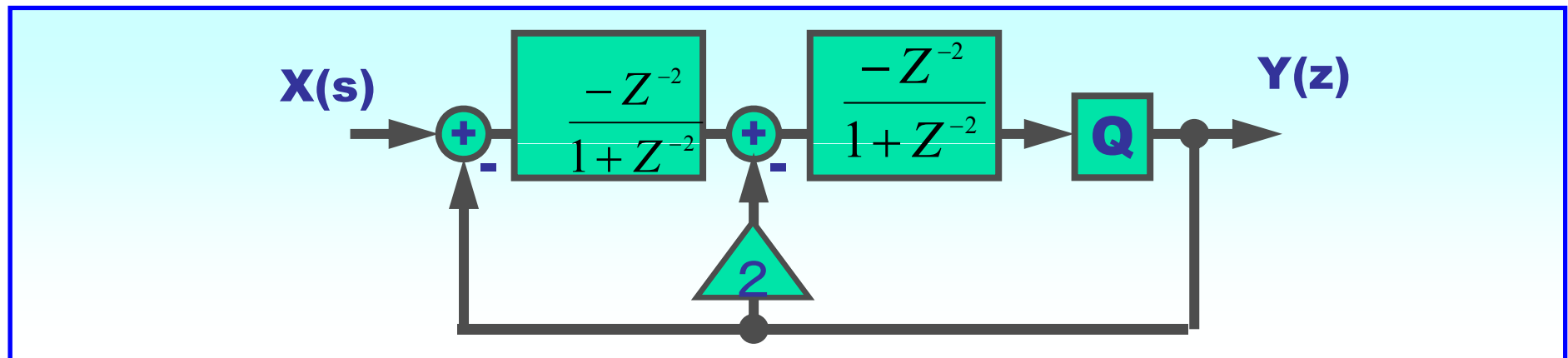
連続時間 $\Delta\Sigma$ 変調器の設計例

膨大な計算必要

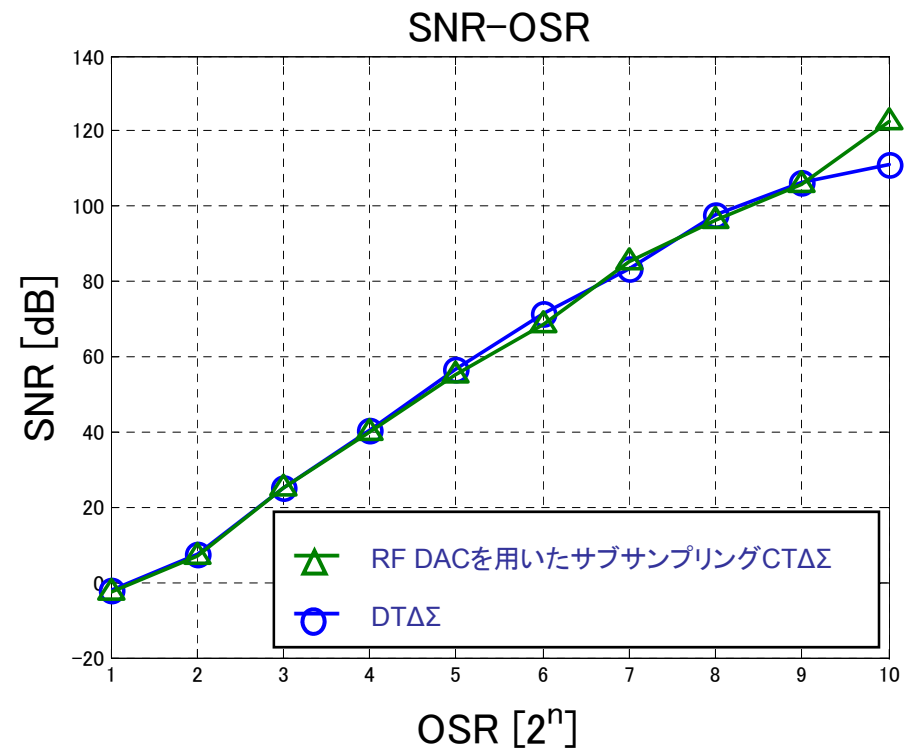
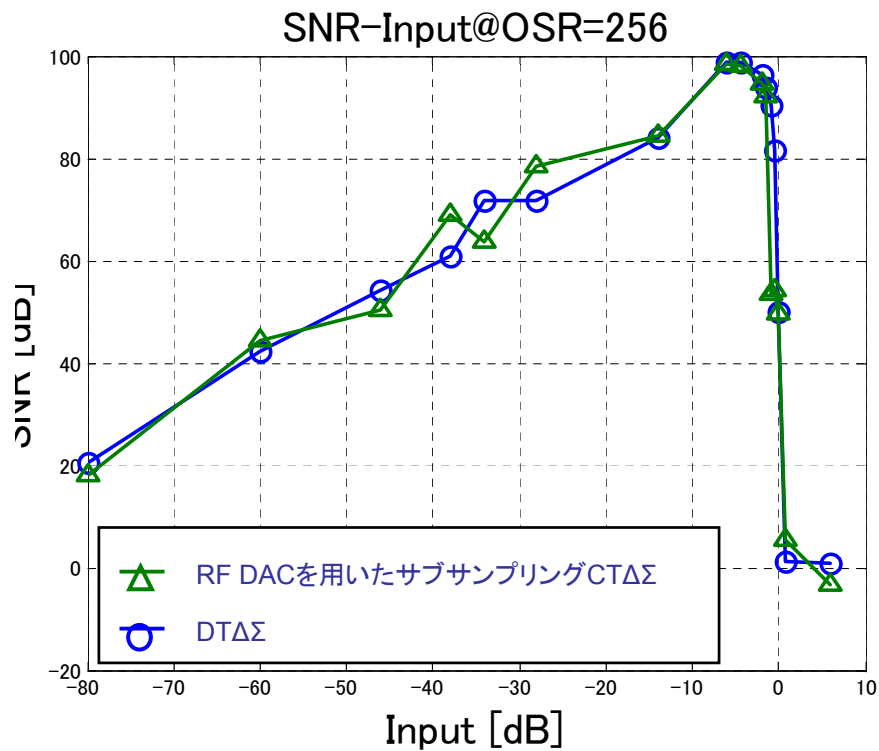
CT $\Delta\Sigma$ Modulator



DT $\Delta\Sigma$ Modulator



SNR-Input, SNR-OSRの シミュレーション結果



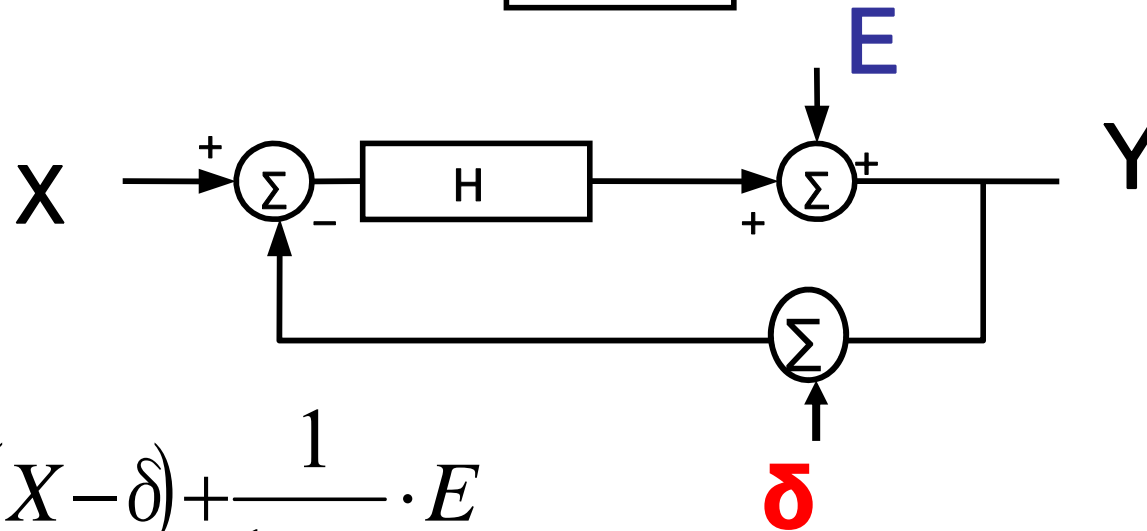
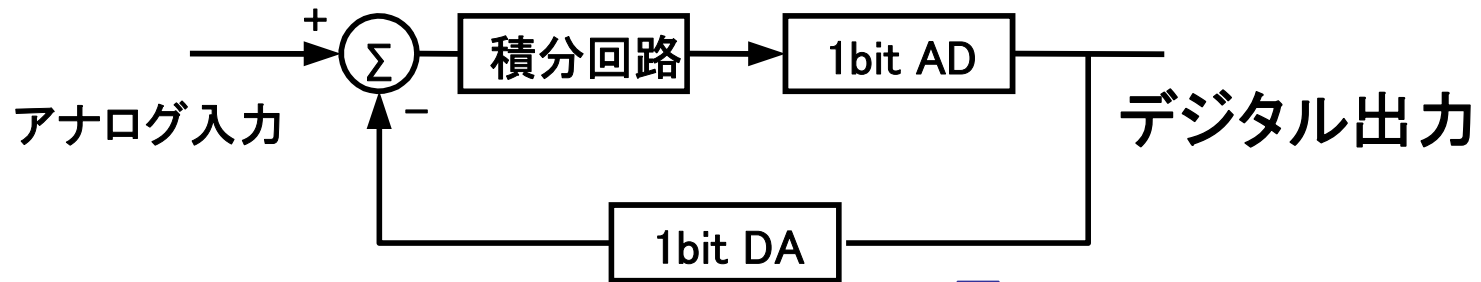
CTΔΣとDT ΔΣで特性がほぼ一致



発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- **内部DAC**
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ

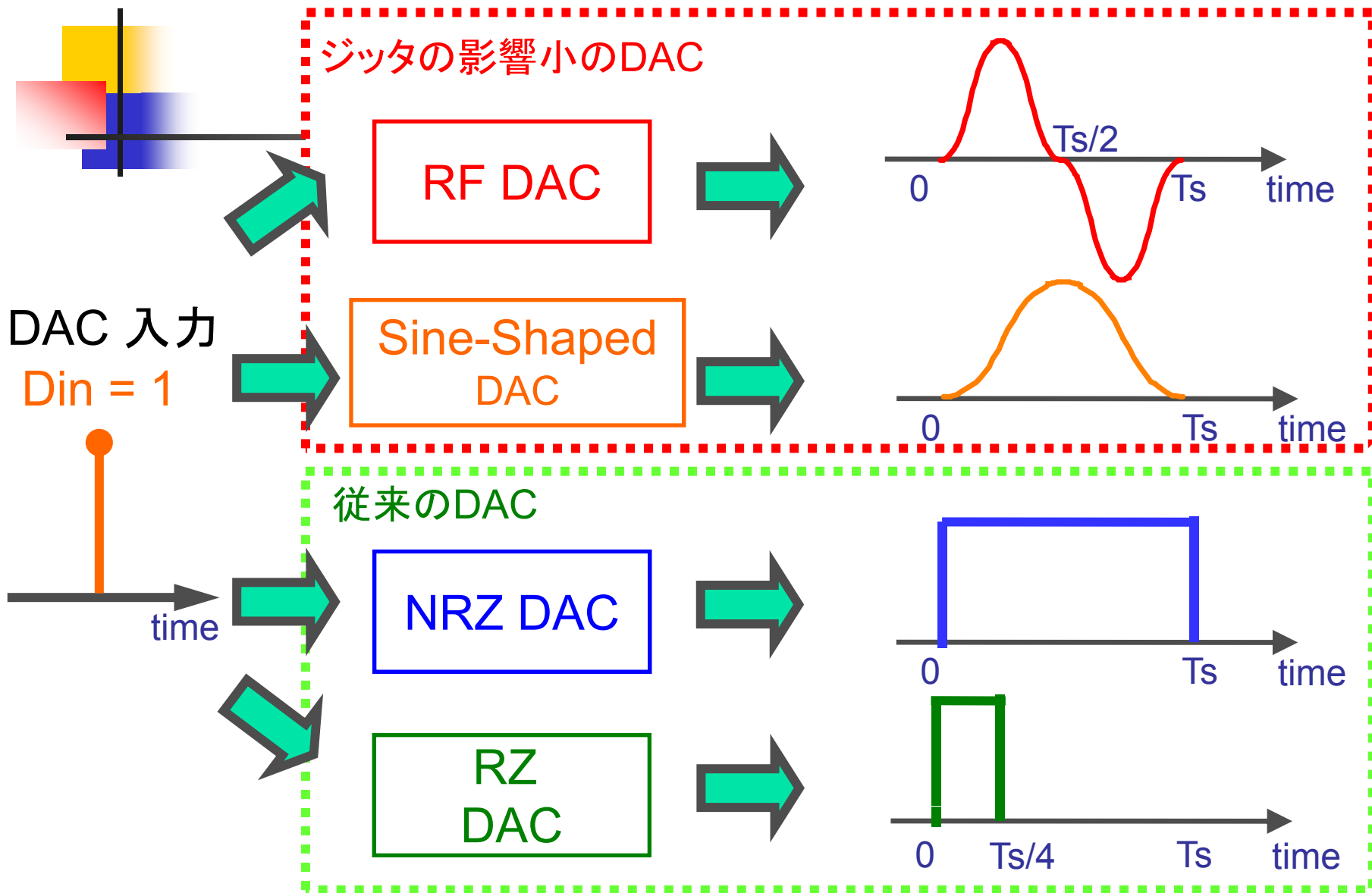
内部ADC/DACと フィードバックの効果



$$Y = \frac{H}{1+H} (X - \delta) + \frac{1}{1+H} \cdot E$$

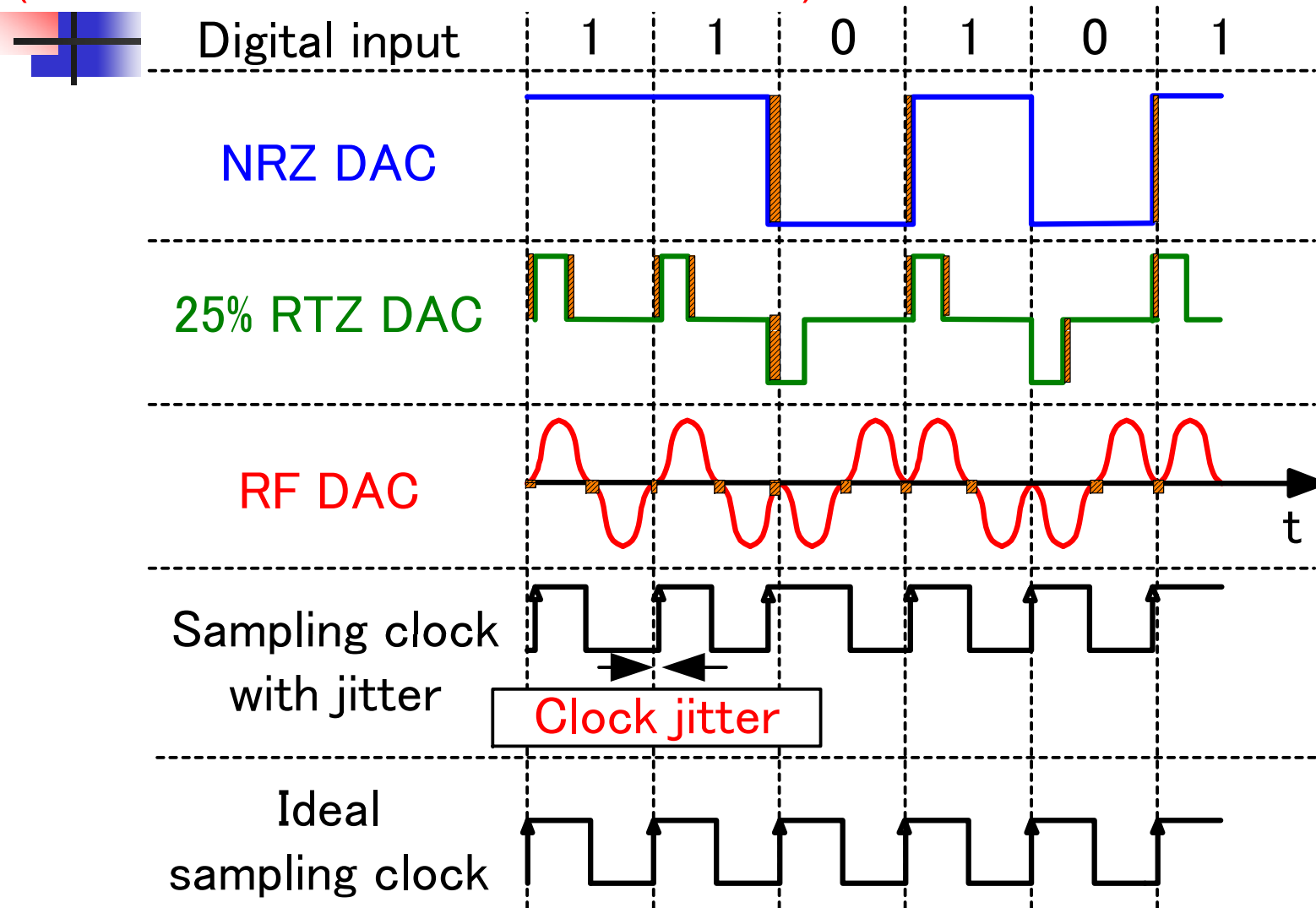
δ はノイズ・シェープされない

変調器内部DACの出力波形



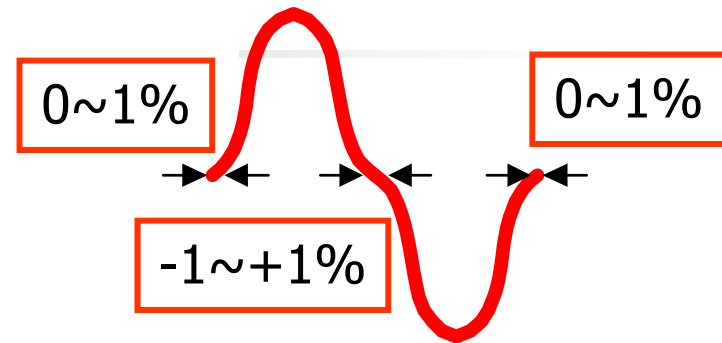
DACのジッタの影響

- RF, Sine shaped DAC \Rightarrow DACのジッタの影響小
(サンプリングタイミングでスルーレートが0)

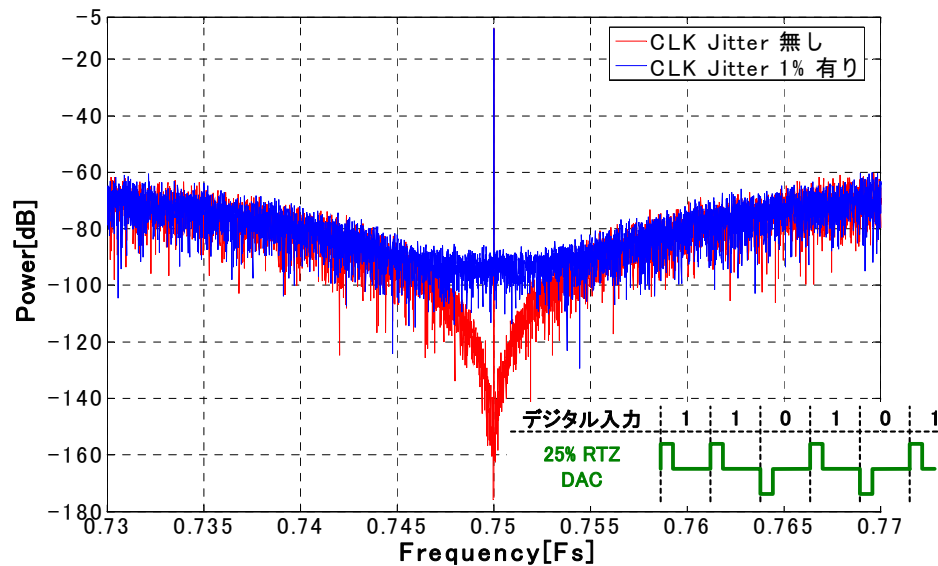


DACのジッタによる出力パワースペクトラム

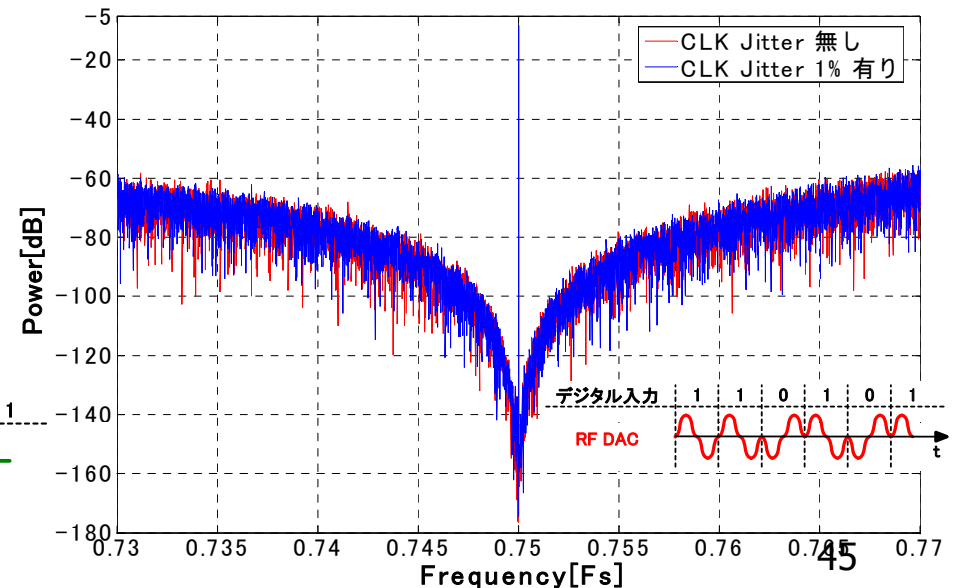
- RF DAC使用の変調器
 - 変化ほぼなし
- 25% RZ DAC使用の変調器
 - ノイズフロアが大きく上昇



25% RZ DAC使用の変調器



RF DAC使用の変調器





DACジッタの影響の対策

- Sine-Shaped DAC, RF DACを使用。
- マルチビットDACを使用。
- スイッチドキャパシタDACを使用。

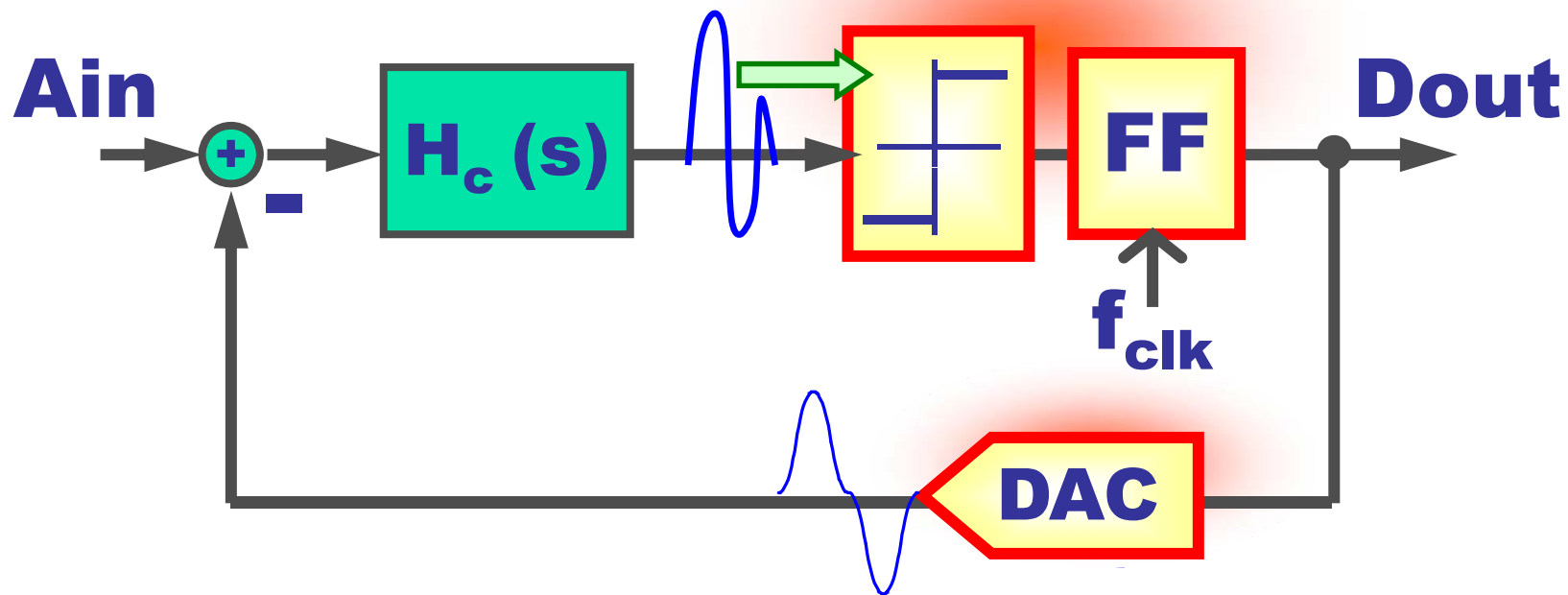


発表内容

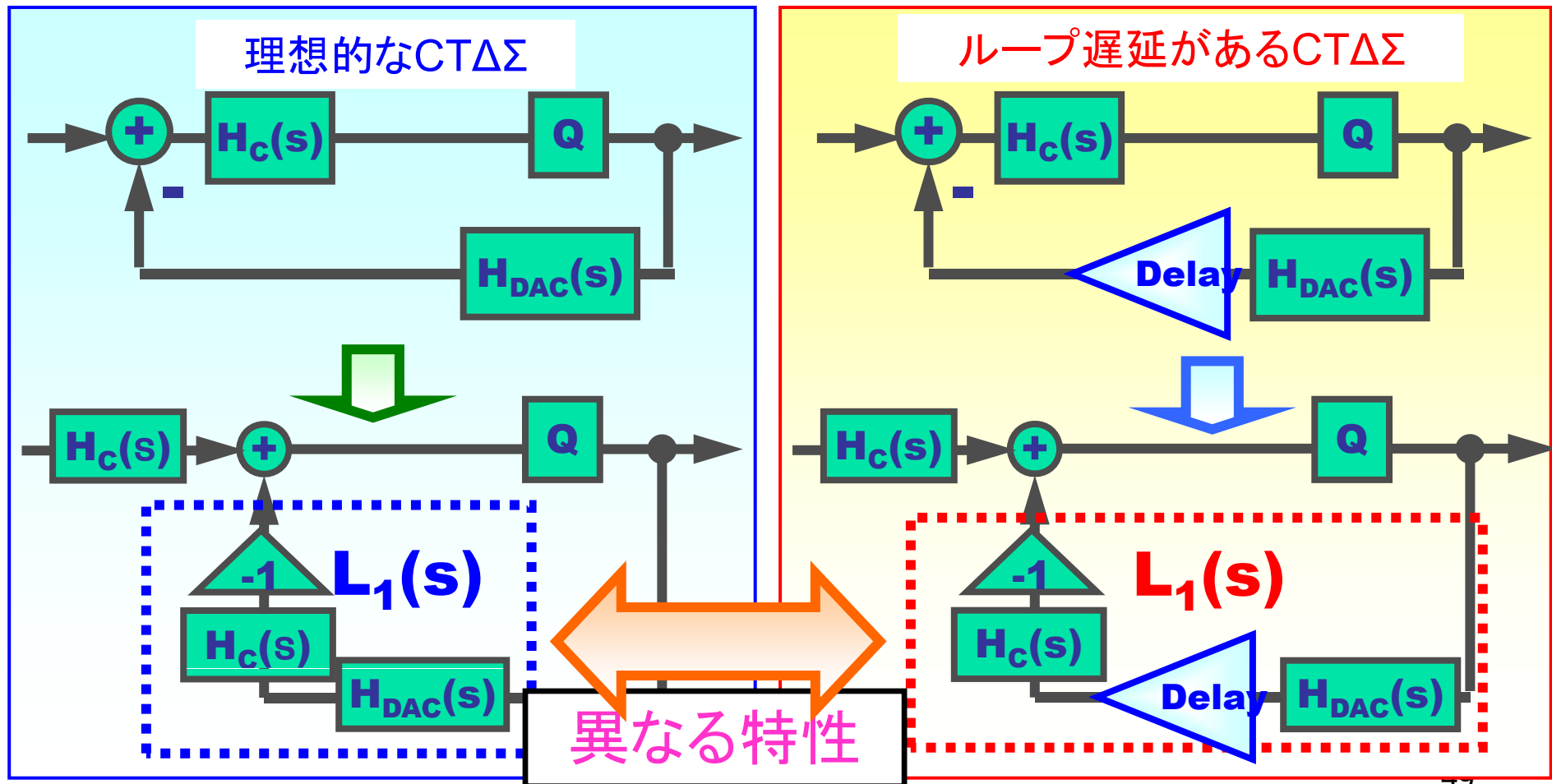
- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- **ループ遅延**
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ

ループ遅延 (Excess Loop Delay)

- ADCとDACの間の遅延時間
 - コンパレータ、フリップフロップ、DACでのトータルの遅延
 - AD変換の精度劣化



ループ遅延の ノイズ伝達関数NTFへの影響





ループ遅延の影響と対策

- LPよりBPタイプのほうが影響大
- NRZ DAC より RF DAC のほうが影響大
- マルチビット化で影響軽減
- 位相進み回路で影響軽減

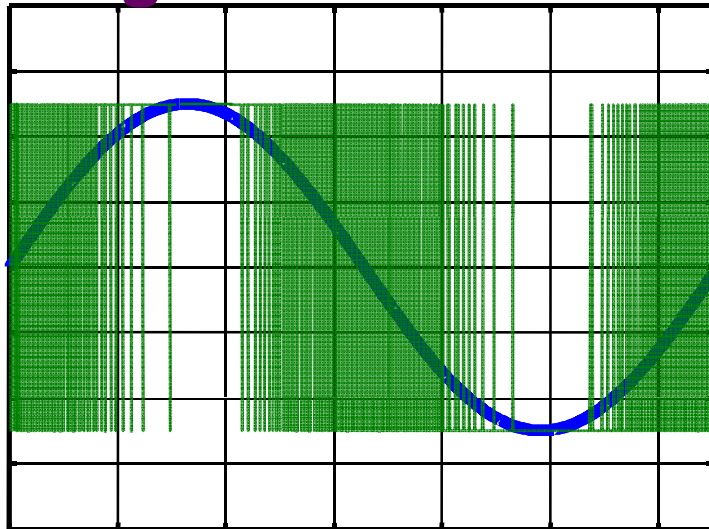


発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- **内部ADC/DACのマルチビット化**
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ

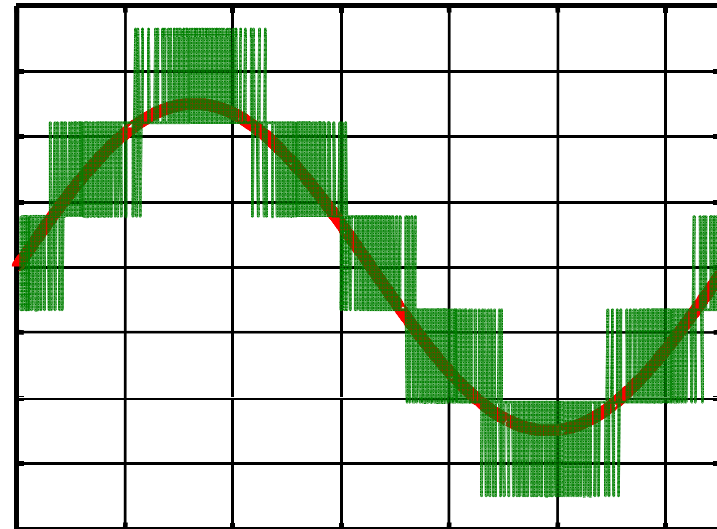
$\Delta\Sigma$ 変調器内のADC/DAC

Single-Bit



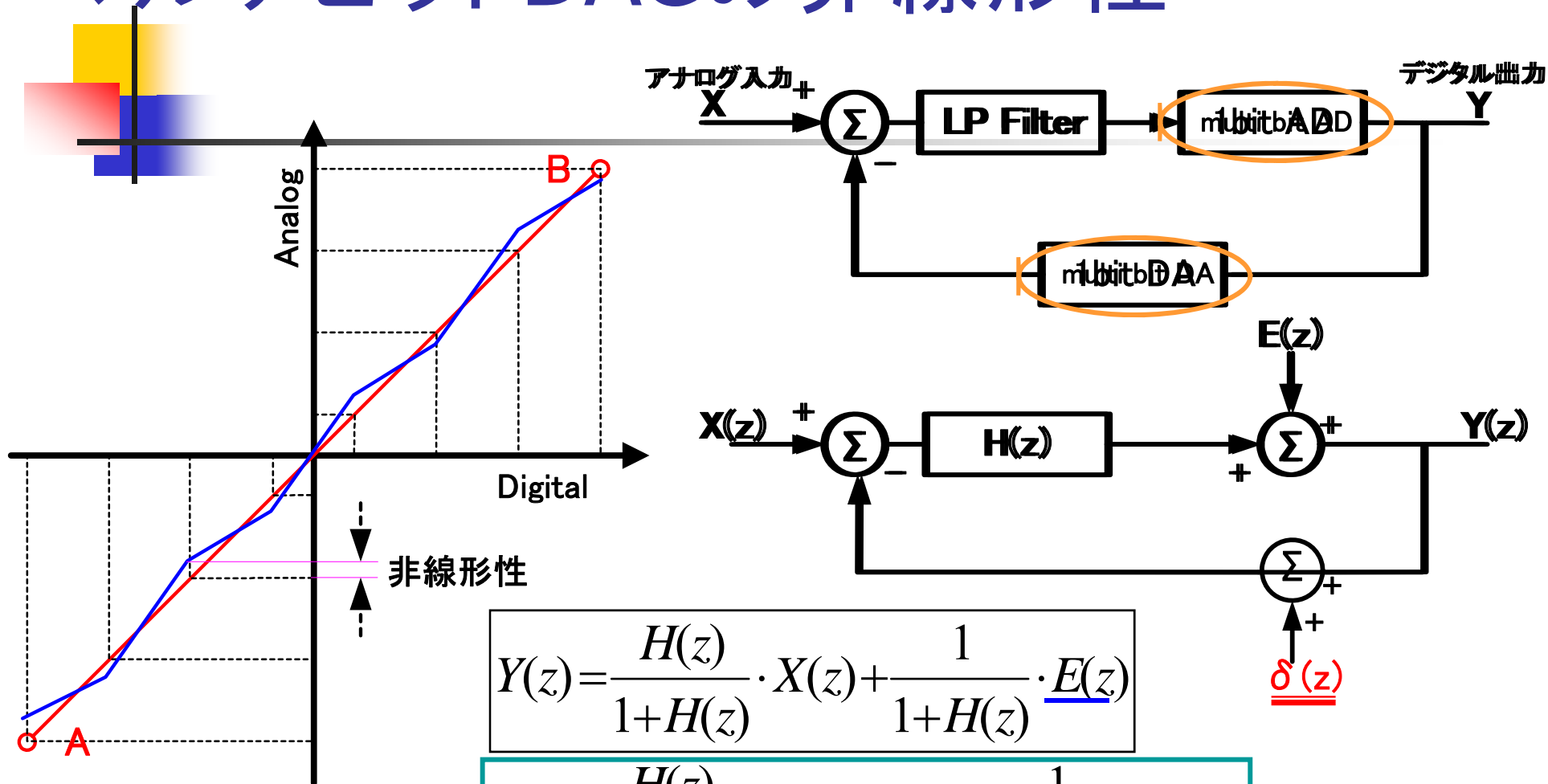
- シングルビット
 - 高次フィルタが必要
(消費電力→大)

Multi-Bit



- マルチビット
 - 低次フィルタで高精度(低消費電力)
 - アンプのスルーレート緩和(低消費電力)
 - DACのクロックジッタの影響小
 - マルチビットDACの非線形性が問題

マルチビットDACの非線形性



$$Y(z) = \frac{H(z)}{1+H(z)} \cdot X(z) + \frac{1}{1+H(z)} \cdot \underline{E(z)}$$

$$Y(z) = \frac{H(z)}{1+H(z)} (X(z) - \underline{\delta(z)}) + \frac{1}{1+H(z)} \cdot \underline{E(z)}$$

$\delta(z)$ はノイズ・シェープされない



連続時間変調器の マルチビットDACの非線形性

- DWA(Data Weighted Averaging)
 - ノイズシェープは難しい
 - DACのトランジエント波形も影響するため
 - 非線形性によるトーンは除去できる
- 別スライド参照
- DACの自己校正



発表内容

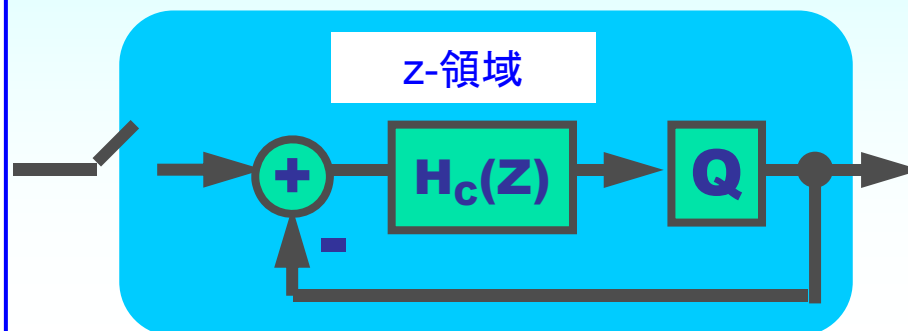
- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- **内部ADCサンプリングジッタの影響**
- 連続時間変調器のアンチエイリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ

連続時間変調器とサンプリング

サンプリングジッタの影響はノイズシェープ
変調器内フィルタはアンチエイリアス機能

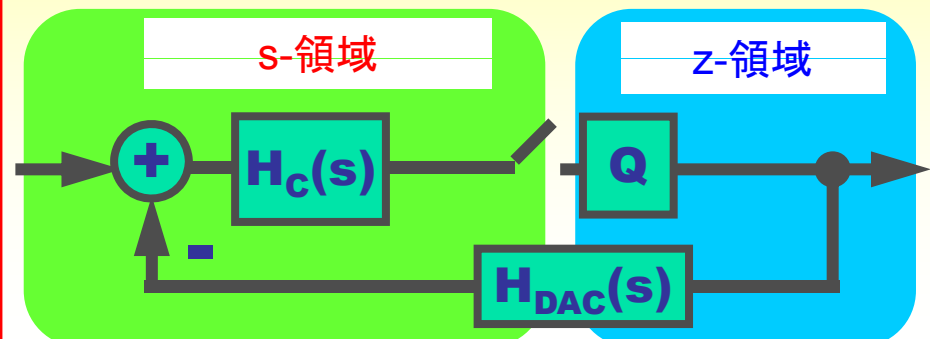
離散時間 $\Delta\Sigma$ 変調器

変調器前段で
サンプリング

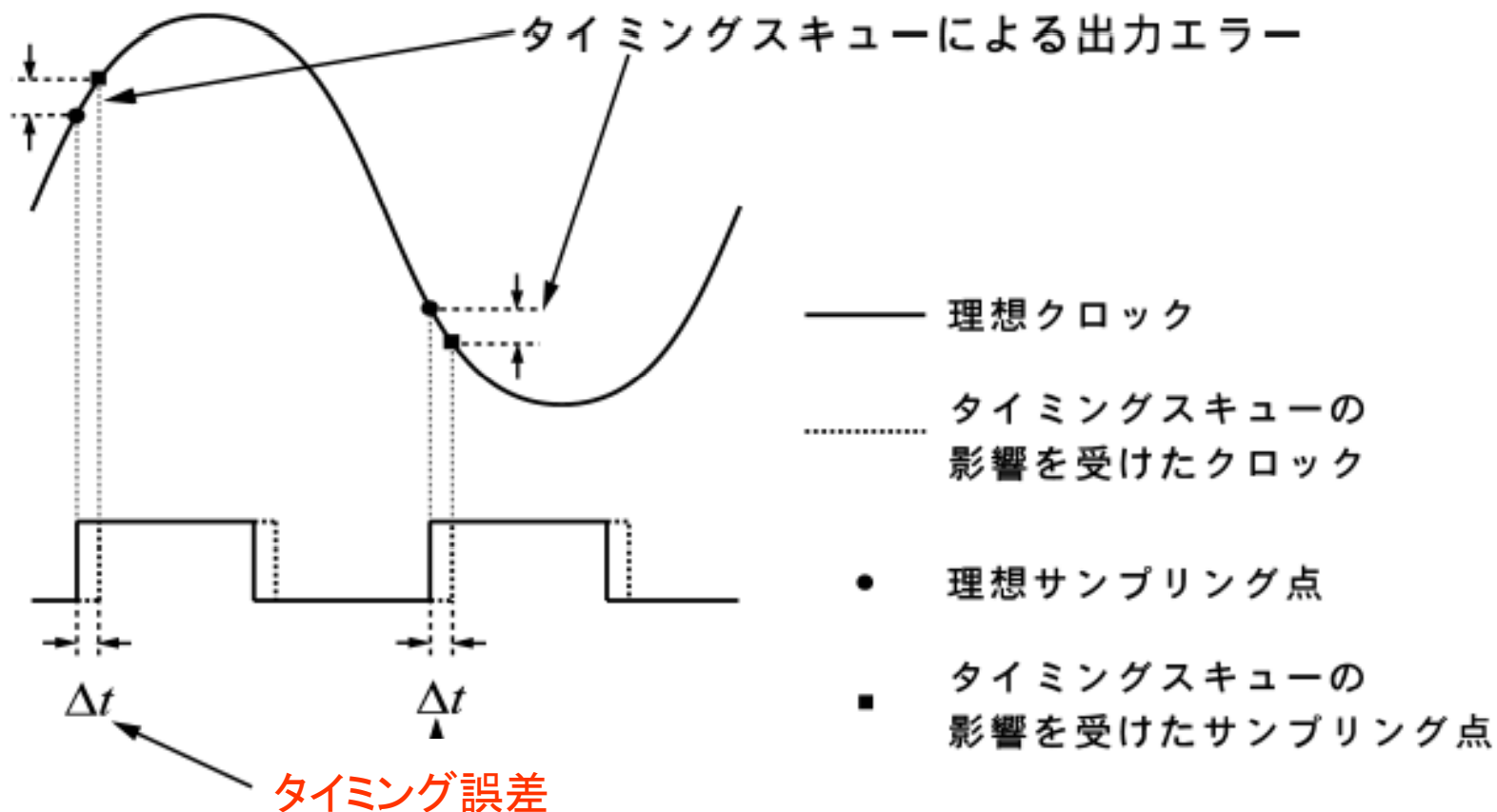


連続時間 $\Delta\Sigma$ 変調器

変調器内でサンプリング



サンプリングとタイミング誤差

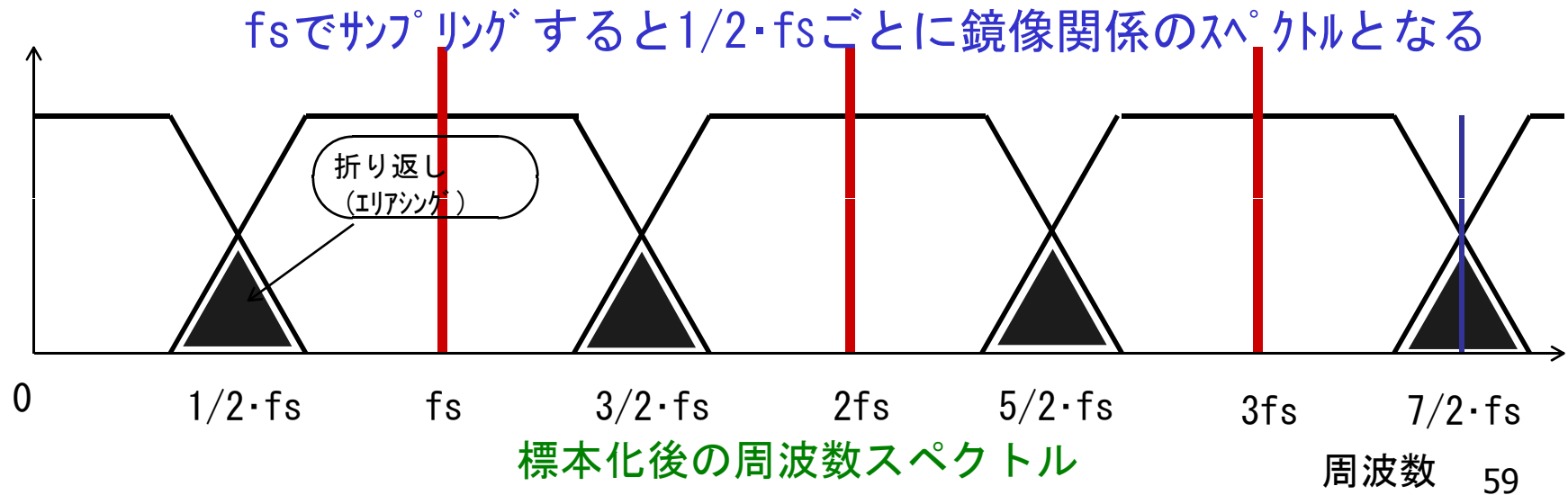
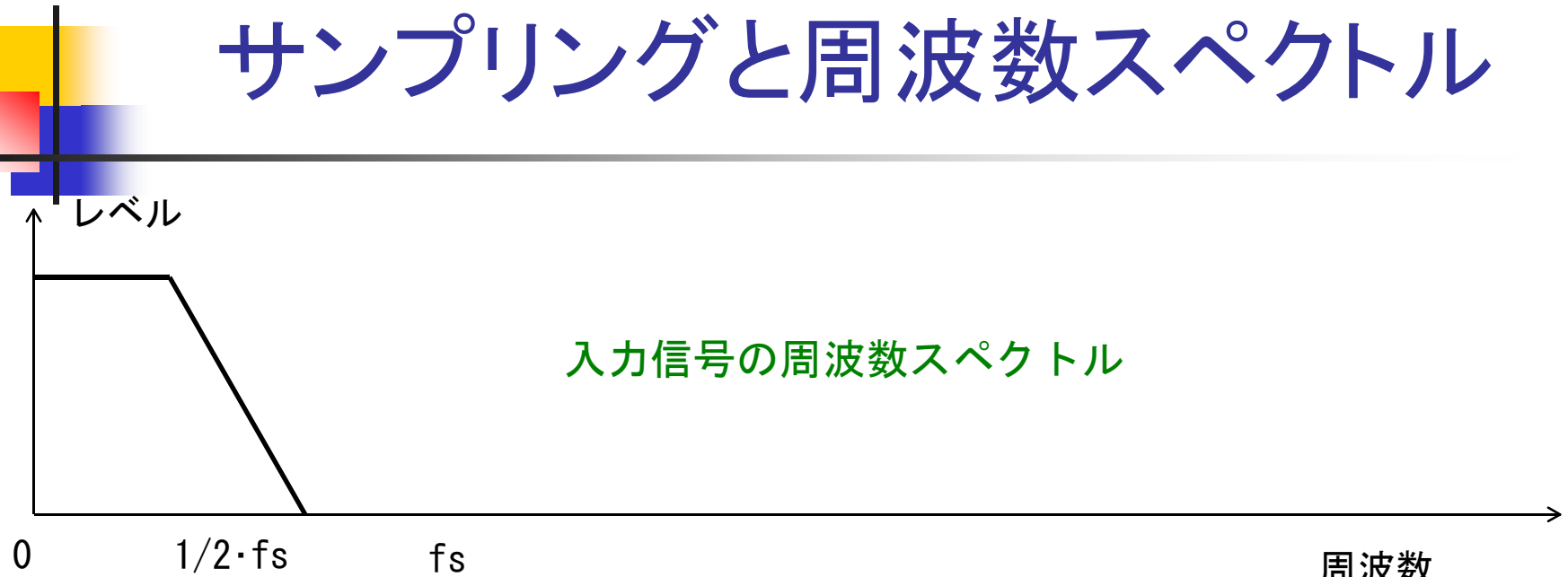




発表内容

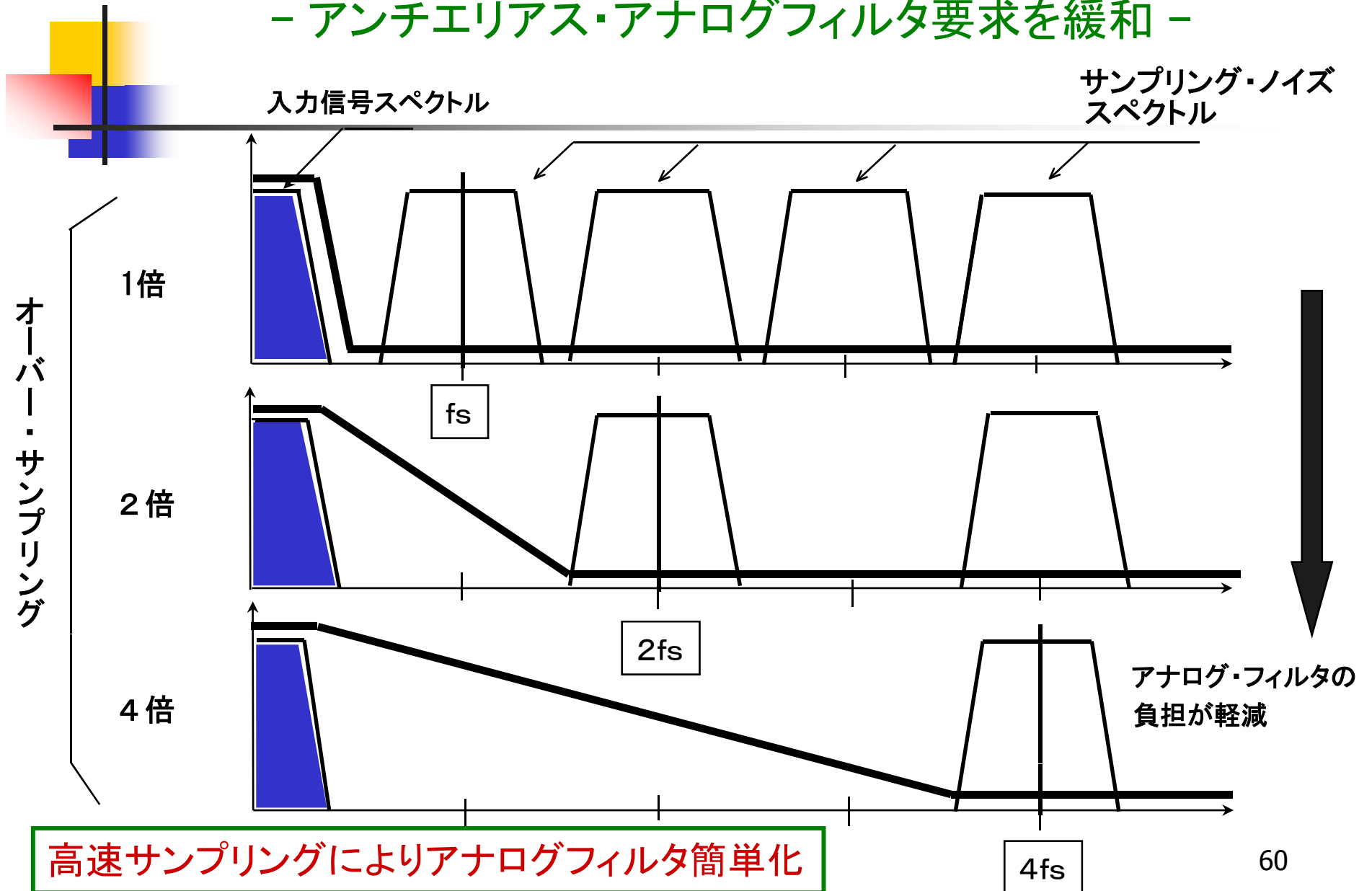
- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- **連続時間変調器のアンチエイリアス特性**
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- まとめ

サンプリングと周波数スペクトル



オーバーサンプリング

- アンチエイリアス・アナログフィルタ要求を緩和 -

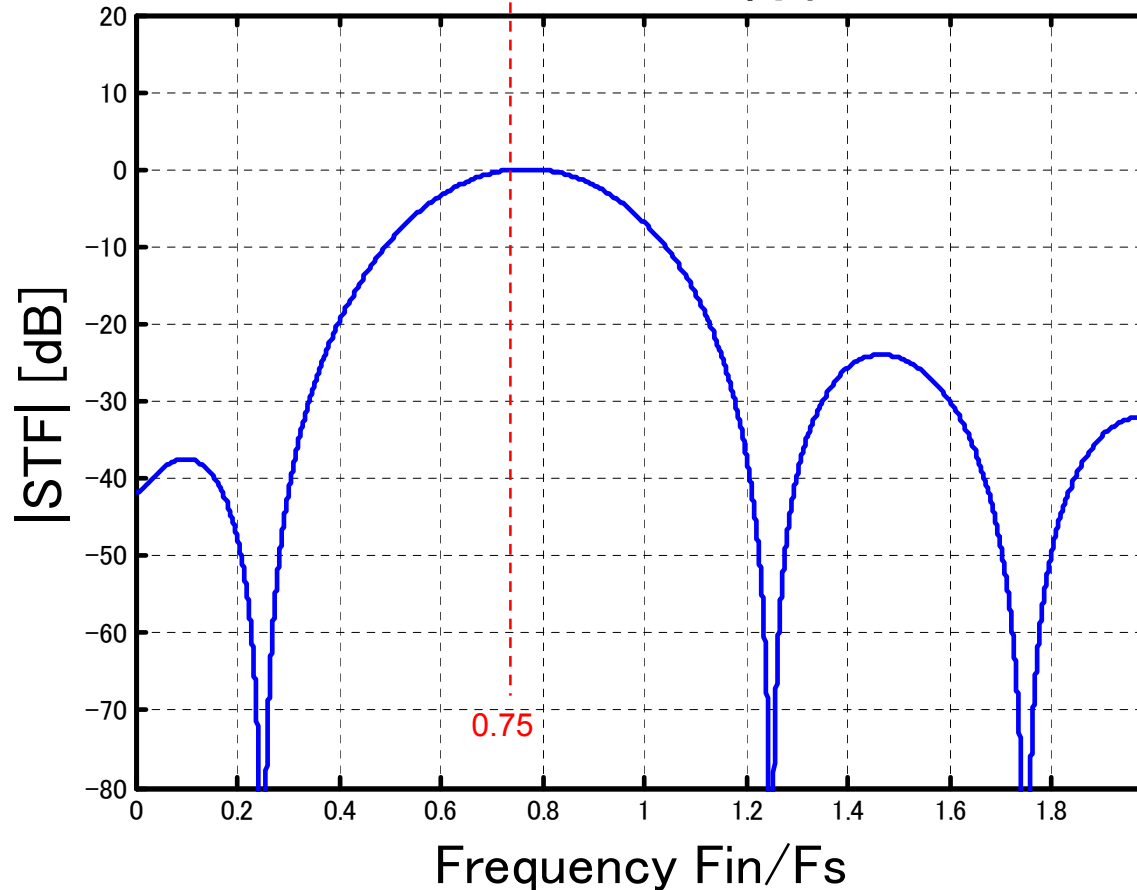


信号伝達関数(STF)の周波数特性

アンチエイリアスフィルタ機能

4/3Fs中心のバンドパスフィルタ

STFのゲイン特性

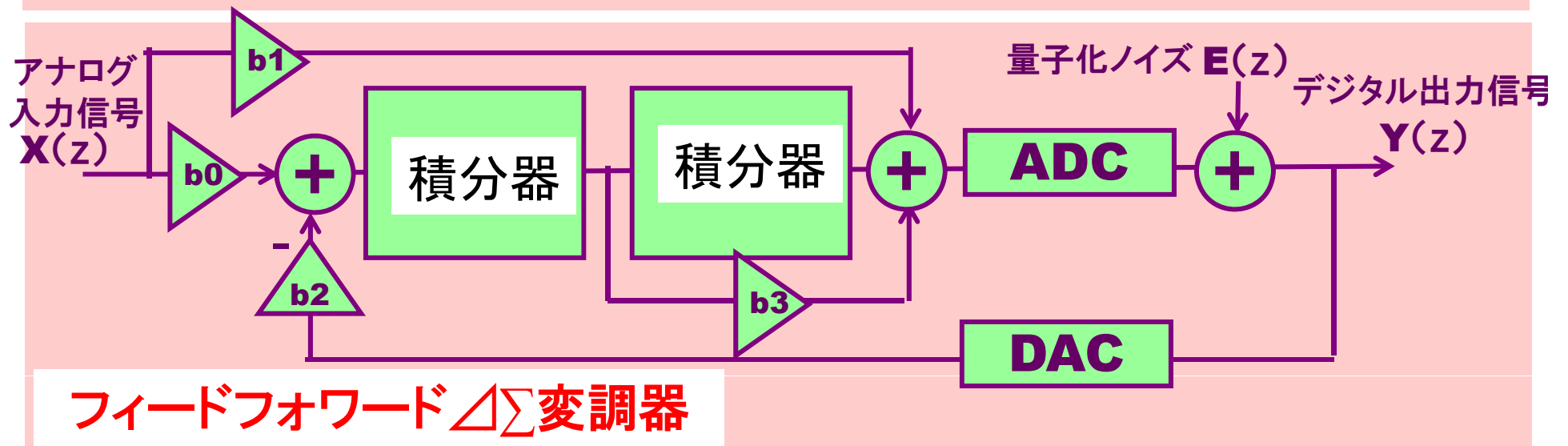
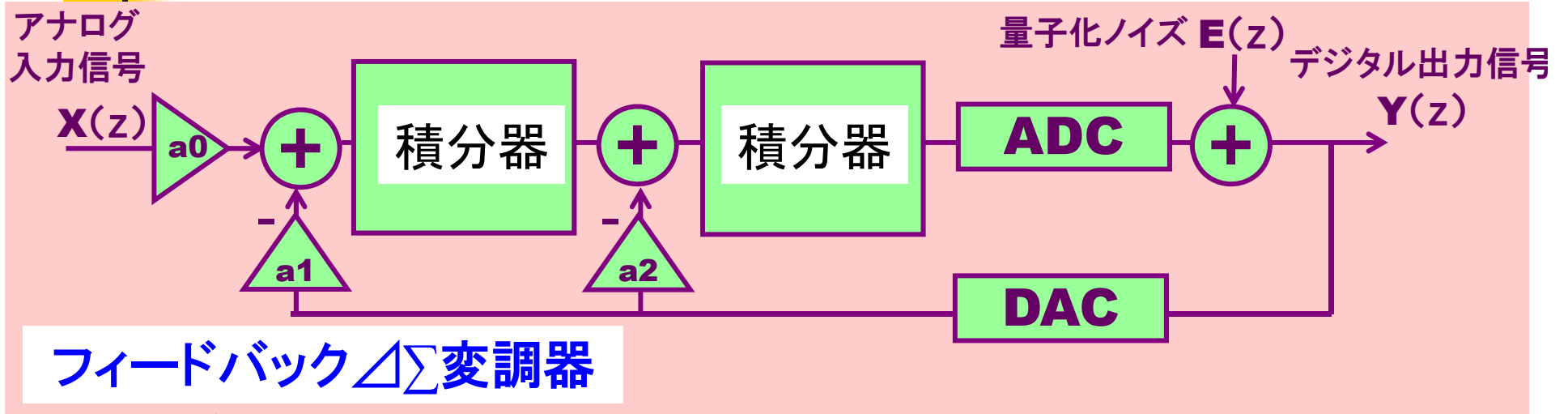




発表内容

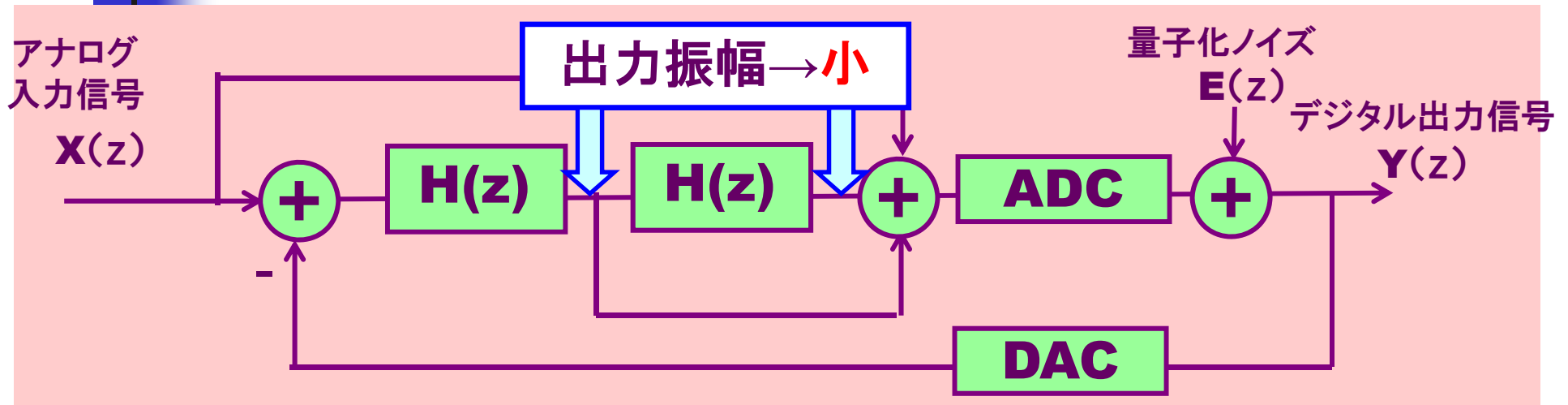
- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- **フィードバックとフィードフォワード構成**
- 内部の積分器の回路実現
- まとめ

フィードバックとフィードフォワード構成



フィードフォワード $\Delta\Sigma$ AD変調器

入力、積分器出力をフィードフォワードする構成



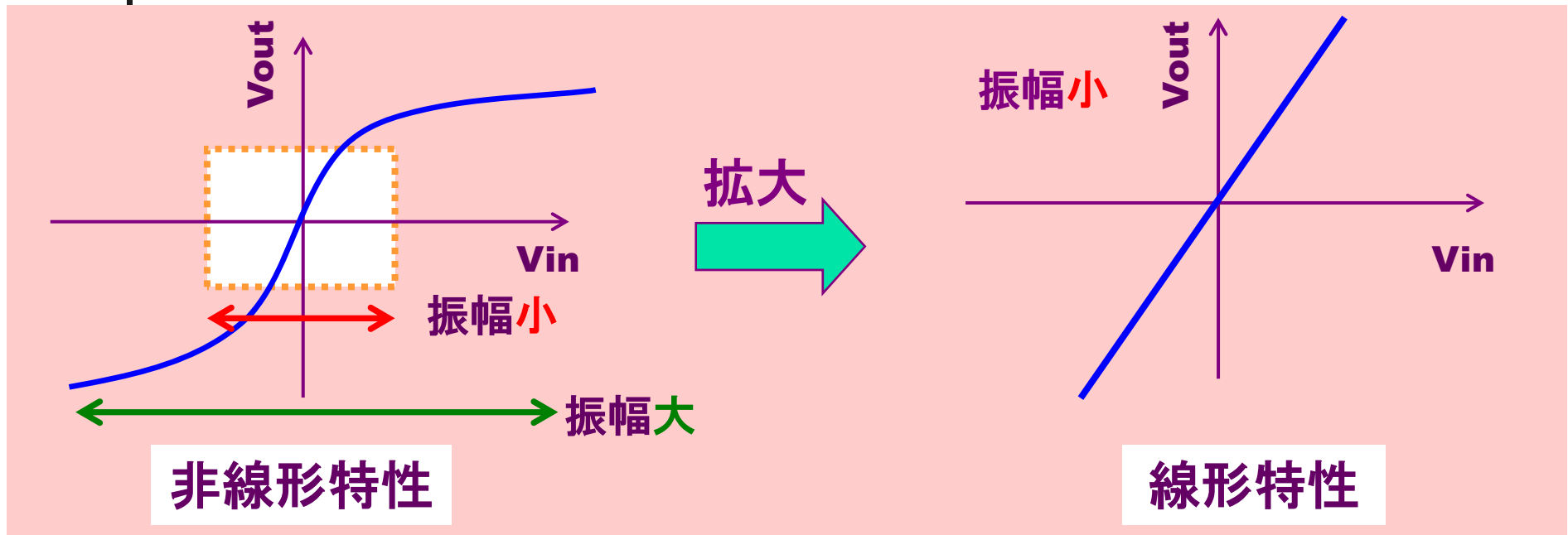
$$\text{STF} = 1$$

$$\text{NTF} = \frac{1}{H^2(z) + H(z) + 1}$$

積分器出力振幅 → 小

- 積分器の線形性向上
- 低消費電力化

積分器の線形性の向上



フィードフォワード $\Delta\Sigma$ では積分器出力振幅 \rightarrow 小

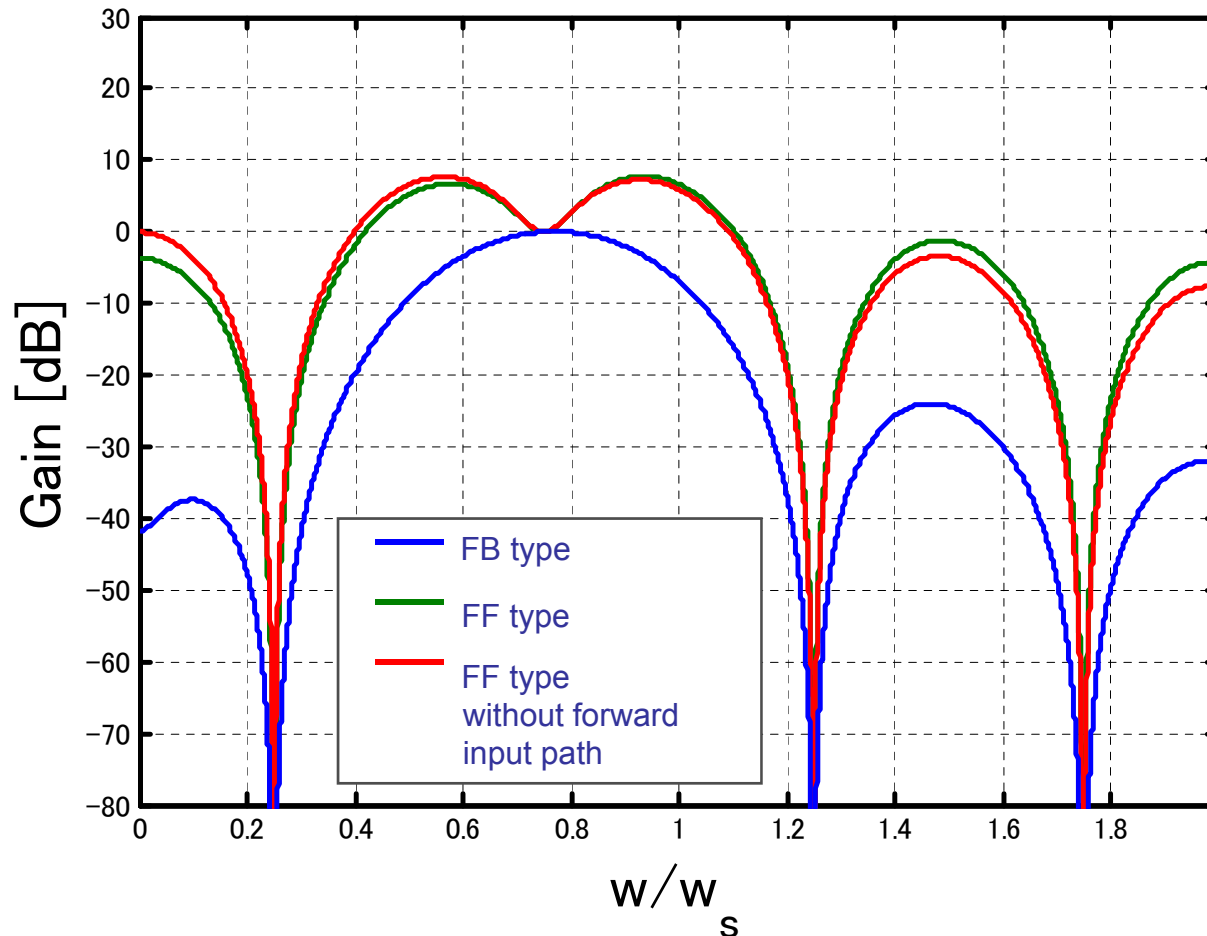
- 高精度
- 低消費電力化
(アンプの振幅 \rightarrow 小)

各トポロジの変調器のSTF

フィードフォワードタイプ

⇒ STFのアンチエイリアシングフィルターの機能少ない

STF





カスケード型連続時間 $\Delta\Sigma$ 変調器

離散時間でのMASH型のような
カスケード型が
連続時間変調器でも実現されている。

厳密な伝達関数の計算を基にしている。



発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- **内部の積分器の回路実現**
- まとめ

変調器内 積分回路の構成

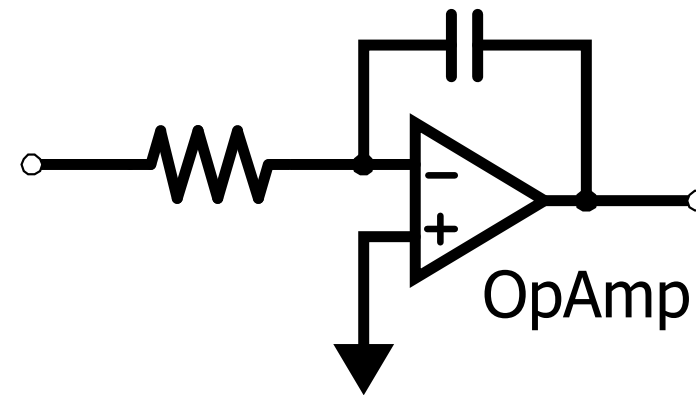
能動RC回路

オペアンプ (閉ループ)

高線形性

消費電力 大

高周波動作 難



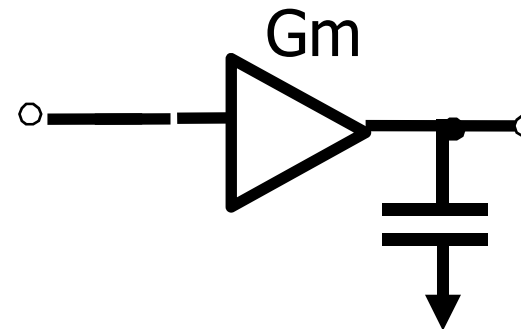
Gm-C回路

OTA回路 (開ループ)

低線形性

消費電力 小

高周波動作 可





変調器内積分回路 (2)

- 線形性要求が厳しい初段に 能動RC積分回路
2段目以降に Gm-C 積分回路
を用いることが多い。
- フィードフォワード構成では
初段積分回路への要求緩和。
初段もGm-C積分回路を使用可になりえる。



Gm-C フィルタ設計

消費電力

ノイズ

線形性

の3つのトレードオフ



内部フィルタのQ値

- LPタイプ変調器
LPフィルタ ではなく **積分器**
- BPタイプ変調器
BPフィルタではなく **共振器**
- **Qが無限大が理想**
- Q値が小さいとSNDRが劣化
- Qが負でもループは安定になりえる。
- **サブサンプリングでは高いQ値が必要。**



発表内容

- ナノCMOSと $\Delta\Sigma$ AD変換器
- オーバーサンプリングとノイズシェーブ
- 連続時間変調器と離散時間変調器
- バンドパス $\Delta\Sigma$ AD変調器
- 連続時間変調器の設計
- 内部DAC
- ループ遅延
- 内部ADC/DACのマルチビット化
- 内部ADCサンプリングジッタの影響
- 連続時間変調器のアンチエリアス特性
- フィードバックとフィードフォワード構成
- 内部の積分器の回路実現
- **まとめ**



まとめ

広帯域デルタシグマAD変換器として
連続時間変調器が有力。

低消費電力

高周波化

内部にアンチエリアス機能

複雑な係数計算

DACジッタの影響

ループ遅延の影響

学会レベルで問題点の解析、様々なアイデア。
産業界での実用化が期待される。