

ナノ CMOS 時代のアナログ回路設計

- デジタルアシスト AD 変換技術を中心として -

Analog Circuit Design in Nano-CMOS Era

- Digital-Assisted Analog Technology -

小林 春夫

群馬大学大学院 工学研究科 電気電子工学専攻

〒 376-8515 群馬県桐生市天神町 1-5-1

phone: 0277-30-1788 fax: 0277-30-1707 k_haruo@el.gunma-u.ac.jp

Haruo Kobayashi

Electronic Engineering Dept. Gunma University, Japan 376-8515

概要 この論文ではナノ CMOS での SOC のアナログ回路部の設計思想「デジタルアシストアナログ技術」について記述する。CMOS 微細での SOC でのアナログ部をデジタル技術を用いて微細化により性能向上を図り、初回の試作で動作させた回路のプロセスポータビリティを向上させる。

キーワード: デジタル・アシスト・アナログ技術, 時間領域アナログ, デジタル誤差補正, 自己校正, ナノ CMOS アナログ

1 はじめに

LSI の微細化の進展とともに, デジタル回路は面積の縮小・高速化・低消費電力化が進んでいる。しかし従来アナログ回路では微細化に伴い次のような問題が生じる。

- (i) トランジスタの速度飽和効果やドレイン抵抗の低下のため, トランジスタの利得が小さくなる。
- (ii) しきい値電圧変動などによる素子特性ばらつきが大きくなるので, 回路の面積を小さくできない。
- (iii) 電源電圧が下がってくると従来回路構成で動作するとは限らず, 信号対雑音比 (S/N) も悪くなる。

ナノ CMOS ではアナログ回路設計のパラダイムシフトが必要である。「デジタルは半導体プロセス微細化のトレンドに適合。アナログは適しているとは限らない」は目的と手段を混同した半導体ロードマップの呪縛にかかった発想・表現である。半導体プロセスの微細化はデジタルの低消費電力・高速・高集積化・低コスト化のために行う。したがってデジタルでメリットなければ半導体微細化をする理由はない。

微細化プロセスでもデジタルは必ず動作する。そこでナノ CMOS でのミックスドシグナル SOC ではデジタル技術を用いてアナログ性能向上する技術 (デジタル・アシスト・アナログ技術) およびデジタルリッチ・アナログミニマムなアーキテクチャが重要な考え方になってくる。

2 ナノ CMOS でのアナログ RF 回路設計思想

2.1 回路技術の4つの領域

信号の時間軸の離散化と振幅軸の離散化を考えると (図 1) 4つの領域に分類することができる (表 1)。

領域 1 時間連続・振幅連続の従来のアナログ信号で, これを扱う回路はバイポーラ, 化合物半導体は CMOS に比べて性能を出しやすい。

領域 2 時間離散・振幅連続のアナログ信号で, これを扱うのはサンプリング回路, スイッチドキャパシタ回路である。

領域 3 時間連続・振幅離散のアナログ信号で, これを扱うのは PWM 回路, TDC (Time-to-Digital Converter) 等である。

領域 4 時間離散・振幅離散のデジタル信号で, デジタル誤差補正・自己校正はこれを利用する。

表 1: 回路技術の4つの領域

	時間連続	時間離散
振幅連続	領域 1 アナログ	領域 2 サンプリング回路
振幅離散	領域 3 TDC, PWM	領域 4 デジタル

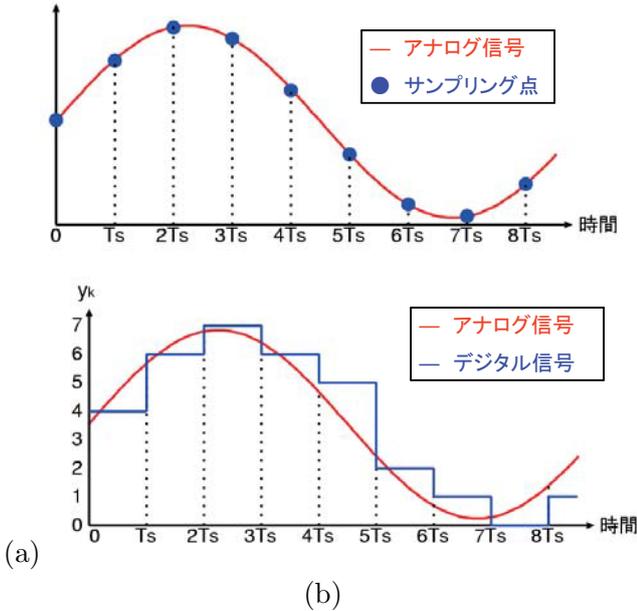


図 1: (a) 信号波形のサンプリング (時間の離散化). (b) 信号波形の量子化 (振幅の離散化).

筆者はこの4つの領域全てを用いることで下記を実現するのがナノ CMOS 時代のアナログ RF 回路技術であると考え [4].

- (i) 最先端デジタル CMOS プロセスでの初回試作での完全動作. (従来アナログ集積回路設計では 2-3 世代前の枯れたプロセスにアナログオプションをつけて数回試作を繰り返す.)
- (ii) 小チップ面積・低消費電力・高性能化.
- (iii) 設計容易化.
- (iv) プロセス・ポータビリティ, スケーラビリティ.
- (v) 歩留まり向上.
- (vi) テスト容易化.

以下の各章では各領域のナノ CMOS アナログ回路技術について (筆者の研究グループの研究例も含めて) 記す.

3 領域 1 : 時間連続・振幅連続の回路

この領域の信号を扱うのはいわゆる“純粋な”アナログ回路である.

- (i) ナノ CMOS では全ての動作領域 (サブスレシールド, 線形, 飽和, 速度飽和領域) を使用すべきである.
- (ii) アナログ RF 回路でもトランジスタレベルでは例えばインバータ型演算トランスコンダクタンス増幅回路 (Nauta OTA, 図 2) のように 標準 CMOS ロジック回路と同様の回路に収束していく [1, 2].

(iii) また, 微細 CMOS プロセスは素子特性マッチングに有利に働くことに注意すべきである [3]. 同じチップ面積なら微細 CMOS のほうが高度な製造装置使用のためマッチングが良くなり, ミスマッチを補正するための余分な回路が不要になり得る.

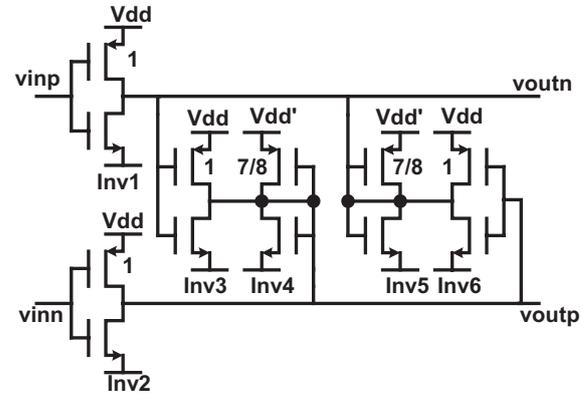


図 2: CMOS インバータ・タイプの OTA 回路.

4 領域 2 : 時間離散・振幅連続の回路

ナノ CMOS では f_T は向上し, その余裕ある高速高周波特性を生かす設計が重要となる. 高速サンプリング [5, 7], オーバーサンプリングを積極的に用いることで電源ノイズ, 基板ノイズ, 量子化ノイズ, ジッタ等の折り返しノイズが低減でき, またアナログフィルタが簡単化できる.

$\Sigma\Delta$ 変調技術はますます重要になる [7]. これはアナログ最小・デジタルリッチな構成でスピードを精度に変換し高精度なデバイス・回路が不要である.

また, ミキサ回路でもサンプリング・ミキサで高性能を実現できる [6].

スイッチド・キャパシタ回路は容量 C と MOS スイッチで等価的に抵抗 R を実現する方式である. 従来はベースバンドのフィルタ回路にのみ用いられていたが, 近年では微細 CMOS の高速サンプリング特性を生かし TI 社や UCLA のソフトウェア無線用受信機で使用されている [8, 9, 10]. そこでは初段でキャリア周波数程度の高速サンプリングを行い, プログラマブル・アナログ・サンプリング・フィルタを実現している. マルチレート信号処理技術, および周波数領域 (伝達関数) と時間領域 (畳み込み積分) の両方の考え方が用いられる.

微細CMOS でのアナログ回路の実現法

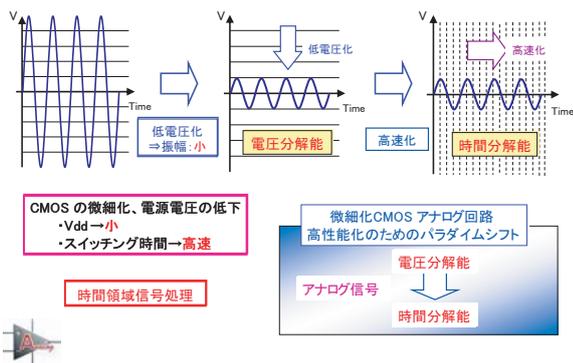


図 3: ナノ CMOS アナログでの電圧分解能から時間分解能へのパラダイムシフト。

5 領域 3 : 時間連続・振幅離散の回路

CMOS の微細化にともない電源電圧が低下するがスイッチングは高速になる。そのため微細 CMOS 回路の高性能化のためにはアナログ信号での電圧分解能ではなくデジタル信号端遷移の時間分解能を積極的に利用することが提唱されている [3]。そこで重要な回路がタイムデジタル化回路 (TDC: Time-to-Digital Converter 時間をデジタル計測する回路) である。(この回路方式は日本人の高エネルギー加速器実験 (原子核物理学分野) の研究者により考案されたが [11], 現在ナノ CMOS でのアナログ回路技術という別の観点から注目されている。)

TDC を用いた AD 変換器が提案・実現されている [12, 13]。高速・高精度なアナログ回路 (サンプルホールド回路等) が不要でほとんどデジタル回路で実現でき、微細化とともに性能が向上する。非同期サンプリングであるのでデジタル信号処理が複雑になるが、アナログの問題をデジタルの問題に置き換えて解く方式との見方ができる。

デジタル制御電源向け ADC としても TDC を用いた AD 変換器が実現されている [14]。また時間領域アナログ回路 (TDC, PWM, リング発振回路) を用いる $\Sigma\Delta$ AD 変調器も発表されている [15, 16]。

TDC を用いた容量センサ、温度センサ回路が提案されている [17, 18]。デジタル回路で実現できるので集積化しやすく、また IC 内では校正の際に基準に電圧を用いるより時間 (周波数) ほうが高精度である。

全デジタル PLL 回路 (ADPLL: All Digital PLL) が関心を集めており、そこでも TDC が用いられてい

る。提唱者の R. B. Staszewski 氏は「ナノ CMOS アナログ回路は電圧分解能から時間分解能へのパラダイムシフトが必要」と強調している。ADPLL は次のメリットが期待されている [3, 19]。

- (i) デジタル手法で設計・検証・テスト可能。
- (ii) プロセス・ポータビリティが高い。
- (iii) 小チップ面積 (従来の RC フィルタがデジタルフィルタで実現)。
- (iv) ループ伝達関数が PVT によらず (デジタル自己校正を用いて) 一定。
- (v) 高性能化 (フィルタ特性可変により低位相雑音と速応性を両立。)
- (vi) プログラマビリティによる柔軟性。

時間領域アナログ回路で ADC に対応するのが TDC ならば DAC に対応するのがデジタル PWM 発生回路である。デジタル入力に比例したデューティ比の PWM 信号を出力する。高時間分解能を小規模回路・低消費電力で実現するため、2つのゲート遅延 (τ_1, τ_2) を用いてノギスの原理で動作させる方式を考案した [20]。バッファ遅延ばらつきによる非線形性はダイナミック・マッチングによる時間平均線形化で軽減できる。デジタル PWM 回路はデジタル制御電源等で用いる。

DPWM 信号発生応用として、デジタル制御電源でのみ実現可能な EMI 低減のための複雑なスペクトル拡散クロックアルゴリズムが提案されている [21]。

高速デジタル伝送では信号伝送速度の高速化に伴い、伝送路の寄生素子 (RC 成分) により高周波成分が失われ信号が劣化し符号間干渉の問題が生じる。このため波形整形技術が必要となるが、その一つのプリエンファシス技術で PWM プリエンファシスが提案されている [22]。従来のプリエンファシス技術では電源による振幅の制約が生じてしまうが、PWM プリエンファシスでは振幅方向ではなく、時間軸方向に着目し電源の低電圧化に適しており高速化によるタイミング分解能の向上を実現している。

6 領域 4 : 時間離散・振幅離散の回路

時間離散・振幅離散の信号はデジタル信号であり、ナノ CMOS SOC 内では高性能のデジタル回路が低コストで使用できる。CMOS アナログ RF 回路の特性ばらつきを補正するためのデジタル誤差補正とデジタル自己校正の技術が多用する。(CMOS はバイポーラに比べて特性ばらつきが大きい) が、これらの技術で特性ばらつきの問題を解消して歩留まり向上が実

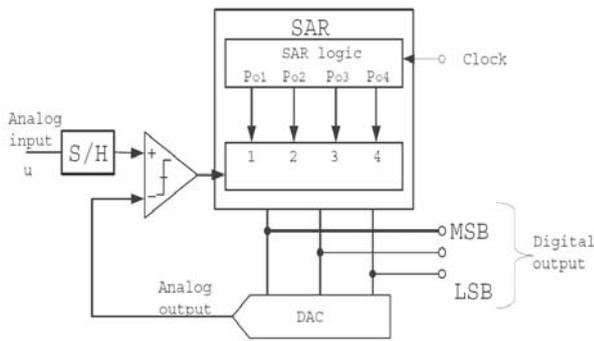


図 4: 逐次比較近似 ADC のブロック図.

現できる.)

デジタル誤差補正は冗長回路をもち、回路の非理想要因を許容して正解を出力する。非理想要因は計測しない。**デジタル自己校正**は回路の非理想要因をデジタル値として測定メモリに記憶してその値をもとに通常動作のときに補正する。通常動作をとめて自己校正のための時間をもつのが**フォアグラウンド自己校正**であり、通常動作時に並行して自己校正を行うのが**バックグラウンド自己校正**である。

デジタル誤差補正技術・自己校正技術は電子計測器ではかなり以前から広く用いられてきたが [23], 近年はその技術が SOC 内のアナログ RF 回路に取り込まれたと解釈できる。

逐次比較近似方式は高分解能・中速・低消費電力・小チップ面積の AD 変換器を実現するのに適しており、産業界で広く使用されている (図 4)。オペアンプなしで構成できるのでナノ CMOS での実現に適しておりここ数年学会で活発に研究発表されている。非 2 進探索 冗長アルゴリズムを用いてデジタル誤差補正を行うと、デジタル回路部だけの設計変更で高信頼性化・高速化が可能となる [25, 26]。

パイプライン AD 変換器では デジタル誤差補正技術とデジタル自己校正技術の両方を用いて高精度化を実現している [24]。

インターリーブ ADC (図 5) は M 個のチャンネル ADC で M 倍のサンプリングレートを実現方式で、サンプリングレートの高い ADC を実現するのに適した方式である [32]。最近では ADC の低消費電力の観点で注目されている。しかしながらインターリーブ ADC の問題点として各チャンネル ADC の特性ミスマッチによるパターンノイズがある。そのためインターリーブ ADC のチャンネル間ミスマッチの影響除

去のデジタル自己校正技術が重要となる [33]。これは見方を変えればアナログの高速化の問題をデジタル信号処理で解くことと言える。

DDS (Direct Digital Synthesizer) やパワーアンプの歪をデジタル入力力で補正するデジタル歪補正技術 (predistortion) も重要である [23, 27, 28]。

ばらつきのある素子の選択を (擬似ランダムまたはある一定規則に従って) サンプル時間毎に変更し、時間平均として線形性を向上させる、スプリアスを周波数拡散/ノイズシェーブさせる **ダイナミック・エレメント・マッチング**も重要な技術である [30, 31, 21, 34]。

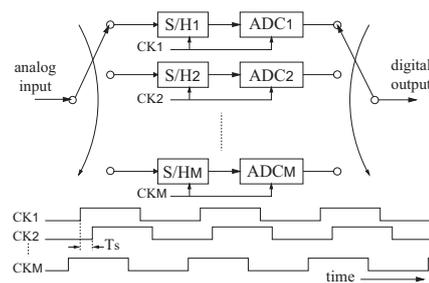


図 5: インターリーブ ADC システム.

7 SOC アナログ部のテストの問題

SOC 内アナログ RF 回路部のテスト容易化・コスト削減が産業上の大きな課題である [35, 36, 37, 38, 39, 40]。その解決策として有効なのはテスト時に SOC 内の DSP やメモリ等のデジタル回路の力を積極的に利用することであると考えられる (デジタル・アシスト・アナログ RF テスト容易化技術)。

トランシーバ IC の出荷時テストの際に受信機側に信号発生器で信号を与え送信機出力をスペクトラムアナライザでテストする構成では高価な電子計測器が必要になる。携帯電話では受信側と送信側のキャリア周波数が異なるので直接にはループバックが使用できない。しかしサンプリングミキサ受信機と ADPLL 送信機で構成された携帯電話送受信 IC ではテスト時に受信側と送信側のキャリア周波数を合わせることができるとループバックのテストが構成可能である [4]。

ADPLL 出力の位相ノイズは ADPLL 回路内のあるデジタル信号推移と密接な相関があるということを利用して、出荷時のテストの際に位相ノイズ特性を RF 測定器で直接測定するのではなくそのデジタル信号をモニターすることでテストコスト削減をすることが提案されている [3]。ADC のテストでも簡単なパ

ラメータを測定して他の（測定が難しい）パラメータ値を推定する考え方 (Alternative Testing) が提案されている [41].

バックグランドデジタル自己校正 AD 変換器等のデジタル・アシスト・アナログ技術を用いた回路では設計パラメータ空間が広がる。内部に不良箇所があっても補正され LSI テスト（出荷検査）の際に「良品」と判定されてしまう。その欠陥が補正できるぎりぎりのとき、市場で補正範囲を超え動作不良となることがある。この問題を軽減するために、テスト時に自己校正用のメモリ内容を読んで良否判定に利用する技術が提案されている [42]。（なお校正メモリデータを読んで利用することはネットワークアナライザですで行われている。）

アナログ BIST[44], アナログバンダリスキャン等も提案されている。SOC アナログ部のテスト容易化技術は今すぐ取り組まなければならない大きな技術課題である。

8 むすび

ナノ CMOS での SOC 内アナログ回路の性能向上・設計容易化・テスト容易化・プロセスポータビリティ向上・初回で完全動作のためには次の設計思想が重要である。

- (i) デジタル化を進めアナログは最小の構成。
- (ii) 4つの回路領域を全て使用。
- (iii) デジタル誤差補正・自己校正技術を多用。

ここでは言及しなかったが、アナログ部・デジタル部ともダイナミックに再構成可能なプログラマビリティをもったデバイスの考え方もポテンシャルを秘めていよう [44].

謝辞 有益なご討論をいただきました小室貴紀氏, 古川靖夫氏, 浅見幸司氏, 酒寄寛氏に謝意を表します。

参考文献

- [1] B. Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies," *IEEE J. of Solid-State Circuits*, vol.27, no.2, pp.142-153 (Feb. 1992).
- [2] H. Lin, T. Tanabe, A. Motozawa, H. Kobayashi, H. San, N. Takai "Design and Analysis of Low Power Inverter-Type Gm-C Bandpass Filter", *IEEEJ International Analog VLSI Workshop*, pp.62-67, Istanbul (August 2008).
- [3] R. B. Staszewski, P. T. Balsara, *All-Digital Frequency Synthesizer a Deep-Submicron CMOS*, Wiley-Interscience (2007).
- [4] 小室貴紀, 小林春夫, 林海軍, 清水一也, 田邊朋之, "RF 回路設計に押し寄せるアーキテクチャの変革を読み解く! CMOS RFIC 実現への道のり後編: CMOS トランスミッタを実現した新技術," RF ワールド No.2, CQ出版 (2008年4月).
- [5] 上森将文, 小林謙介, 光野正志, 清水一也, 小林春夫, 戸張勉「広帯域高精度サンプリング技術」, 電子情報通信学会誌 和文誌 C vol. J90-C, no.9, pp.625-633 (2007年9月).
- [6] T. Tsukahara, "RF CMOS Circuits -Overview and Perspective," *International Conference on Solid-State Devices and Materials* (2007).
- [7] M. Uemori, H. Kobayashi, T. Ichikawa, A. Wada, K. Mashiko, T. Tsukada, M. Hotta, "High-Speed Continuous-Time Subsampling Bandpass $\Delta \Sigma$ AD Modulator Architecture", *IEICE Trans. Fundamentals*, E89-A, no.4 (April 2006).
- [8] R. B. Staszewski, et. al., "All-digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130nm CMOS," *ISSCC Tech. Digest*, pp.196-197 (Feb. 2001).
- [9] R. B. Staszewski, et. al., "A 24mm Quad-Band Single-Chip GSM Radio with Transmitter Calibration in 90nm Digital CMOS," *ISSCC Tech. Digest*, pp.208-209 (Feb. 2008).
- [10] A. A. Abidi, "The Path to the Software-Defined Radio Receiver," *IEEE J. of Solid-State Circuits*, pp.954-966 (May 2007).
- [11] Y. Arai, T. Baba "A CMOS Time to Digital Converter VLSI for High-Energy Physics," *Tech. Digest of Symp. on VLSI Circuits*, pp.22-24 (Aug. 1988).
- [12] 小室 貴紀, ヨッヘン・リヴォアル, 清水 一也, 光野正志, 小林 春夫「タイムデジタイザを用いた AD 変換器アーキテクチャ」, 電子情報通信学会誌 和文誌 C vol. J90-C, no.2, pp.125-133 (2007年2月).
- [13] S. Naraghi, M. Courcy, M. P. Flynn, "A 9b 14 μ W 0.06mm² PPM ADC in 90nm Digital CMOS," *ISSCC Tech. Digest*, pp.168-169 (Feb. 2009).
- [14] B. J. Pateela, et. al., "High-Frequency Digital PWM Controller IC for DC-DC Converters," *IEEE Trans.on Power Electronics*, vol.18, no.1, pp.438-446 (Jan. 2003).
- [15] M. Park, M. Perrot, "0.13 μ m CMOS 73dB SNDR 87mW 20MHz BW CT $\Delta \Sigma$ ADC with VCO-Based Integrator and Quantizer," *ISSCC Tech. Digest*, pp.170-171 (Feb. 2009).
- [16] V. Dhanasekaran, et. al., "A 20MHz BW 68dB DR CT $\Delta \Sigma$ ADC Based on a Multi-Bit Time-Domain Quantizer and Feedback Element," *ISSCC Tech. Digest*, pp.174-175, (Feb. 2009).

- [17] B.-J. Moon, et. al., "A Full-Digital Multi-Channel CMOS Capacitive Sensor," IEEE ASSCC, pp.247-250 (2007).
- [18] K. Woo et. al., "Dual-PLL-Based CMOS All-Digital Temperature Sensor for Microprocessor Thermal Monitoring," ISSCC Tech. Digest, pp.68-69 (Feb. 2009).
- [19] 田邊朋之, 林海軍, 内藤智洋, 高橋伸夫, 壇徹, 馬場清一, 北村真一, 小林春夫, 傘昊, 高井 伸和, 「T V チューナー用 ADPLL の検討」電子情報通信学会総合大会, 愛媛 (2009年3月).
- [20] 光野正志, 木村圭吾, 森偉文樹, 山田佳央, 小林春夫, 小堀康功, 清水一也, 傘昊, 「デジタル制御電源用高時間分解能 DPWM 回路」, 電子情報通信学会誌 Vol.J91-C, no.8, pp.418-427 (2008年8月).
- [21] I. Mori, Y. Yamada, S. A. Wibowo, M. Kono, H. Kobayashi, Y. Fujimura, N. Takai, T. Sugiyama, I. Fukai, N. Onishi, I. Takeda, J. Matsuda, "EMI Reduction by Spread-Spectrum Clocking in Digitally-Controlled DC-DC Converters," IEICE Trans. Fundamentals, vol.E92-A, no.4, (April 2009).
- [22] R. Schrader, B. Nauta, "Wireline Equalization Using Pulse-Width Modulation," IEEE CICC, pp.591-598 (Sept. 2006).
- [23] A. Maeda, "Low Distortion Sine Waveform Generation by an AWG," 17th Asian Test Symposium, p.147 (Nov. 2008).
- [24] A. Verna, B. Razavi, "A 10b 500MHz 55mW CMOS ADC," ISSCC Tech. Digest, pp.84-85 (Feb. 2009).
- [25] T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, N. Takai "SAR ADC Algorithm with Redundancy," IEEE Asia Pacific Conference on Circuits and Systems, Macao, China, pp.268-271 (Dec. 2008).
- [26] S. Shimokura, M. Hotta, Y. Takahashi, N. Zhao, H. Kobayashi, "Conversion Rate Improvement of SAR ADC with Digital Error Correction," IEEJ International Analog VLSI Workshop, Limerick (Nov. 2007).
- [27] S. C. Cripps, Advanced Techniques in RF Power Amplifier Design, Artec House (2002).
- [28] S. C. Cripps, RF Power Amplifier for Wireless Communications, Artec House (1999).
- [29] 水江直樹, 他「メモリ効果を有する電力増幅器に対するデジタルプレデストータ」電子情報通信学会誌 Vol.J88-B, no.10, pp.2062-3071 (2004年10月).
- [30] H. San, Y. Jingu, H. Wada, H. Hagiwara, A. Hayakawa, H. Kobayashi, T. Matasuura, K. Yahagi, J. Kudoh, H. Nakane, M. Hotta, T. Tsukada, K. Mashiko, and A. Wada, "A Second-Order Multi-b Complex Bandpass $\Delta\Sigma$ AD Modulator With I, Q Dynamic Matching and DWA Algorithm", IEICE Trans. Electronics, vol.E90-C, no.6, pp.1181-1188 (June 2007).
- [31] J. Otsuki, H. San, H. Kobayashi, T. Komuro, Y. Yamada, A. Liu, "Reducing Spurious Output of Balanced Modulators by Dynamic Matching of I, Q Quadrature Paths", IEICE Trans. on Electronics, E88-C, no.6, pp.1290-1294 (June2005).
- [32] N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara, K. Kobayashi, "Explic Analysis of Channel Mismatch Effects in Time-Interleaved ADC Systems", IEEE Trans. on Circuits and Systems I, vol.48, no.3, pp.261-271 (March 2001).
- [33] K. Asami, H. Suzuki, H. Miyajima., T. Taura, H. Kobayashi, "Technique to Improve the Performance of Time-Interleaved A-D Converters with Mismatches of no.- linearity," IEICE Trans. Fundamentals, vol.E92-A, no.2, (Feb. 2009).
- [34] M. Tamba, A. Shimizu, H. Munakata and T. Komuro, "A Method to Improve SFDR with Random Interleaved Sampling Method," International Test Conference, pp.512-520 (2001).
- [35] J. Kelley, M. Engelhardt, Advanced Production Testing of RF, SoC, and SiP Devices, Artech House (2007).
- [36] T. Kellet, M. Engelhardt, Production Testing of RF and System-on-a-Chip Devices for Wireless Communications, Artech House (1999).
- [37] K. B. Schaub, J. Kelley, Production Testing of RF and System-on-a-Chip Devices for Wireless Communications, Artech House (1999).
- [38] M. Burns, G. W. Roberts, An Introduction to Mixed-Signal IC Test and Measurement, Oxford University Press (2001).
- [39] M. Burns, G. W. Roberts, Analog and Mixed-Signal Test and Measurement, Prentice Hall (1998).
- [40] M. Baker Demystifying Mixed-Signal Test Methods, Newnes (2003).
- [41] S. Goyal, A. Chatterjee, M. Purtell, "A Low-Cost Test Methodology for Dynamic Specification Testing of High-Speed Data Converters," J. of Electronic Testing, vol.23, pp.95-106 (2006).
- [42] H.-M. Chang, M.-S. Lin, K.-T. Cheng, "Digitally-Assisted Analog/RF Testing for Mixed-Signal SoCs," 17th Asian Test Symposium, pp.43-48 (Nov. 2008).
- [43] T. Komuro, N. Hayasaka, H. Kobayashi, H. Sakayori "A Practical Analog BIST Cooperated with an LSI Tester", IEICE Trans. Fundamentals, E89-A, no.2, pp.465-468 (Feb. 2006).
- [44] 桑野 雅彦, PSoC マイコン・トレーニング・キット, CQ 出版社 (2008).